

СЪДЪРЖАНИЕ

ОСНОВНИ ОЗНАЧЕНИЯ И СЪКРАЩЕНИЯ	4
ПРЕДГОВОР	5
УВОД. 1. Цифрова схемотехника (6). 2. Изследване на цифрови схеми (6). 3. Компютърни програми за обучение (8). 4. Автоматизирана тестова система (10). 5. Сигнали (13). 6. Линейно преобразуване на сигналите (15). 7. Нелинейно преобразуване на сигналите (21). 7.1. Полупроводникови диоди (22). 7.2. Диодни ограничители (24). 7.3. Биполярни транзистори (27). 8. Логически схеми (29). 8.1. Логически функции (29). 8.2. Характеристики и параметри на логическите схеми (30). 8.3. Някои основни логически елементи (35).	
УПРАЖНЕНИЕ №1. КЛЮЧОВИ СХЕМИ С БИПОЛЯРНИ ТРАНЗИСТОРИ	38
УПРАЖНЕНИЕ №2. КЛЮЧОВА СХЕМА С MOS ТРАНЗИСТОР	44
УПРАЖНЕНИЕ №3. ТРАНЗИСТОРНО-ТРАНЗИСТОРНИ ЛОГИЧЕСКИ СХЕМИ (I)	50
УПРАЖНЕНИЕ №4. ТРАНЗИСТОРНО-ТРАНЗИСТОРНИ ЛОГИЧЕСКИ СХЕМИ (II)	56
УПРАЖНЕНИЕ №5. ЕМИТЕРНО СВЪРЗАНИ ЛОГИЧЕСКИ СХЕМИ	60
УПРАЖНЕНИЕ №6. ПЕРСПЕКТИВНИ БИПОЛЯРНИ ЛОГИЧЕСКИ СХЕМИ	66
УПРАЖНЕНИЕ №7. MOS ЛОГИЧЕСКИ СХЕМИ	73
УПРАЖНЕНИЕ №8. CMOS ЛОГИЧЕСКИ СХЕМИ	78
УПРАЖНЕНИЕ №9. ТРИГЕРИ	83
УПРАЖНЕНИЕ №10. НЕСИМЕТРИЧНИ ТРИГЕРИ И ЛОГИЧЕСКИ СХЕМИ С ХИСТЕРЕЗИС	93
УПРАЖНЕНИЕ №11. МУЛТИВИБРАТОРИ	100
УПРАЖНЕНИЕ №12. СИНТЕЗ НА ПОСЛЕДОВАТЕЛНОСТНИ СХЕМИ	108
УПРАЖНЕНИЕ №13. РЕГИСТРИ И БРОЯЧИ	116
УПРАЖНЕНИЕ №14. БУФЕРНИ СХЕМИ	125
УПРАЖНЕНИЕ №15. ЦИФРОВО-АНАЛОГОВИ И АНАЛОГОВО-ЦИФРОВИ ПРЕОБРАЗОВАТЕЛИ	131
УПРАЖНЕНИЕ №16. ОПТРОННИ КЛЮЧОВИ СХЕМИ	138
ЛИТЕРАТУРА	144

ОСНОВНИ ОЗНАЧЕНИЯ И СЪКРАЩЕНИЯ

АМ - Автогенераторен Мултивибратор;
АЦП - Аналогово - Цифров Преобразувател (A - D Converter - ADC);
ГИС - Големи Интегрални Схеми (Large - Scale Integration - LSI);
ДСТЛ - Директно Свързана Транзисторна Логика (Direct Coupled Transistor Logic - DCTL);
ЕП - Елемент Памет;
ЕСЛ - Емитерно Свързана Логическа (Emitter-Coupled Logic - ECL) схема;
ИС - Интегрална Схема;
И²Л - Интегрална Инжекционна Логика (Integrated Injection Logic - I²L);
К - Компаратор;
КА - Краен Автомат;
КС - Комбинационна Схема;
ЛЕ - Логически Елемент;
ОВ - Обратна Връзка;
ООВ - Отрицателна Обратна Връзка;
ОУ - Операционен Усилвател;
ПОВ - Положителна Обратна Връзка;
ПР - Преместващ Регистър;
ПС - Последователностна Схема;
СТЛ - Съвместна Транзисторна Логика (Merged Transistor Logic - MTL);
ТТЛ - Транзисторно-Транзисторна Логическа схема (Transistor- Transistor Logic - TTL);
УС - Управляваща схема;
ЦАП - Цифрово - Аналогов Преобразувател (D - A Converter - DAC);
ЧМ - Чакащ Мултивибратор;

U_M - амплитуда, максимална стойност;
 u_{in} , $u_{вх}$ - входно напрежение;
 u_{out} , $u_{изх}$ - изходно напрежение;
 I_{IN} - входен ток;
 I_{OUT} - изходен ток;
 m - коефициент на обединение във входа, брой входове;
 n - коефициент на разклонение в изхода;
 n_{max} - товарна способност;

СД - светодиода;
ФТ - фототранзистор;
ФДО - фотодиоден оптрон;
ФТО - фототранзисторен оптрон;

CS - избор на чип;
EI - разрешение по вход;
EO - разрешение по изход;
LSB - най-младши разряд;
MS - главен - подчинен;
MSB - най-старши разряд;
NTL - безпрагова логика;
OC - отворен колектор;
OD - отворен дрейн;
TS - трето състояние.

ПРЕДГОВОР

Настоящото ръководство има за цел да подпомогне студентите при подготовката им за провеждане на лабораторни упражнения, като ги запознае с основните въпроси на схемотехниката и експерименталното изследване на съвременните цифрови схеми. В него са включени увод и 16 лабораторни упражнения. Уводът съдържа в сбита форма главните теоретични знания. Тяхното усвояване е абсолютно необходимо преди да се пристъпи към изучаване на упражненията и подготовката за работа в лабораторията. Разбира се, препоръчително е и ползуването на литературата от списъка приложен в края на ръководството.

Последователността на упражненията и съдържанието им са подбрани така, че работата над всяко ново упражнение да бъде улеснена, при условие че се познават предшестващите го упражнения, както и уводът към ръководството. В първите две упражнения (?1 и ?2) се изследват най-простите ключови схеми с биполярни и MOS - транзистори. Непосредствено свързани с тях са следващите шест упражнения. В тях се разглеждат основните логически елементи: ТТЛ, ЕСЛ, И2Л, MOS и CMOS. Три упражнения (?9, ?10, ?11) са посветени на тригерите и мултивибраторите и две (?12 и ?13) на последователностните схеми (синтез и експериментално изследване на регистри и броячи). Малко по-особено място в този ред заемат последните три упражнения. Буферните схеми (?14) са необходими за конструиране на компютърни структури с магистрална организация, а цифрово-аналоговите и аналогово-цифровите преобразуватели (?15), както и оптронните схеми (?16) - за свързване на цифровите системи с реалния свят.

Упражненията са разработени за изпълнение с помощта на следната лабораторна база (описана е по-подробно в увода):

- лабораторни макети и измервателна апаратура за "класическо" провеждане на експериментите;

- автоматизирана тестова система управлявана от персонален компютър;

- компютърни програми за обучение.

Автоматизираната тестова система и настоящото ръководство са резултат от съвместната дългогодишна работа на авторите от ТУ - София, неговия филиал в Пловдив и ТУ - Габрово. Текстът е изготвен от авторите както следва:

Ангел Попов - увода (без т. 3 и т. 4), упражнения - ?2, ?6, ?7, ?8.

Даринка Манова - упражнения - ?9, ?10, ?11, ?12, ?13, ?14, ?15.

Бойко Трайков - упражнения - ?1, ?3, ?4, ?5, ?10 и т. 3 и т. 4 от увода.

Райчо Иларионов - УПРАЖНЕНИЕ №16.

Общата редакция на ръководството бе направена от А. Попов, текстообработката - от Р. Иларионов и графиките - от Д.Манова. Програмното осигуряване на автоматизираната тестова система, както и компютърните обучаващи програми са оригинална разработка на Б. Трайков.

Авторите с благодарност ще приемат всички мнения и бележки по въпроси свързани с обучението по "Цифрова схемотехника", лабораторната работа и текста на настоящето ръководство.

УВОД

1. Цифрова схемотехника.

Върховете постижения във всяка област на човешката дейност са свързани в някаква степен и с изкуството. Водещи учени на XX век като Айнщайн и Поанкаре подчертават значението на естетиката при създаване на физическа или математическа теория. Всеки синтез, в това число и инженерният, като връх в съответната област, води до резултати, които не са само ефективни, но и "по-красиви". Всичко това в пълна степен важи и за съвременната електроника. То обяснява и появата през последните две десетилетия на термини като "изкуство на електрониката" ("The art of electronics") и "изкуство на схемотехниката" [1]. Понастоящем под "електронна схемотехника" се разбират както формалните, така и неформалните, творческите методи, средства и решения при създаване на електронните схеми. Те представляват сърцевината на курса по Цифрова схемотехника. Една от характерните особености в него е, че синтезът и анализът на цифровите схеми са свързани от една страна с изискванията за приложението им, а от друга - с възможностите на микроелектронните технологии [2]. Друга особеност е стремежът да се подчертаят и използват общите страни на аналоговата и цифровата схемотехника, тъй като те - по-същество - представляват "два клона от едно и също дърво".

2. Изследване на цифрови схеми.

Изследването на електронните схеми (фиг.1) се състои в подаването на стимул - входен (тестов) сигнал - към изследваната схема (Circuit Under Test - CUT) и определяне на реакцията ѝ - изходния сигнал. При това всяка изследвана точка (дори и вътрешна за схемата) се третира като изход. Характерът на изследването зависи от вида на:

- изследваната схема: линейна, нелинейна;
- входния сигнал: постояннотоков, синусоидален, импулсен, тригонообразен и т.н.



Фиг. 1

При **цифровите схеми**, за да се определят характеристиките и параметрите им, е достатъчно да се изследват:

- статичния режим (анализ по постоянен ток);
- динамичния режим (анализ на преходните процеси).

Теоретичното изследване на електронните схеми представлява изследване на техните математически модели. То се свежда до решаване на уравнения или системи от уравнения - алгебрични при статичен режим и диференциални при динамичен режим. Специфична особеност на цифровите схеми е нелинейният характер на тези уравнения. Методите за анализ могат да се разделят най-общо на две групи: аналитични и числени.

Аналитичните методи дават решение на уравненията във вид на формули. Тези методи имат следните предимства:

- изследването е тясно свързано с основните физически процеси в схемите;
- крайните резултати отразяват - обикновено в явен вид - влиянието на основните фактори върху параметрите на схемите.

За получаването на тези крайни резултати, обаче, се налага да се използват опростени модели и да се правят различни опростяващи допускания. С това се понижава точността на анализа. Сложността на цифровите схеми и нелинейният характер на моделите им ограничават, а често пъти правят невъзможно прилагането на аналитични методи.

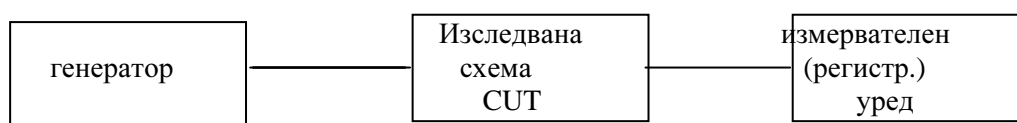
Числените методи за решаване на уравненията (системите от уравнения) се характеризират с универсалност и точност. Последната се постига чрез използване на сложни, но точни модели на

компонентите на цифровите схеми. Обаче численият вид на крайните резултати твърде често затруднява тяхното използване, тъй като не представя зависимостите в явна форма. Така например, за отразяване влиянието на всеки от параметрите на схемните компоненти върху параметрите на цялата схема, се налага многократно числено решаване на основните уравнения с различни входни данни. А това изисква усъвършенствувана входно-изходна система към компютъра (т.нар. потребителски интерфейс) за управление на целия числен експеримент и за визуализация на резултатите от него. Понастоящем най-разпространена програмна система за числен анализ на електронни схеми е системата SPICE (Simulation Program with Integrated Circuits Emphasis).

Постановката за **експериментално изследване** на електронни схеми е показана на фиг.2. От генератора се подава сигнал (напрежение, ток) към входа на изследваната схема. В изхода ѝ се свързват уреди за регистриране и измерване параметрите на сигнала.

При изследване на цифрови схеми са необходими:

- за статичен анализ: към входа - регулируем източник на постоянно напрежение и в изхода - волтметър;
- за динамичен анализ: импулсен генератор и осцилоскоп.



Фиг. 2

Основните недостатъци на традиционните методи и средства за експериментално изследване на електронни схеми са в големия брой еднообразни операции по време на измерване и ръчната обработка на данните. Тези недостатъци се преодоляват в съвременните **автоматизирани тестови системи - АТС** (Automated Test Equipment -ATE). В тях компютърът управлява провеждането на експеримента, обработката на данните и визуализацията на резултатите (фиг.3).



Фиг. 3

Структурата и функциите на техническите средства, използвани в лабораториите по Цифрова схемотехника в ТУ- Пловдив и ТУ-София са показани на фиг.4. Използването на компютъра, в случая РС ХТ/АТ, позволява всички средства за обучение и изследване да се интегрират в т. нар. автоматизирано (компютризирано) работно място (АРМ).

3. Компютърни програми за обучение.

Компютърното моделиране на цифрови схеми предоставя богати възможности за разнообразни изследвания:

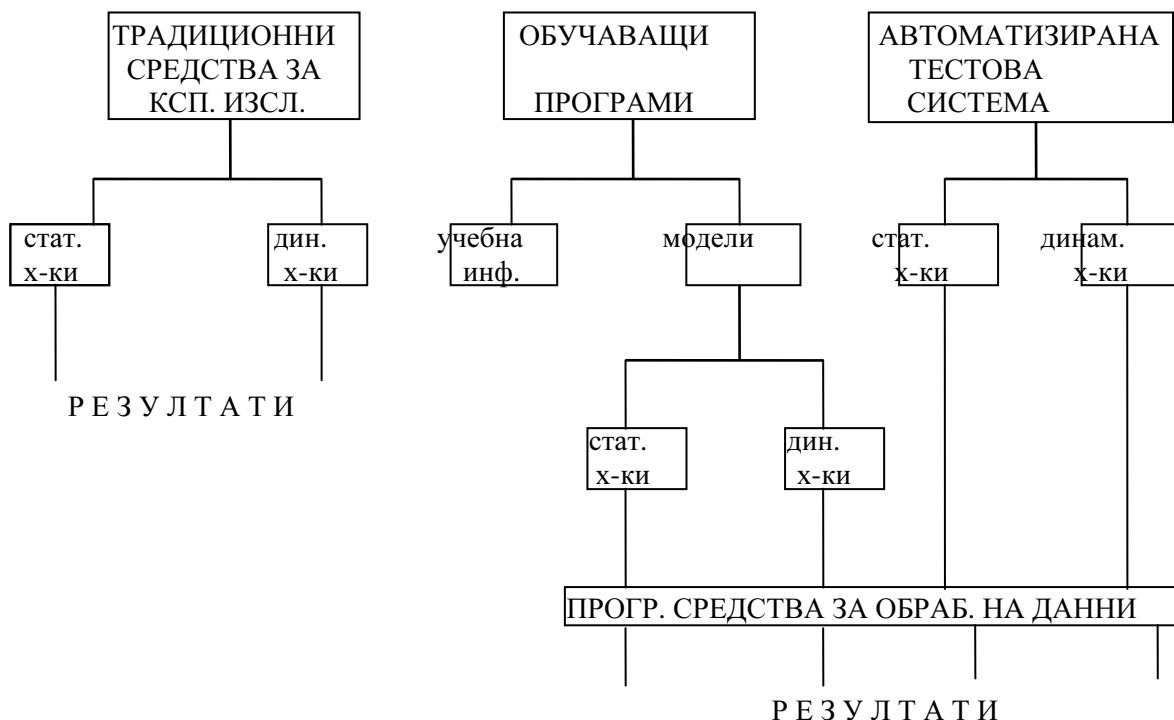
- а) могат да се изследват всякакви схеми: съществуващи на практика или не, стандартни и широко използвани или специализирани и трудно достъпни;

б) за определен вид схема параметрите на изграждащите я елементи могат да се променят в широки граници - дори и такива, при които реалната схема просто няма да функционира;

в) поведението на всяка схема може да се изследва при най-разнообразни условия за работа - дори и при въздействие на сигнали, които биха повредили реалната схема;

г) една достатъчно развита моделираща програма и един универсален (персонален) компютър могат да заменят като средства за изследване няколко измервателни уреда, опитни постановки и различни схеми, т.е. замяната на реалния експеримент с моделиране в общия случай има и икономически основания.

Средствата за моделиране на електронни, и в частност - цифрови схеми, могат да използват различна изчислителна среда за своята работа. От тази гледна точка най-използвани



Фиг. 4

сега са средствата, работещи на IBM PC/XT/AT съвместими компютри. Според функционалната сложност и възможности могат да се разграничат универсални и специализирани средства.

Мощните универсални средства използват твърде сложни и точни многопараметрични математически модели, позволяват да се въведе и изследва произволна схема. Типичен пример за такава система е споменатата по-горе SPICE. От гледна точка на обучението и условията у нас в момента високата точност и възможности на подобни програмни системи не са "чисто" предимство, защото:

- изискват сравнително мощни изчислителни средства, които не винаги са достъпни;
- по-точното моделиране води до относително по-голямо време за изчисления;
- усвояването на по-сложно и универсално програмно средство изисква повече време;
- средствата от този вид са с твърде висока цена.

Това обяснява създаването и използването на специализирани **обучаващи програми**. Един пакет от пет такива програми беше разработен в лабораторията по "Цифрова схемотехника" към Техническия университет - София и засяга тематика на част от упражненията в това ръководство. Основни характерни черти на тези програми са:

- лесна и удобна работа: не се изисква предварителна подготовка или специално изучаване на програмите, работи се в диалогов режим чрез менюта, съобщения и помощна информация на български език;

- използват се приблизителни математически модели като компромис между точността и времето за изчисление. В резултат работата е твърде оперативна - за кратко време могат да се изследват много различни варианти на схемите;

- изследване на фиксирани конкретни схеми, в които е разрешена промяна само на параметри на основните компоненти.

Структурата на обучаващите програми включва:

а) теоретична част: предоставя се информация - текст и графика - за обекта на предстоящото изследване (вида схема);

б) промяна на елементите: от всеки тип изследвана схема (в различните програми се моделират между 2 и 4 типа схеми) могат да се въведат практически неограничен брой варианти, различаващи се по стойностите на основните градивни елементи;

в) моделиране на работата на схемата в:

- статичен режим - получава се предавателната характеристика на схемата;

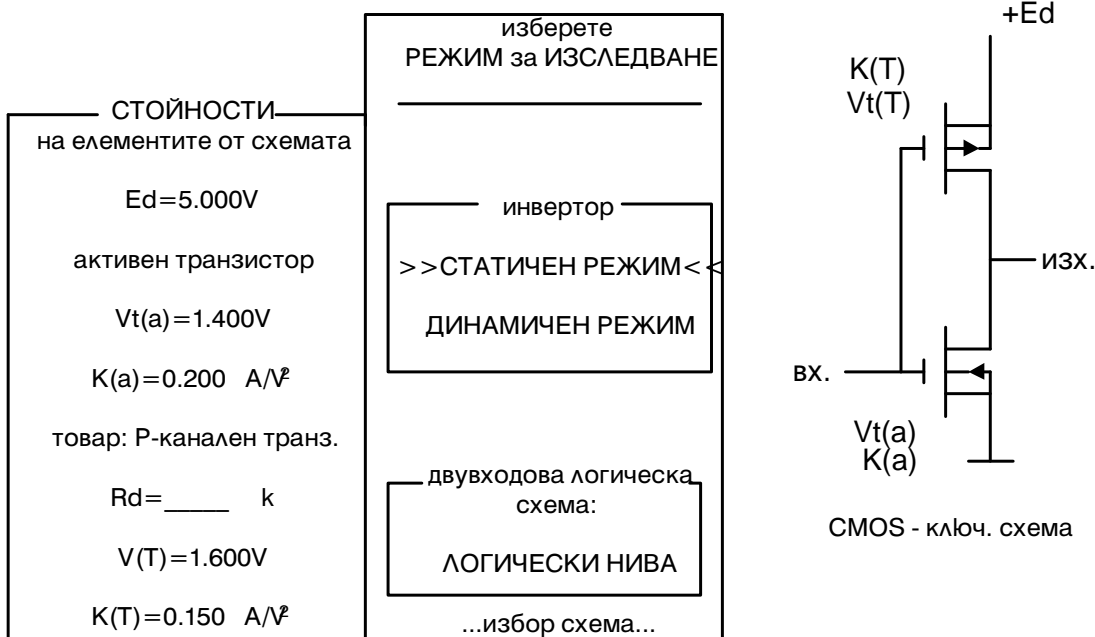
- динамичен режим - получават се времедиаграмите на входните и изходните сигнали.

От получените графики с помощта на движещ се маркер могат да се определят основните параметри на всеки изследван вариант схема:

- статичния- логически нива и запаси от шумоустойчивост;

- динамични - закъснения и продължителности на фронтите.

г) обобщение и документиране на получените резултати: таблици с параметрите на всички изследвани варианти схеми могат да се получат върху екрана или да се разпечатат на принтер.



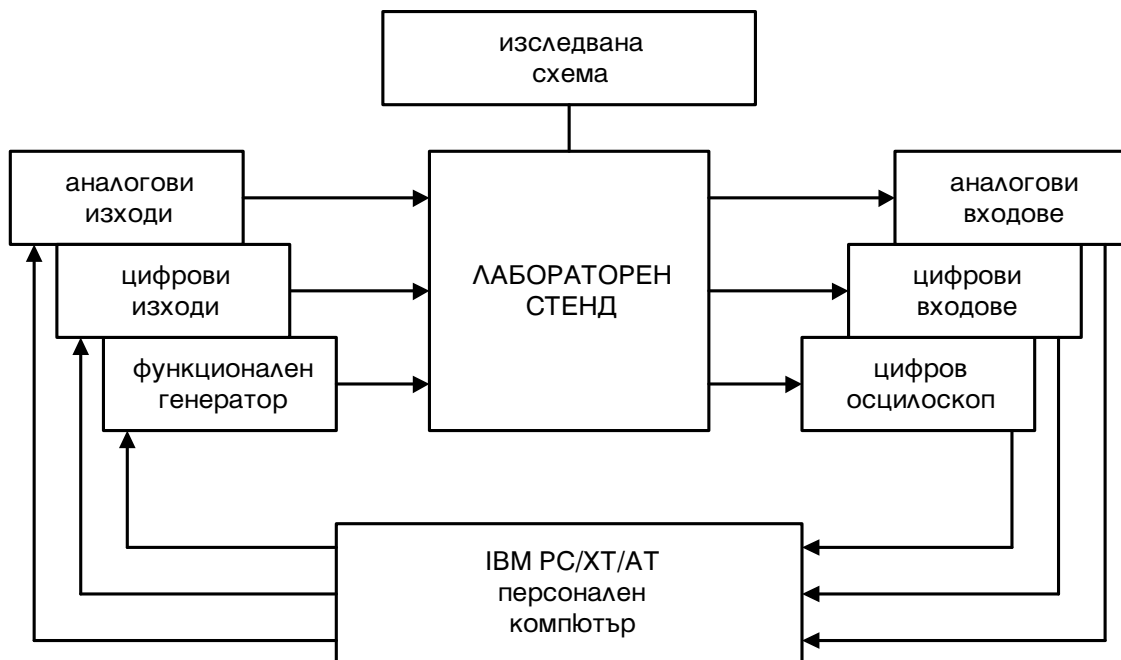
Фиг. 5 Вид на екрана при работа на обучаващата програма MOS/CMOS.

Същественото предимство при използване на обучаващите програми е във възможността за интензивно изследване: за кратко време могат да се въведат, моделират и сравнят по параметрите си голям брой варианти на схеми. Така става лесно да се анализира влиянието на основните елементи върху работата на схемата.

Като илюстрация на фиг. 5 е показан един вид на екрана при работа с програмата за моделиране на MOS и CMOS логически схеми. В случая е възможно да се изследват четири типа MOS схеми, различаващи се по вида на товарния елемент. Стойностите, които могат да се променят, са: основните параметри на активния NMOS транзистор (прагово напрежение и специфична стръмност), захранващото напрежение и параметрите на товара - съпротивление, когато товарът е резистор, прагово напрежение и специфична стръмност, когато товарът е транзистор.

4. Автоматизирана тестова система.

Системата за автоматизирано изследване на електронни схеми, разработена съвместно в лабораториите по "Цифрова схемотехника" към Техническите университети в София, Пловдив и Габрово, включва следните елементи (фиг. 6.): IBM PC/XT/AT съвместим компютър, допълнителни модули към него и лабораторен стенд.



Фиг. 6

С помощта на **персоналния компютър** се извършва цялостното управление на експериментите и обработката на резултатите. **Допълнителните модули** служат за извеждане и въвеждане в персоналния компютър на различни сигнали:

- аналогови: модулет съдържа цифрово-аналогови и аналогово-цифрови преобразуватели с 12-битова точност и сравнително ниска работна честота. Позволява да се извеждат 2 и да се измерват 16 напрежения в диапазона 0÷5/0÷10V, постоянни или бавно променящи се (до 10kHz);
- цифрови: извеждат и въвеждат сигнали с TTL стандартни логически нива '0' и '1'. Сигналите могат да бъдат галванически разделени от захранващото напрежение;
- функционален генератор: в неговите изходи се получава периодично напрежение с произволна форма в обхвата 0÷5/0÷10V, или до 16 цифрови сигнала - импулсни последователности с честота до 10MHz;
- цифров осцилоскоп: позволява да се снимат и наблюдават върху екрана на компютъра времедиаграми на сигнали с честота до 50MHz.

Основната част от **лабораторния стенд** заема комутационно поле, в центъра на което се поставя изследваната схема. В периферията му са изведени всички сигнали от/към модулите в персоналния компютър, захранващи напрежения, а също и периодични сигнали, получени от вграден в стенда генератор. Чрез съединителни проводници се осъществяват всички връзки между изследваната схема и необходимите сигнали.

Работата на системата се управлява от **специализирано програмно осигуряване** (програма IDA), което се отличава с простота и удобство за използване. Основните му функции са:

- а) предоставяне на помощна информация от два вида:
 - как се работи със системата - това е постоянна, неизменна и винаги достъпна информация;
 - какво и как трябва да се изследва - данни от този вид (текст и графика) се създават за всеки различен случай (експеримент, изследване, лабораторно упражнение). Програмата може да извиква и показва всяка налична информация от този вид. В нея се включват указания за особеностите на изследваната схема, начина на свързване и др.

б) задаване на режим за използване на сигналите (конфигурация). Като се следват указанията от помощната информация, предварително върху стенда се осъществяват необходимите връзки:

- от изходи на модулите - към входове на схемата;
- от изходи на схемата - към входове на модулите;
- захранващи напрежения - към съответните изводи на схемата;
- при необходимост - връзки между отделни изводи на схемата.

За всеки свързан към изследваната схема аналогов или цифров сигнал от модулите може да се зададе режим за работа:

- извеждане на:
 - постоянна стойност;
 - променлив сигнал - поредица от стойности.
- въвеждане на:
 - единична (текущата) стойност;
 - поредица от стойности.

в) измерване (събиране на данни): извършва се, когато за някой сигнал(и) е зададен режим на работа като поредица от стойности. Типичен пример е снемането на предавателната характеристика, когато:

- изходен аналогов сигнал от модула се свързва към входа на изследваната схема и се задава извеждане на поредица - всички стойности на напрежението от 0 до 5V (нормалният обхват на входното напрежение за повечето логически схеми);
- изходът на схемата се свързва към аналогов вход на модула и за този вход се задава въвеждане на поредица от стойности;
- след стартиране на измерването системата подава към входа на схемата последователно напреженията от 0 до 5V и при всяка подадена стойност измерва отговарящото ѝ напрежение в изхода на схемата. Измерените данни се натрупват в паметта на компютъра.

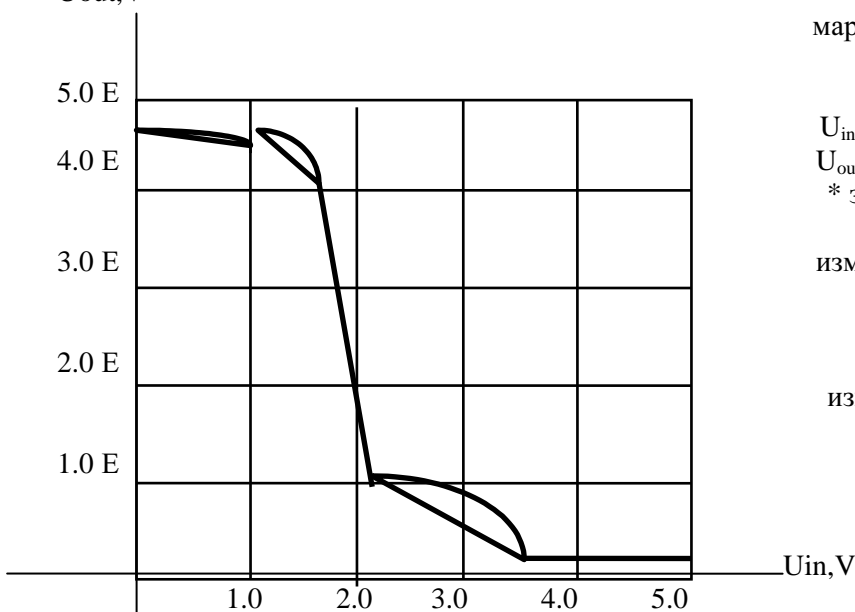
Възможен е и режим на т.нар. "ръчно" измерване. При него се следят и извеждат върху екрана всички текущи стойности на сигнали. Всеки изходен сигнал може да бъде избран и неговата стойност - променена с помощта на клавишите-стрелки. Този случай е аналогичен на подаването на напрежение чрез потенциометър и измерването с цифров волтметър.

г) обработка на резултатите: от получените при измерването данни се построяват характеристики в графичен вид. Като аргументи и функции за тези графики могат да се избират различни сигнали, които са били измерени като поредици от стойности. Това дава възможност да се получат зависимости между различните входове и изходи на изследваната схема.

*** придвижете маркера с ->,<- *** по-бързо - заедно с Ctrl ***

*** изход - Esc ***

U_{out},V



маркер:

	t1	t2	t2-t1
U _{in} , V	4.800	2.500	2.300
U _{out} , V	0.120	0.500	0.380
* за смяна t1/t2 - <input type="checkbox"/> *			

измерване на параметри:

F ₁	F ₃	F ₅
F ₂	F ₄	F ₆

измерени параметри:

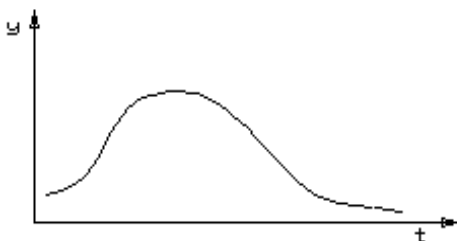
U₀ = 0.120 V
U₁ = 4.800 V

Фиг.7 Екран на програмата за обработка на резултати.

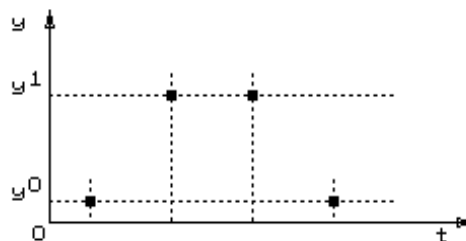
Операторът (студентът) може да придвижва маркера върху построената на екрана графика. По този начин се измерват координати на точки и разстоянията между тях. Когато графиката е на статична предавателна характеристика, така се определят стандартните параметри - логически нива и запаси от шумоустойчивост. Видът на екрана с една такава характеристика е показан на фиг. 7. По подобен начин изглежда и статичната предавателна характеристика, начертана с помощта на някоя от моделиращите програми, разгледани в предишната точка.

Двата подхода за изследване на цифрови схеми - чрез моделиране и експериментално - имат както своите специфични особености, така и логическа връзка помежду си. Чрез моделиране за кратко време могат да се изследват множество различни схемни варианти, да се проследи и анализира влиянието на много отделни елементи и фактори. От друга страна, при експерименталното изследване се добива реална представа за самата схема, тя може да се види, трябва да се свърже по необходимия начин и постави при определени работни условия. Тук получените резултати са "истински" и реални. Същевременно средствата за автоматизация на експеримента позволяват резултатите от него лесно и удобно да се представят във форма, аналогична на тази, получена при теоретичното моделиране. Така тези две групи резултати могат да бъдат сравнени, за да се направят съответните анализи и изводи.

Идеалният и максимално информативен случай е, когато един и същи вид схема може да бъде както теоретично моделиран, така и практически изследван.



Фиг. 8

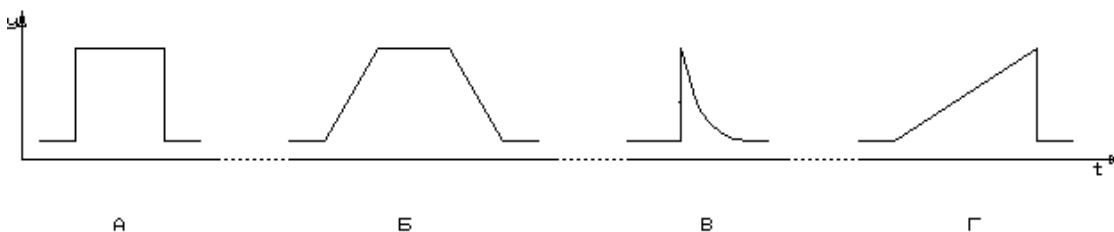


Фиг. 9

5. Сигнали.

Електрическият сигнал представлява изменението на електрическата величина (най-често напрежение или ток) във времето. Според формата на представяне на сигналите, схемите и устройствата, които ги обработват, се разделят на **аналогови** и **цифрови**. В теорията и практиката на аналоговите схеми се използват сигнали, чиято величина е **непрекъсната функция** във времето (фиг.8). Теорията на цифровата обработка (алгебра на логиката, крайни автомати) предполага, че сигналите са дефинирани в дискретни моменти от времето чрез **дискретни стойности** (фиг.9). (В двоичните системи тези стойности се наричат "**логическа нула**" и "**логическа единица**"). В действителност сигналите в цифровите схеми най-често имат някоя от формите показани на фиг.10: правоъгълна, трапецовидна, експоненциална, линейно-изменяща се (трионообразна). Тези сигнали могат да се разглеждат като дискретни във времето само при условие, че продължителността им е по-малка от времетраенето на преходните процеси в изследваната схема. В такъв случай те се наричат още **импулсни сигнали (импулси)**.

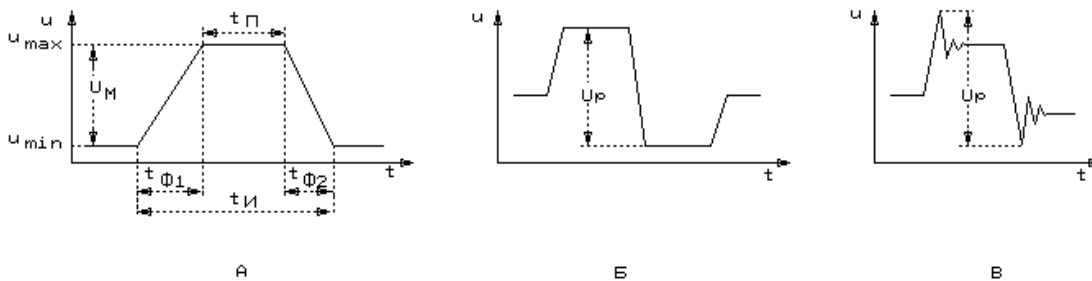
Основните параметри характеризиращи сигналите, са два вида: амплитудни и времеви. Амплитудните параметри (фиг. 11а) са:



Фиг.10

- U_M - амплитуда;

- U_{min} и U_{max} - минимална и максимална стойност на сигнала. В логическите (цифровите) схеми те са равни на т. нар. логическа нула - U^0 и логическа единица - U^1 . Прието е следното съответствие:



Фиг. 11

$U_{min} = U^0$, $U_{max} = U^1$ при т. нар. "положителна логика",

$U_{min} = U^1$, $U_{max} = U^0$ при т. нар. "отрицателна логика",

- U_p - размах или амплитуда от връх до връх. Използва се при двуполярни импулси (фиг.11б)

и при наличие на отскоци (фиг.11в).

Времевите параметри (фиг.11а) са:

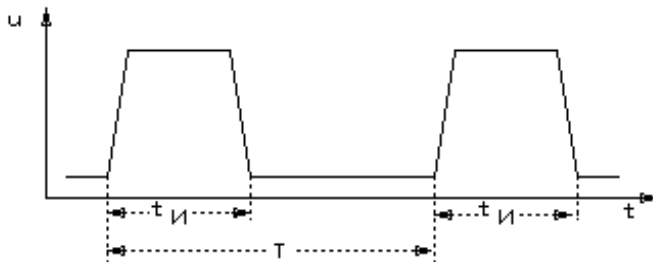
- t_I - продължителност на импулса,

- $t_{П}$ - плато на импулса,

- $t_{Ф1}$ и $t_{Ф2}$ - продължителност на предния и задния фронт. Изполват се още и означения като

$t_{Ф}^+$ и $t_{Ф}^-$ за нарастващия, съответно спадания фронт, както и $t_{Ф}^{01}$ и $t_{Ф}^{10}$ за фронт от U^0 към U^1 и от U^1 към U^0 .

Периодично повтарящите се импулси се характеризират (фиг.12) с:



Фиг. 12

T - период на повторение или $f = 1/T$ - честота на повторение,

(1) $k_3 = t_I/T$ - коефициент на запълване.

Амплитудните параметри са дефинирани точно и резултатите от измерването им са еднозначни. Същото може да се каже и за времевите параметри, но само когато преходите, т.е. началото и края на фронтите, са рязко очертани (фиг.11а). В общия случай, обаче, времевите параметри се дефинират и измерват в зависимост от специфичната форма на сигнала, а понякога - и от целта на изследването.

Реалните сигнали обикновено имат плавна крива. Ето защо **времевите параметри зависят от приетите нива, спрямо които се измерват**. Както е показано на фиг.13, за реперни точки на отчитане са приети А, В, С, D. Точките

А и D са на ниво $U_{min} + \Delta u_1$,

а В и С на ниво $U_{\max} - \Delta u_2$.

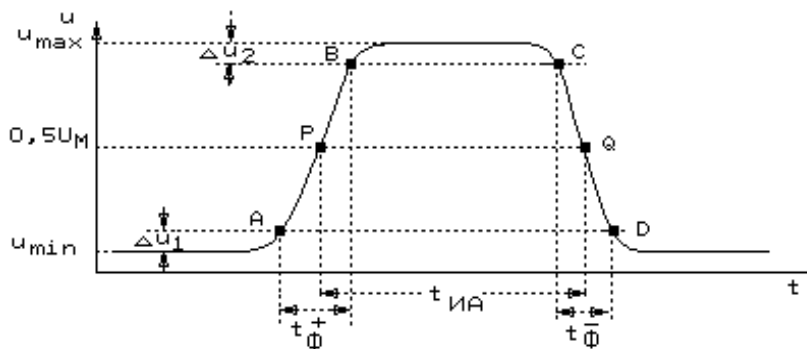
Тогава продължителността на фронтите се определя като

$$t_{\Phi}^+ = t_{AB} \text{ и } t_{\Phi}^- = t_{CD}.$$

Величините

$$(2) \quad u_1 = \delta_1 U_M \text{ и } u_2 = \delta_2 U_M$$

фиксираят условно приетите нива.



Фиг. 13

При експериментални изследвания най-често се работи с $\delta_1 = \delta_2 = \delta = 10\%$. Времевият интервал измерен между нива $0,1U_M$ и $0,9U_M$ е прието да се нарича **активна продължителност на фронта**.

При теоретични изследвания се предпочитат стойности $\delta = (1 \div 5)\%$. За особено прецизни схеми (напр. аналогово-цифрови преобразуватели) δ е от порядъка на 2^{-n} , където n е броят на разредите в двоичното число. Понякога се налага нивата да се задават с конкретни стойности, за да се определят моментите, в които сигналът преминава през тях. Ето защо, ако не е предварително прието, **при измерване на времевите параметри трябва да се посочват условията на измерването, т. е. нивата на отчитане.**

Например: $t_{\Phi}^{+, 0,1-0,9} = t_{\Phi A}$ е стойността на нарастващ фронт, отчетена между нива $0,1U_M$ и $0,9U_M$ (т. нар. активна продължителност на фронта).

От фиг.13 се вижда, че **продължителността на импулса** може да се определи по два начина - между точките А и D - $t_{и0,1}$

или между точките В и С - $t_{и0,9}$.

Възможен е и трети начин - в средата на амплитудата, т.е. на ниво **50%UM** - между точките Р и Q (фиг.13). Той е най-удобен поради еднозначността на резултата и точността на отчитане.

Измерената по този начин продължителност на импулса се нарича **активна**, т.е.

$$t_{иА} = t_{иPQ} = t_{и0,5}.$$

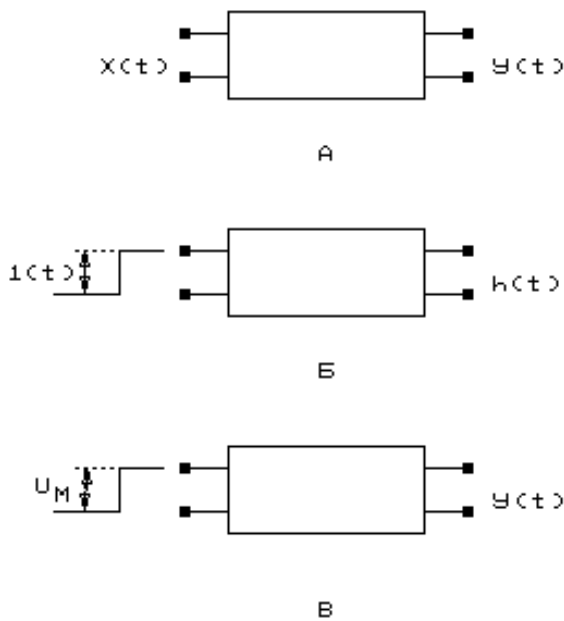
6. Линеино преобразуване на сигналите.

Линейното преобразуване (формиране) на импулсните сигнали представлява изменение на формата, съответно параметрите им, с помощта на линейни вериги. От теорията на тези вериги е известно, че импулсните им свойства се описват от преходната характеристика (преходната функция) $h(t)$. Тя се дефинира като реакция на изхода на схемата при нулеви начални условия за входно въздействие, което има вида на единичен скок $1(t)$, като

$$(3) \quad \begin{aligned} 1(t) &= 0 \text{ при } t < 0 \\ 1(t) &= 1 \text{ при } t \geq 0. \end{aligned}$$

Следователно преходната характеристика се снима по общата блокова схема от фиг.14а като от импулсния генератор се подава правоъгълен сигнал с амплитуда единица (фиг.14б). При

теоретичните изследвания може да се използва напрежителен (токов) скок с произволна амплитуда (фиг.14в), например



Фиг. 14

$$(4) \quad u(t) = U_M 1(t).$$

В редица случаи, както ще се види по-нататък, при изследване на преходните процеси е необходимо да се реши диференциалното уравнение от първи ред:

$$(5) \quad \tau \frac{dy(t)}{dt} + y(t) = f(t)$$

в което $y(t)$ е търсената функция на времето (напр. изходно напрежение), τ - времеконстантата на процеса (веригата), а $f(t)$ - известна функция на входния сигнал $x(t)$. Уравнението (5) описва в частност процесите в т. нар. **линейни вериги от първи ред**, т.е. вериги, които освен външни източници и резистори съдържат един реактивен елемент. Понеже в началния момент входният сигнал се изменя със скок и по време на разглеждането остава неизменен, дясната част на (5) е постоянна величина т. е $f(t) = \text{const}$. В този случай решението е:

$$(6) \quad y(t) = A e^{-t/\tau} + B.$$

Интеграционните константи се определят за $t = 0$ и $t = \infty$,

$$(7) \quad \begin{aligned} y(0) &= A + B \\ y(\infty) &= B. \end{aligned}$$

Окончателното решение

$$(8) \quad y(t) = y(\infty) + [y(0) - y(\infty)]e^{-t/\tau},$$

може да се представи и като

$$(9) \quad y(t) = y(0) + [y(\infty) - y(0)](1 - e^{-t/\tau}).$$

Вижда се, че за да се получи търсената функция е необходимо да се знаят нейните стойности в началото и в края на процеса. Те се определят лесно чрез решаване на статичния режим на веригата преди започване и след завършване на преходния процес.

Пример 1. Нека $u(0) = 0$, $u(\infty) = U_m$. Тогава от (9) се получава

$$(10) \quad u(t) = U_m (1 - e^{-t/\tau}).$$

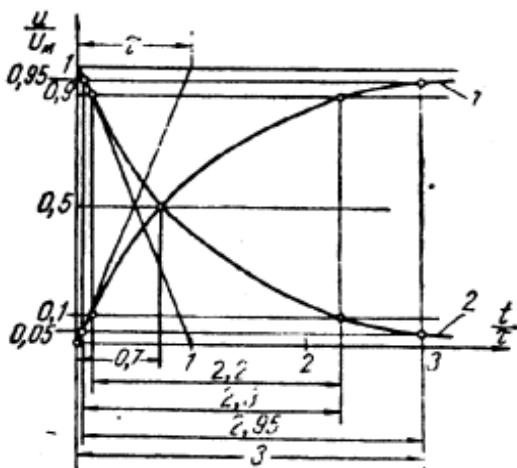
Пример 2. Нека $u(0) = U_m$, $u(\infty) = 0$. Тогава от (8) се получава

$$(11) \quad u(t) = U_m e^{-t/\tau}.$$

Получените зависимости (10) и (11) са построени на фиг.15 (криви 1 и 2). Означени са и времеинтервалите през които експонентата се изменя между различни начални и крайни нива на отчитане (табл 1). Те са определени като изразът (8) се реши спрямо времето t

$$(12) \quad t = \tau \ln \frac{y(\infty) - y(0)}{y(\infty) - y(t)}$$

и y се замести с u , откъдето се получава:



Фиг. 15

$$(13) \quad t = t_2 - t_1 = \tau \ln \frac{u(\infty) - u(t_1)}{u(\infty) - u(t_2)}$$

В практиката, както и в ръководството за продължителност на преходния процес във вериги от първи ред се приема

$$(14) \quad t_{0-0,95} = t_{1-0,05} = 3\tau,$$

което представлява времето за изменение на експоненциалната крива от началното ниво (при $t = 0$) до ниво, различаващо се с 5% от установеното в края на процеса ($t = \infty$).

Времевият интервал, определен на ниво 50% от максималното, т. нар. активна продължителност е:

$$(15) \quad t_A = t_{0-0,5} = t_{1-0,5} = 0,7\tau$$

Таблица 1

$\delta = \frac{\Delta u}{U_M}$	$0 \geq 0,5$	$0 \geq 0,95$	$0,05 \geq 0,95$	$0,05 \geq 0,9$	$0,1 \geq 0,9$
	$1 \geq 0,5$	$1 \geq 0,05$	$0,95 \geq 0,05$	$0,95 \geq 0,1$	$0,9 \geq 0,1$
$\frac{\Delta t}{\tau}$	0,7	3	2,95	2,3	2,2

Пасивните линейни формиращи схеми, които най-често се прилагат са RC веригите: **интегрираща и диференцираща**. Основните им зависимости са систематизирани в табл.2.

От нея могат да се направят следните изводи:

а) **Точност**. И двете схеми не са "идеални". При подаване във входа им на напрежителен скок, в изхода на интегриращата верига би трябвало да се получи линейна функция, а в изхода на диференциращата - δ функция (импулс, чиято амплитуда клони към безкрайност, а продължителността му клони към нула). Реалните сигнали, обаче, са доста по-различни. Причината за това, се вижда при извеждането на изрази (16) и (17), в които изходното напрежение се пренебрегва спрямо входното. Следователно за повишаване на точността при интегриране и диференциране е необходимо

ТАБЛИЦА 2

	ИНТЕГРИРАЩА	ДИФЕРЕНЦИРАЩА
ПРИНЦИПНА СХЕМА		
ЗАВИСИМОСТ НА ИЗХОДНОТО НАПРЕЖЕНИЕ ОТ ВХОДНОТО (16), (17)	$u_{ИЗХ}(t) = \frac{1}{C} \int i_C(t) dt =$ $= \frac{1}{C} \int \frac{u_{ВХ} - u_{ИЗХ}}{R} dt =$ $= \frac{1}{RC} \int u_{ВХ} dt$	$u_{ИЗХ}(t) = R i_C(t) =$ $= RC \frac{d(u_{ВХ} - u_{ИЗХ})}{dt} =$ $= RC \frac{d u_{ВХ}}{dt}$
ПРЕХОДНА ФУНКЦИЯ (18), (19)	$h(t) = 1 - e^{-t/\tau}$	$h(t) = e^{-t/\tau}$
ПРЕХОДЕН ПРОЦЕС		

$$(20) \quad u_{ВХ} \gg u_{ИЗХ}.$$

Неравенство (20) се нарича изискване за работа при **голям ("силен") сигнал** (има се предвид $u_{ВХ}$). То може да бъде интерпретирано и по друг начин, ако го приложим към изразите (18) и (19). От тях и съответните им криви се вижда, че за интегриращата верига изискването (20) се изпълнява в началото на преходния процес - при $t \ll \tau$, а за диференциращата - в края му - при $t \gg \tau$.

б) **Приложение**. Интегриращата RC верига не се използва за точно интегриране. Това може да се обясни ако дясната част на израза (18) се разложи в ред при $t/\tau \ll 1$ (т. нар. работа при "малки" времена).

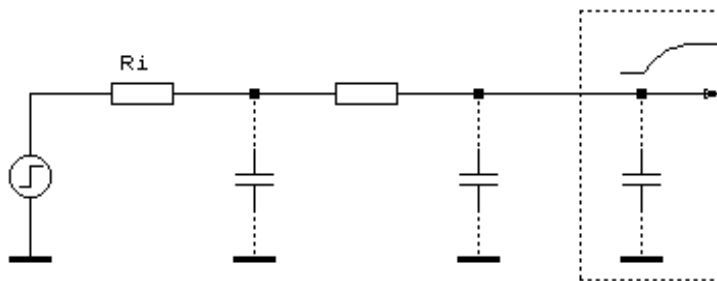
$$(21) \quad u_{ИЗХ}(t) = U_M \left(1 - e^{-\frac{t}{\tau}} \right) = U_M \left(\frac{t}{\tau} - \frac{t^2}{2\tau^2} + \frac{t^3}{6\tau^3} - \dots \right) = U_M \frac{t}{\tau} - \Delta u$$

Както се вижда, първият член е точният интеграл, а u е грешката. За да бъде тя пренебрежимо малка, е необходимо много голяма времеконстанта $\tau = RC$.

Фронтът в изхода на интегриращата верига закъснява спрямо входния. В някои случаи това явление е полезно (времезадаващи вериги на мултивибратори), а в други - нежелано. Например, когато една схема (генератор) подава импулсен сигнал, към друга (приемник), се получава "паразитна" интегрираща верига, която увеличава фронта на сигнала (фиг.16). За намаляване на този ефект е необходимо вътрешното съпротивление R_i да бъде по възможност по-малко, т.е.генераторът да бъде по-мощен. Съпротивлението на съединителната шина трябва да бъде пренебрежимо малко, а всички паразитни капацитети - минимални.

Основното приложение на диференциращата верига е за "скъсяване" - формиране на краткотрайни островърхи импулси. Активната им продължителност е $t_{иА} = 0,7RC$. Ето защо, времеконстантата на диференциращата верига трябва да бъде малка. В началния момент, обаче, стойността на тока е $i_C = U_m/R$ и може да се окаже недопустимо голяма.

Активните линейни формиращи вериги най-често се конструират посредством **операционни усилватели (ОУ)** - фиг.17а. Той се характеризира с голямо входно съпротивление (както между точките а и b на диференциалния вход, така и спрямо маса),



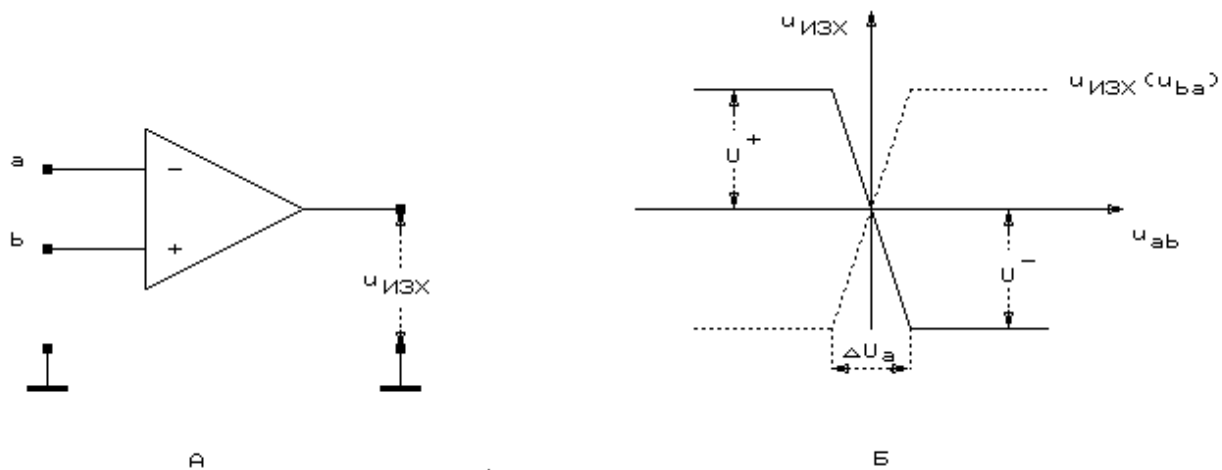
ФИГ . 16

малко изходно съпротивление и голям коефициент на усилване по напрежение K_U . Тъй като изходното напрежение на усилвателя е:

$$(22) \quad u_{изх} = -K_{Uab} = K_{Uba},$$

прието е т.а да се нарича инвертиращ вход, а т.б - неинвертиращ вход. Голямата стойност на K_U обуславя много тясна активна област ΔU_a (фиг.17б):

$$(23) \quad U_a = \frac{U^+ + |U^-|}{K_U},$$



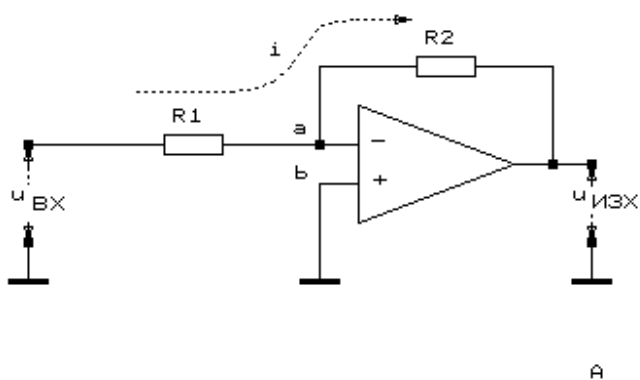
ФИГ. 17

която за повечето практически случаи на приложението на ОУ се приема равна на нула (т. нар. "виртуална нула"). Извън нея са областите на ограничение (насищане) на изходното напрежение на нива U^+ и U^- . При линейното формиране работната точка не трябва да навлиза в тях. Това се постига с прилагането на отрицателна обратна връзка (ООВ).

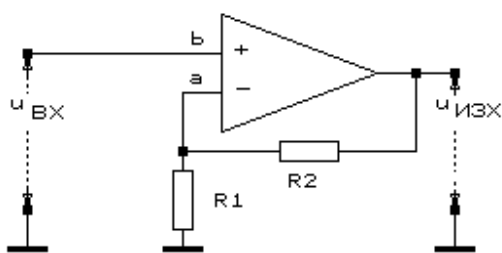
На фиг.18 са показани две основни усилвателни стъпала - с паралелна и последователна ООВ. Изведени са зависимости на изходното напрежение от входното, при пренебрегване на напрежението между входните клеми на ОУ:

$$(24) \quad |U_{ab}| = U_{ab} = \frac{U_{\text{ЕЦО}}}{K_U} \approx 0$$

По аналогичен начин за интеграцията усилвател (фиг.19а) се получава:



$$\begin{aligned} u_{\text{ИЗХ}} &= -R_2 i = \\ &= -R_2 \frac{u_{\text{ВХ}} - u_{\text{аб}}}{R_1} = \\ &= -\frac{R_2}{R_1} u_{\text{ВХ}} \end{aligned}$$



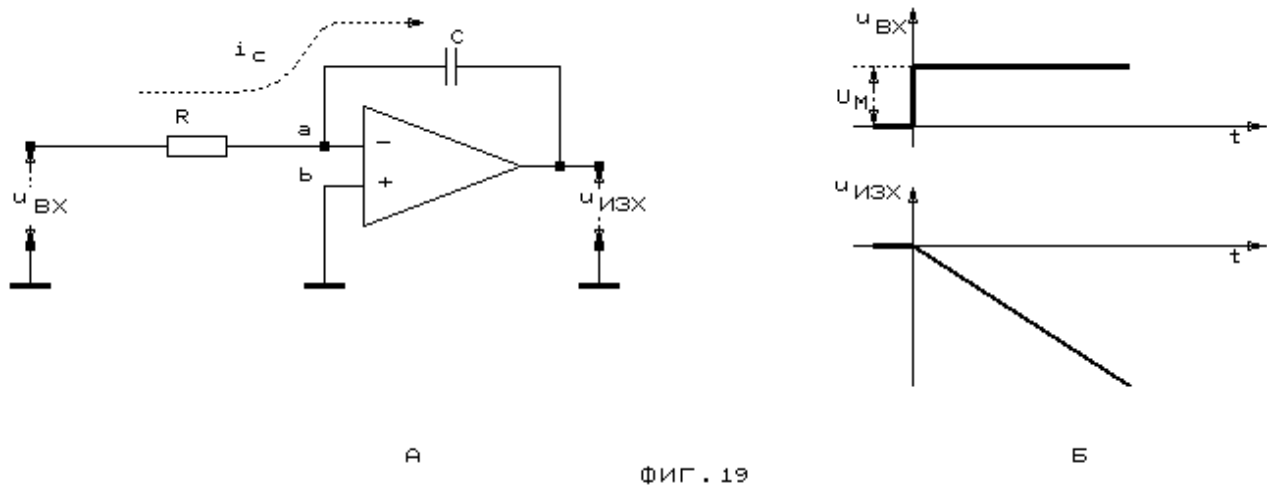
$$\begin{aligned} u_{\text{ИЗХ}} &= (R_1 + R_2) i = \\ &= (R_1 + R_2) \frac{u_{\text{ВХ}} - u_{\text{ба}}}{R_1} = \\ &= \frac{R_1 + R_2}{R_1} u_{\text{ВХ}} \end{aligned}$$

ФИГ. 18

$$(25) \quad U_{\text{ИЗХ}} = -\frac{1}{C} \int i_C dt = -\frac{1}{C} \int \frac{U_{\text{ВХ}} - U_{ab}}{R} dt \approx -\frac{1}{RC} \int U_{\text{ВХ}} dt$$

Реакцията на изхода при подаване на напрежителен скок U_m е начертана на фиг.19б.

Условието (24) улеснява анализа на схемите с ОУ, като внася пренебрежимо малка грешка. Така например при типова стойност на $K_U = 105$, относителната грешка е от порядъка на 10^{-5} .



ФИГ . 19

Към интегриращия усилвател от фиг.13а може да се подходи и като към верига от първи ред. Тогава решението на диференциалното уравнение е от вида:

$$(26) \quad U_{\text{ИЗХ}}(t) = -Ee \left(1 - e^{-\frac{t}{\tau_e}} \right),$$

където:

$$(27) \quad E_e = K_U U_m, \text{ а } \tau_e = (K_U + 1) \approx K_U RC.$$

Благодарение на усилвателя, при малки стойности на R и C се получава много голяма времеконстанта, а оттам - точно интегриране. Това явление е известно като "интегриращ ефект на проходния кондензатор" или ефект на Милер. Често се използва в интегралната схемотехника, тъй като големите кондензатори и резистори биха заели голяма площ върху кристала.

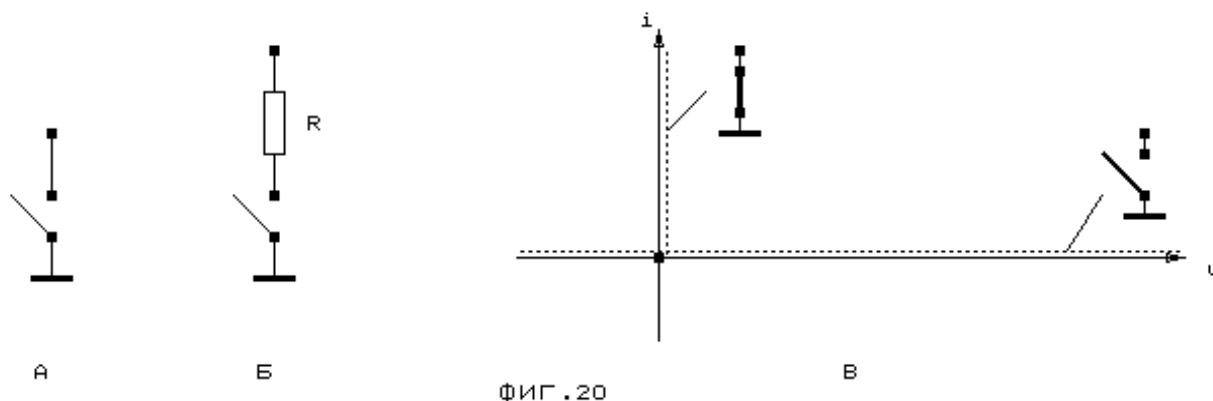
7. Нелинейно преобразуване на сигналите.

Разделянето на схемите на **линейни** и **нелинейни** е свързано не толкова с тяхната конфигурация (понякога една и съща схема може да работи и като линейна и като нелинейна), колкото с работния режим - с положението на работната точка върху характеристиката и - най-вече - с амплитудата на сигнала. Цифровите схеми работят в специфичен нелинеен режим - т. нар. **режим на голям сигнал** или **ключов режим**. При него амплитудата е много по-голяма от линейния (усилвателен) участък в характеристиката. Нещо повече - стремежът е амплитудата на сигнала да бъде близка по стойност до захранващото напрежение. По този начин се удовлетворяват няколко свързани помежду си изисквания: за максимално използване на захранването (т. е. голям КПД), за голяма разлика между логическите нива, за висока шумозащитеност.

Поради голямата амплитуда работната точка достига двете крайни (гранични) области на характеристиките. В тези области електронните елементи имат много голямо или много малко съпротивление, а превключването между тях наподобява действието на механичен превключвател с

две положения. Елемент, който работи в такъв режим се нарича **ключ** (фиг.20а), а схемата в която е свързан - ключова схема (фиг.20б). В статичен режим под действието на управляващия сигнал ключът се намира в едно от двете състояния - затворено (включено) и отворено (изключено). Елементите, които работят в ключов режим трябва да имат: а) малко съпротивление във включено състояние, т.е. малко напрежение върху затворения ключ; б) голямо съпротивление в изключено състояние, т.е. минимален ток през отворения ключ; в) голямо бързодействие, т.е. висока скорост на преминаване на ключа от едно състояние в друго. В теорията се използва и понятието за **идеален ключ**.

Идеалният ключ има нулево съпротивление, когато е затворен, нулева проводимост, когато е отворен, и преминава мигновено от едно положение в друго. Неговата волт-



ФИГ .20

амперна характеристика съвпада с координатните оси (фиг.20в). Реалните електронни ключове имат пренебрежимо малки токове в отворено състояние (Това се дължи на полупроводниковата технология - малки размери на транзисторите и висока чистота на материалите). Тогава елементът е запушен и работната му точка се намира върху абсцисата, т.е. може да се счита, че той работи като идеален ключ. В отворено (отпушено) състояние, обаче съпротивлението на реалните ключове не може да се пренебрегне. Нещо повече - непрекъснатото намаляване на размерите на микроелектронните компоненти води до намаляване на сечението им, т.е. съпротивлението им расте. Всичко това поражда сериозни технологични и схемотехнични проблеми.

Процесите при нелинейното формиране се обуславят от нелинейните характеристики, съответно от нелинейните математически изрази (модели), които описват поведението на елементите. Анализът обаче се затруднява, тъй като статичният и динамичният режим се описват също от нелинейни - алгебрични и диференциални - уравнения. Основният метод за тяхното решаване е линейната (линейна по части) апроксимация на реалните характеристики на електронните елементи. Тя позволява със задоволителна точност да се решат проблемите, като се сведат до тези на линейното формиране.

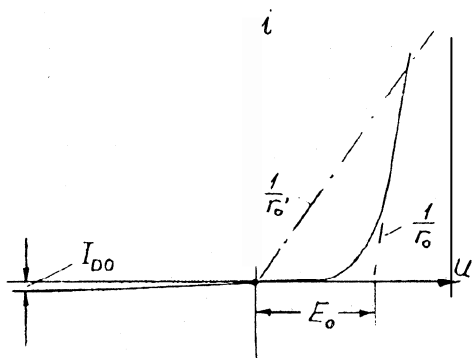
Същността на линейната апроксимация на реалните характеристики е в разделянето им на няколко области, като вътре във всяка област реалната характеристика е заменена с отсечка. По този начин зависимостите между токовете и напреженията се превръщат в линейни, а електронните елементи могат да се заменят с техните линейни еквивалентни схеми. Всяка линейна еквивалентна схема съдържа елементи, чиято стойност се определя от наклона на отсечките във всяка област и един идеален ключ, чрез който се осъществява преходът от една област в друга. По нататък накратко е показано получаването на линейни еквивалентни схеми, съответно на линейни (по части) модели на основните електронни елементи.

7.1. Полупроводникови диоди.

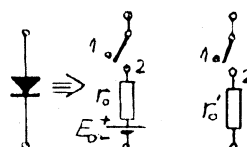
Волт-амперната им характеристика (фиг.21а) се описва аналитично с изказа:

$$(28) \quad u = \varphi_T \ln \left(\frac{i}{I_{DO}} + 1 \right) + r_B i,$$

в който I_{D0} е обратният ток на насищане (поради силната температурна зависимост наричан още топлинен ток), ϕ - топлинният потенциал, а r_B - обемното съпротивление на високоомния слой (базата). В повечето практически случаи токът през запушения диод може да се пренебрегне както поради неговата малка стойност, така и поради слабото му влияние в сравнително нискоомни вериги на ключовите схеми. Тогава идеализираната



фиг. 21а



фиг. 21б

фиг. 21в

характеристика в областта на запушване се слива с абсцисната ос. В областта на отпушване с увеличаване на тока през диода характеристиката се линеализира. Това позволява лесна апроксимация с права, от която се определят двата параметъра - напрежение на отместване E_0 и вътрешно съпротивление r_0 . Съответната линейна еквивалентна схема е показана на фиг.21б. В нея положение 1 на ключа отговаря на запушен, а положение 2 - на отпушен диод.

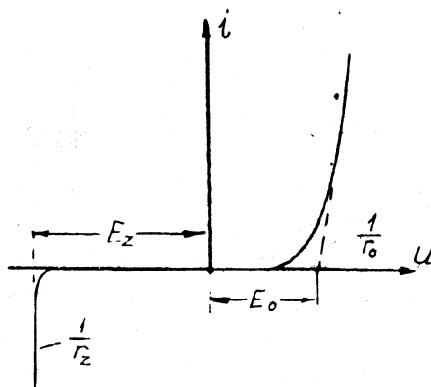
Изразът (28) показва, че диодите с по-малък топлинен ток, каквито са силициевите, имат по-голям напрежителен пад в отпушено състояние, съответно характеристиките им в областта на отпушване е разположена по-вдясно. Напрежението на отместване на тяхната апроксимирана характеристика е от порядъка на $0,7 \div 0,8V$. Аналогично се обяснява и фактът, че германиевите диоди поради големия топлинен ток се отличават с малък напрежителен пад в отпушено състояние. За тях напрежението E_0 е от порядъка на $0,1V$ и обикновено се пренебрегва. Затова апроксимиращата права може да се построи през началото на координатната система, а еквивалентната схема (фиг.21в) да бъде само с един резистор r'_0 . Описаните апроксимации са резюмирани в табл.3.

ТАБЛИЦА 3

Параметри на модела	E_0, r_0		r'_0	
	запушен	отпушен	запушен	отпушен
Състояние на диода	запушен	отпушен	запушен	отпушен
Гранични условия	$u < E_0$	$u > E_0$	$u < 0$	$u > 0$
Зависимост на тока	$i = 0$	$i = \frac{u - E_0}{r_0}$	$i = 0$	$i = \frac{u}{r'_0}$

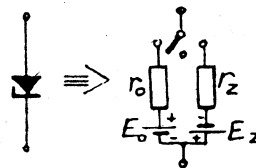
Преходните процеси в полупроводниковите диоди се характеризират с малко време за преминаване от запушено в отпушено състояние и с голямо време за преминаване от отпушено в запушено състояние. Това се обяснява с факта, че във високоомния слой на отпушения диод се натрупва заряд, пропорционален на протичащия ток. При подаване на запушващ сигнал е необходимо известно време, за да се разсее този заряд, след което диодът се запушва. Това е т. нар. време за възстановяване на обратното съпротивление на диода.

В бързодействащите схеми по-голямо приложение намира диодът на Шотки (диод метал - полупроводник). Означението му е показано на фиг.22. В него липсва високоомен слой, следователно обемното съпротивление r_B е равно на нула. Напрежението върху отпушения диод е по-малко и се определя само от първата част на израза (28). Най-голямото предимство на диода на Шотки, е че в него не се натрупва заряд, поради което той се запушва практически мигновено. Върху бързодействието на схемата, в която е включен, оказва влияние само паразитния му капацитет в запушено състояние.



фиг. 22

фиг. 23а



фиг. 23б

фиг. 23в

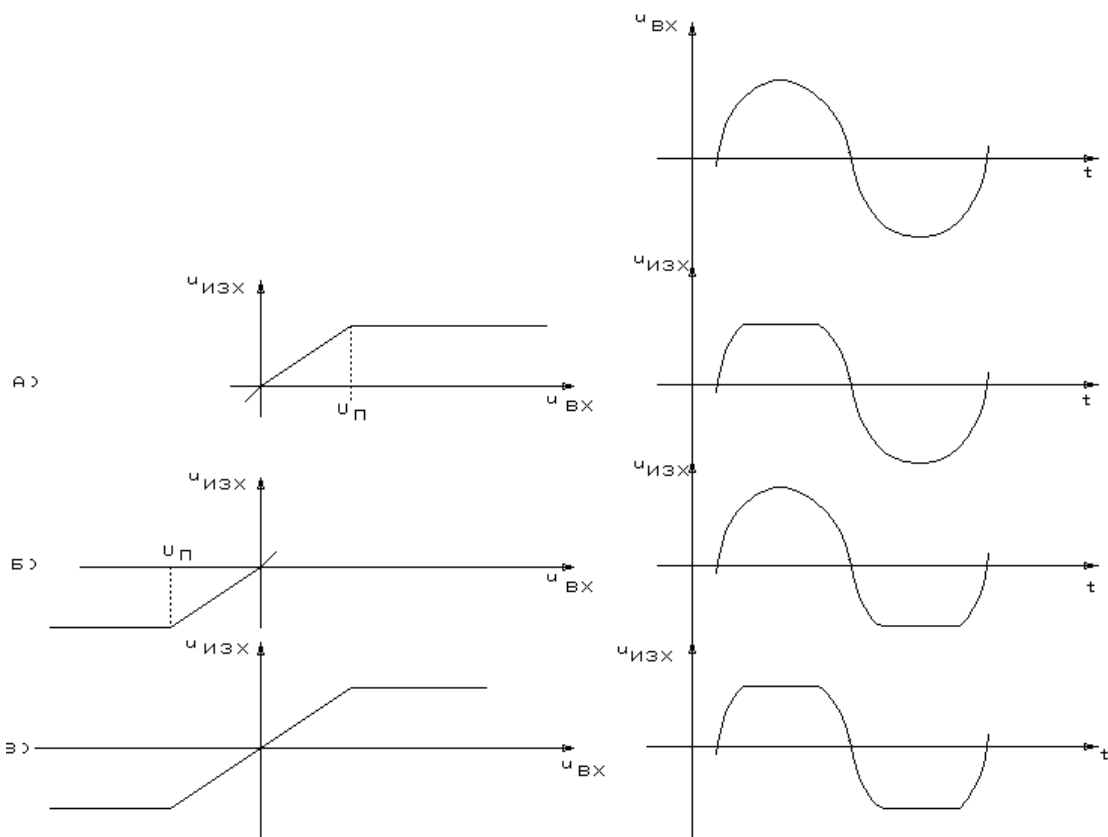
Силициевите стабилитрони (фиг.23а) се отличават от обикновените полупроводникови диоди със стръмния пробив в областта на запушване. Той се отразява в еквивалентната схема (фиг.23б) с един допълнителен клон с параметри E_z и $1/r_z$ ($r_z \ll r_0$).

7.2. Диодни ограничители.

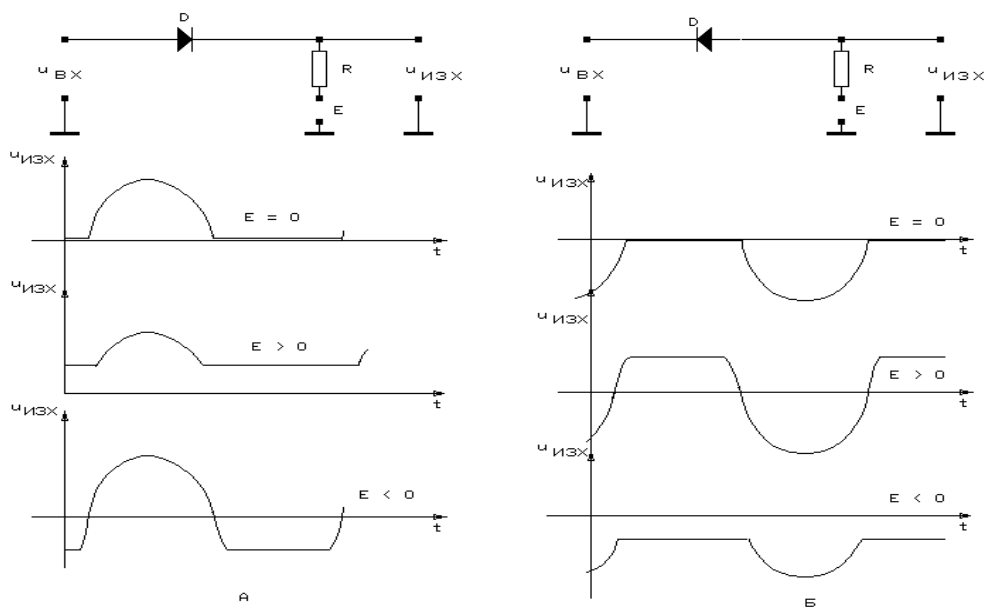
Амплитудните ограничители са схеми, чиито изходен сигнал престава да се изменя, когато входният сигнал стане по-голям или по-малък от определена стойност наречена **ниво** или **праг** на ограничение. Предавателната характеристика на ограничителите е съставена от два линейни участъка: наклонен - за точно предаване на входния сигнал, и хоризонтален успореден на абсцисата - за ограничаване. На фиг.24а са показани предавателна характеристика и времедиаграми на напреженията в **ограничител отгоре** или **по максимум**, а на фиг.24б - **ограничител отдолу** или **по минимум**. Чрез съчетаване на двата ограничителя в една схема се получава **двустранен ограничител** (фиг.24в). (Разбира се, не е задължително предавателните характеристики да минават през началото на координатната система).

Във всички схеми на диодни ограничители входното напрежение се подава към последователното съединение на три компонента: полупроводников диод, резистор R и източник на опорно (фиксиращо, прагово) напрежение. В зависимост от точките в схемата, които се използват за изходни, ограничителите се делят на **последователни**, - в които изходният сигнал се взема от резистора, и **паралелни** - изходният сигнал се отвежда от диода.

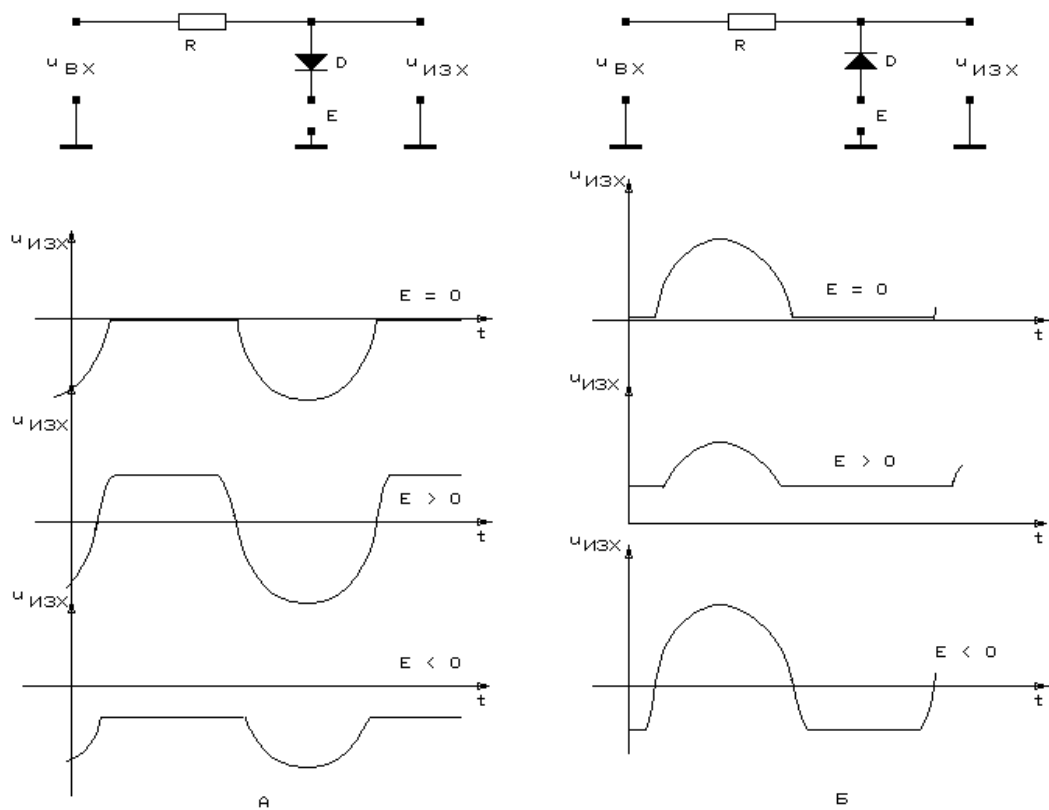
Действието на диодните ограничители се базира на ключовите свойства на диода. Когато той е отпушен, съпротивлението му е много по-малко от съпротивлението на резистора R и цялото входно напрежение се оказва приложено върху R . Когато диодът е запушен, поради голямото му съпротивление входното напрежение е практически приложено само върху него.



Фиг.24

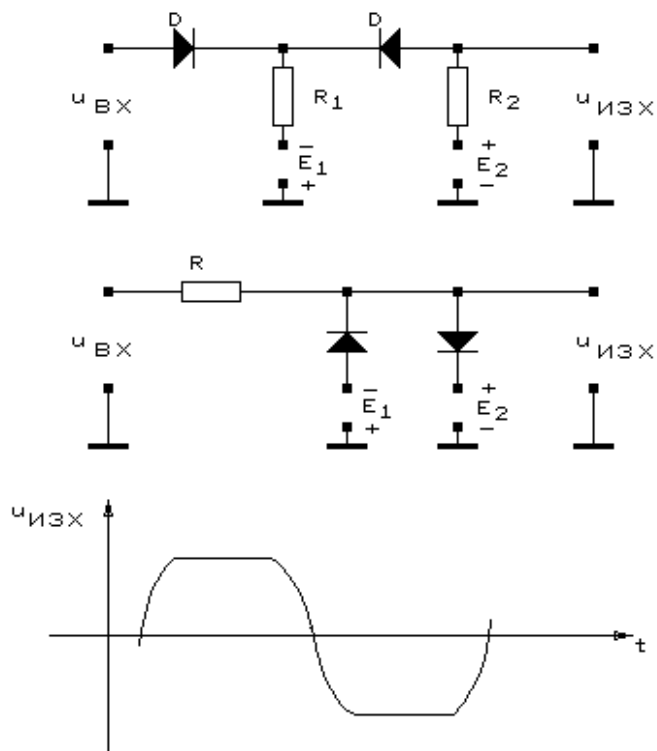


фиг. 25



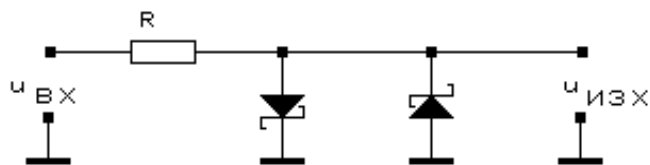
фиг. 26

Всички възможни схеми на последователни и паралелни ограничители, заедно с формата на изходния сигнал при различни опорни напрежения, са показани на фиг.25 и фиг.26. От тях се вижда, че видът на ограничението (отгоре или отдолу) зависи от посоката на свързване на диода, а нивото на ограничение - от опорното напрежение E . На следващата фиг.27 са поместени двете основни схеми на двустранни ограничители.

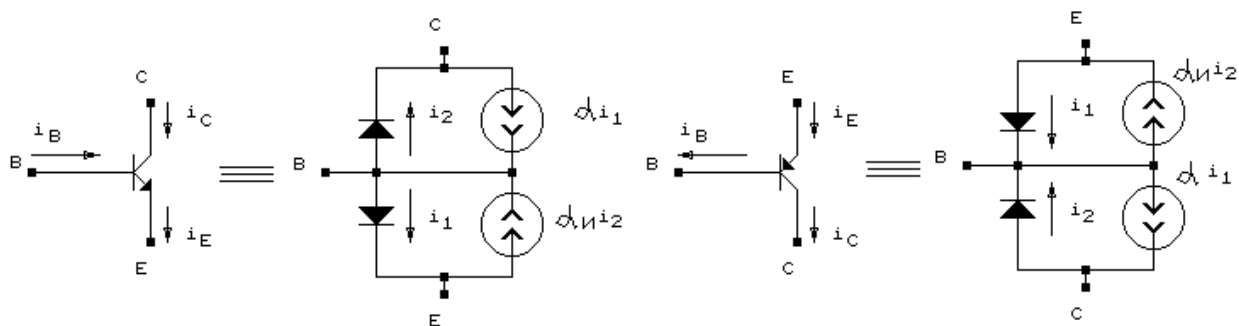


ФИГ .27

Основната статична грешка в разглежданите схеми се дължи на напрежението върху отпущения диод - от порядъка на $0,6 \div 0,7V$. (Неговото влияние не е показано на времедиаграмите от фиг.25, 26 и 27). Понякога това напрежение може да бъде и полезно - например ако се използва като източник на опорно напрежение в паралелен ограничител. Схемата от фиг.28 представлява двустранен ограничител с диоди на Шотки и прагове на ограничение от порядъка на $60,4V$.



ФИГ .28



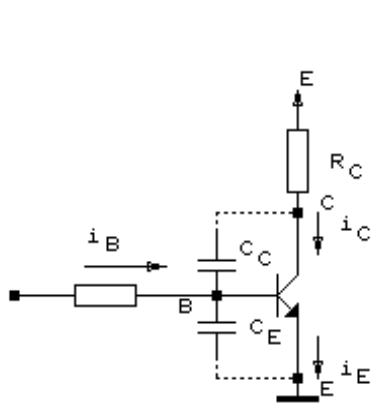
фиг. 29

7.3. Биполярни транзистори.

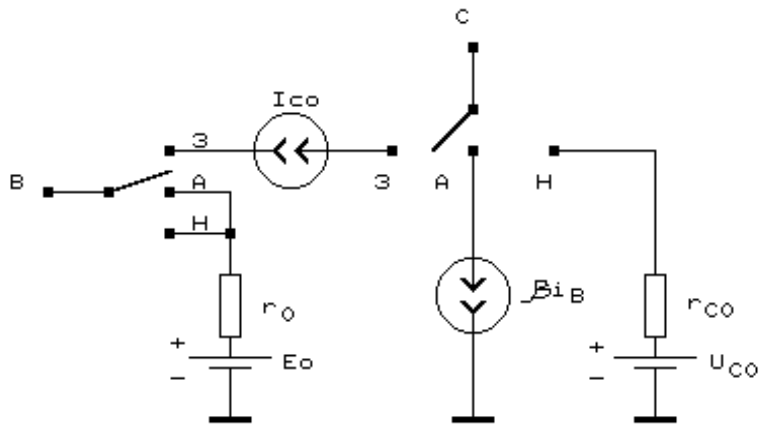
Нелинейната еквивалентна схема от фиг. 29 съответно за NPN и PNP транзистор, отразява две съществени особености в действието на транзисторите: а) възможността всеки от преходите да бъде отпушен и запушен; б) въздействието между двата прехода чрез управляемите генератори на ток. В зависимост от полярността на напреженията върху емитерния и колекторния преход транзисторът може да се намира в четири състояния (режима), както е показано в табл.4. Тъй като биполярните транзистори най-често работят в схема с общ (заземен) емитер (фиг.30а), тук се разглеждат първите три състояния от табл.4. Линейните еквивалентни схеми за тези състояния могат да се получат от входните и изходните характеристики на транзистор, свързан по схема с общ емитер. Тези характеристики са показани на фиг. 31, като апроксимиращите линии са прекъснати.

Таблица 4

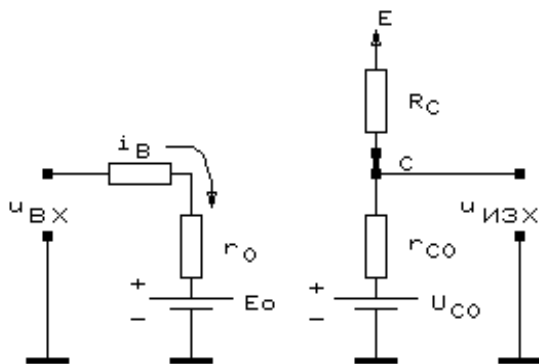
NPN	PNP	Запушен транзистор	Активен режим	Наситен транзистор	Инверсен активен режим
U_{BE}	U_{EB}	<0	>0	>0	<0
U_{BC}	U_{CB}	<0	<0	>0	>0



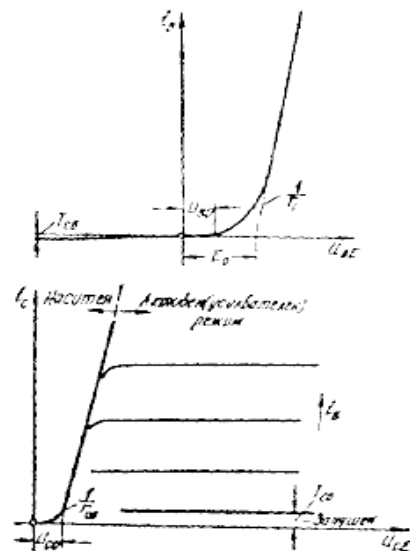
фиг. 30а



фиг. 30б



фиг. 30в



фиг. 31

В запушено състояние през транзистора протича само топлинният ток I_{C0} - положителен за колекторната верига и отрицателен за базовата. За другите две състояния - усилване и насищане - входната верига може да се замени с източника на напрежение E_0 и резистора r_0 . В усилвателен режим колекторната верига е еквивалентна на генератор на ток $i_C = \beta i_B$, а в режим на насищане - на двуполюсник, съставен от източника на напрежение U_{C0} и резистора r_{C0} .

Пълната еквивалентна схема на NPN транзистор е показана на фиг. 30б (за PNP транзистор трябва само да се променят посоките на токовете и напрежителните генератори). В редица случаи обаче тази схема може да се опрости. В силициевите транзистори топлинният ток е много малък и може да се пренебрегне. Входната им характеристика обаче е отместена вдясно и за отпушващи входни напрежения, по-малки от U_{B0} ($U_{B0} = 0,3 \div 0,4V$), транзисторът може да се смята за запушен. Освен това при определяне на колекторния ток през наситения транзистор (фиг.30в) параметрите на колекторната верига практически не влияят:

$$(29) \quad i_C = I_{CS} = \frac{E_C - U_{C0}}{R_C + r_{C0}} \approx \frac{E_C}{R_C},$$

поради което емитерът и колекторът могат да се смятат за свързани накъсо. Напрежението върху наситения транзистор, обаче, трябва да се изчисли по-прецизно, за да може да запуши транзисторът в следващата схема, т.е.

$$(30) \quad u_C = U_{CS} = U_{C0} + I_{CS}r_{C0} < U_{B0}$$

или

$$(31) \quad U_{C0} + \frac{E_C}{R_C} r_{C0} < U_{B0}.$$

Преходните процеси в ключовите схеми с биполярни транзистори се обуславят главно от инертността при пренасяне на зарядите в транзистора и от паразитните капацитети.

Методът на заряда отразява сложната зависимост във времето на колекторния ток от базовия, като се използва една междинна величина Q - зарядът на неосновните носители в областта на базата. Изменението на този заряд се описва с диференциалното уравнение

$$(32) \quad \tau \frac{dQ(t)}{dt} + Q(t) = \tau i_B(t),$$

в което τ е времето на живот на неосновните носители в областта на базата (усреднено за обема на цялата база). От диференциалното уравнение (32) се вижда, че стойността на заряда в установен режим е

$$(33) \quad Q = \tau i_B.$$

При скокообразно изменение на базовия ток от I_B' на I_B'' решението на уравнението (32) е аналогичен на израза (8):

$$(34) \quad Q(t) = Q(\infty) + [Q(0) - Q(\infty)]e^{-\frac{t}{\tau}}.$$

В последната зависимост $Q(0)$ и $Q(\infty)$ са установените стойности на заряда за базов ток I_B' и I_B'' , определени въз основа на (33). От (34) може да се намери интервалът от време, в който зарядът се изменя от началната стойност до стойност $Q(t)$:

$$(35) \quad t = \tau \ln \frac{Q(\infty) - Q(0)}{Q(\infty) - Q(t)}.$$

Влиянието на паразитните капацитети се дължи главно на бариерните капацитети C_E и C_C на запушените емитерен и колекторен преходи на транзистора (виж. фиг.30а) и се проявява в запушено състояние на транзистора. Дифузионният капацитет на един отпушен преход може да се пренебрегне, тъй като е шунтиран от малкото съпротивление на прехода. В усилвателен режим капацитетът на колекторния преход понижава бързодействието, тъй като през него се осъществява отрицателна обратна връзка, която увеличава ефективната стойност на този капацитет (т. нар. интегриращ ефект). Количествено това се изразява с увеличаване на времето на живот със стойност $\beta R_C C_C$.

8. Логически схеми.

8.1. Логически функции.

Логическите функции са зависимости от вида:

$$(36) \quad Y = f(X_1, X_2, \dots, X_m),$$

в които както функцията y , така и аргументите (променливите) X_1, X_2, \dots, X_m могат да приемат само две стойности - например 0 и 1. Изразът (36) показва, че Y се получава чрез прилагане на логическа операция f над аргументите X_1, X_2, \dots, X_m .

Един от начините за задаване на логическа функция е чрез таблица на истинност. В нея е посочена стойността на функцията за всяко съчетание (набор) от стойности на аргументите. При брой на аргументите m броят на всички набори е 2^m , а броят на всички логически функции (операции) N_f

$$(37) \quad N_f = 2^{2^m}.$$

Логическите функции от един аргумент са четири (табл.5). Съществена за нашето разглеждане е функцията

$$(38) \quad y = f_2(X) = \overline{X},$$

наричана логическо отрицание или инверсия. Означава се с чертичка над аргумента и се чете "не X ". Както се вижда от таблицата, стойността на функцията е винаги обратна на стойността на аргумента.

Таблица 5

X	f_0	f_1	f_2	f_3
0	0	0	1	1
1	0	1	0	1
Означение				
Название	Константа 0	Променлива X	Инверсия на X	Константа 1
Логическа схема (елемент)			Инвертор (НЕ)	

Таблица 6

X1 X0	f_1	f_6	f_7	f_8	f_9	f_{14}
0 0	0	0	0	1	1	1
0 1	0	1	1	0	0	1
1 0	0	1	1	0	0	1
1 1	1	0	1	0	1	0
Означение	$y = X_1 X_0$	$y = X_1 \oplus X_0$	$y = X_1 \cup X_0$	$y = \overline{X_1 \cup X_0}$	$y = \overline{X_1 \oplus X_0}$	$y = \overline{X_1 X_0}$
Название	конюнкция лог. произв.	изкл. диз. неравнозн.	дизюнкция лог. сума	функц. на Пирс	равнозн. Еквива-	функция на

Логическа схема	И (AND)	сума по 2 изкл.ИЛИ (EXOR)	ИЛИ (OR)	ИЛИ-НЕ (NOR)	лентност (EXOR)	Шефер И-НЕ (NAND)
-----------------	---------	--------------------------------	----------	--------------	--------------------	----------------------

От всичките 16 функции на два аргумента особен интерес представляват функциите, показани в табл.6. Както се вижда, функцията f_1 приема стойност 1 само когато стойностите и на двата аргумента са 1. За всички останали набори на аргументите f_1 е равна на 0. Функцията f_7 е равна на 0 само когато стойностите и на двата аргумента са 0. Тя приема стойност 1 за всички останали набори. В тях или единият, или другият, или и двата аргумента имат стойност 1. Функциите f_8 и f_{14} представляват отрицание на функциите f_7 и f_1 .

Аналогично на посочения начин се задават функции на повече от два аргумента. Например: $y = X_1 \cdot X_2 \cdot X_3 \dots X_m$ е конюнкция от m променливи и е равна на 1 само когато $X_1 = X_2 = \dots = X_m = 1$.

Схемите, с които се осъществяват логически функции се наричат **логически схеми**. Те са основни компоненти на цифровите интегрални схеми, с които се изграждат компютрите. Ето защо базовите логически схеми се наричат още **логически елементи**. В структурно отношение те представляват m - входови ключови схеми. Входните и изходните им сигнали в установен режим могат да имат само две стойности, условно приети за 0 и 1. Измененията на сигнала между тези две стойности се извършват по време на преходните процеси. В схемите, които се изучават, в ръководството е приета т.нар. положителна логика, т.е. за нулева стойност на сигнала (т.нар. логическа нула) е прието напрежение, равно или близко до нула ($U^0 \approx 0$), а за единична стойност (т.нар. логическа единица) - значително по-голямо (по абсолютна стойност) напрежение ($U^1 \gg U^0$). Амплитудата на сигнала е равна на разликата им - $U_M = U^1 - U^0$. По нататък под състояние на схемата ще разбираме състоянието на нейния изход.

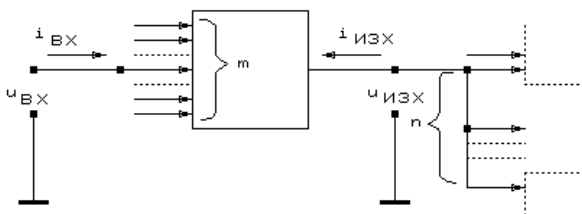
8.2. Характеристики и параметри на логическите схеми.

Основните характеристики се снемат с постановката показана на фиг.32. Те са:

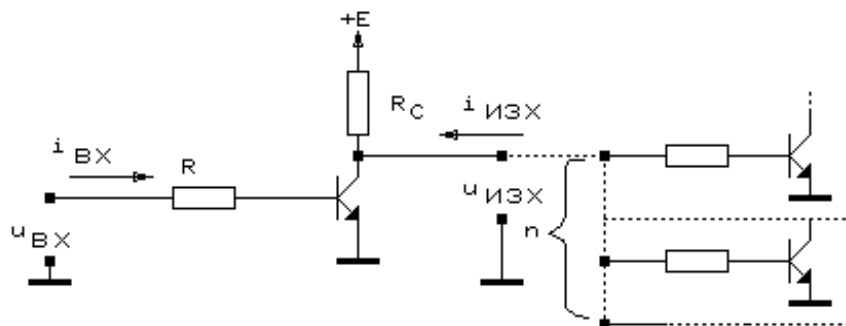
$i_{BX} = (u_{BX})$ - входна характеристика;

$u_{ИЗХ} = (i_{BX})$ - предавателна характеристика;

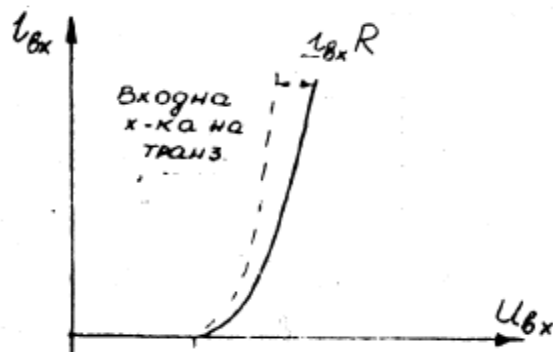
$i_{ИЗХ} = (u_{ИЗХ})$ - изходна характеристика.



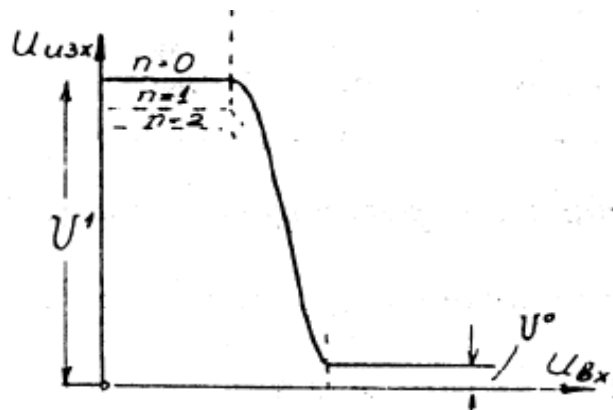
ФИГ. 32



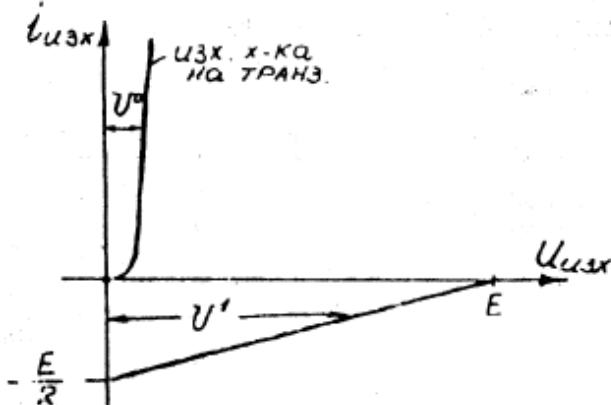
фиг. 33а



фиг. 33б



фиг. 33в



фиг. 33г

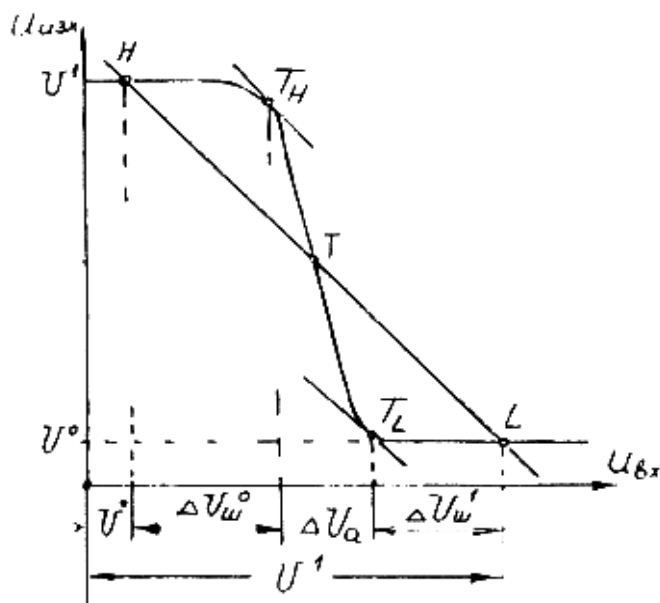
Характеристиките се снемат в статичен режим, т.е. при бавни изменения на токовете и напреженията. Освен това се отчита влиянието на товарните схеми свързани към изхода на разглежданата схема и управлявани от нея. Изходната характеристика представлява в същност две криви. Те отразяват изходната проводимост при нулево (U^0) и единично (U^1) ниво на изходния сигнал.

На фиг.33 са показани схемата на инвертор с биполярен транзистор и характеристиките ѝ. Входната характеристика (фиг.33б) се определя главно от вида на активния елемент (в случая тя почти съвпада с входната характеристика на биполярния транзистор). Изходната характеристика показва възможностите на логическата схема да управлява следващите - товарни стъпала. От фиг.33г се вижда, че когато схемата е в състояние нула ($U_{ИЗХ} = U^0$), наситеният транзистор обуславя стръмния участък с голяма проводимост. Ето защо, товарните токове, които текат към схемата, слабо влияят върху нивото на логическата нула. В другото състояние ($U_{ИЗХ} = U^1$) транзисторът е запушен и изходната проводимост се определя само от колекторния резистор. Затова стойността на логическата единица силно зависи от тока протичащ от изследваната схема към товарните. Това се вижда и от

предавателната характеристика (фиг.33в), в която с увеличаване на броя на товарните схеми се понижава логическата единица U^1 .

Най-информативна от трите характеристики е предавателната. Една типична предавателна характеристика на инвертираща логическа схема е показана на фиг.34. От нея непосредствено могат да се отчетат стойностите на напреженията съответстващи на логическата нула - U^0 , на логическа единица - U^1 и амплитудата U_m . Точка **H** (U^0, U^1), т.е. точката с координати U^0 и U^1 , е работната точка на схемата в състояние единица. Аналогично точка **L** (U^1, U^0) е работната точка в състояние нула. Правата, която ги свързва има наклон -1 за инвертираща схема и +1 за неинвертираща. Тази линия пресича предавателната характеристика в точка **T**, която се нарича **прагова точка** на предавателната характеристика.

Точките с единично усилване T_H и T_L са две точки в които коефициентът на усилване е равен на 1 (обосновката за избор на тези точки - е дадена в УПРАЖНЕНИЕ №9, Тригери т. 9.1). Между точките T_H и T_L се намира **активната област**. В нея усилването на схемата (стръмността на предавателната характеристика) е по-голямо от 1. Вътре в нея се намира и прагът **T**. **Широчината на активната област** U_a е разликата в абсцисите на точките T_H и T_L , т. е. това е такова изменение на входното напрежение, за което изходното напрежение преминава от едната точка с единично усилване T_L до другата - T_H .



фиг. 34

Основните параметри на елементарните логически схеми са:

1. Амплитудни параметри: U_m, U^1, U^0 .

2. Брой на входовете **m**. Равен е на броя на променливите в съответната логическа функция.

Нарича се още коефициент на обединение, тъй като във входа на разглежданата схема се обединяват изходите на **m** схеми (фиг.32).

3. Коефициент на разклонение в изхода **n** (фиг.32). Максималният брой схеми еднакви с разглежданата, които могат да се свържат към нейния изход - n_{max} , се нарича товарна способност.

4. Шумоустойчивост. Параметрите, свързани с възприемчивостта на схемата към шумове, се определят графично от предавателната характеристика (фиг.34). **Запас на шумоустойчивост** на схемата е разликата във входните напрежения определящи работната точка и съответната ѝ прагова точка. При входен сигнал U^0 , запасът на шумоустойчивост е $\Delta U_{ш}^0$, а при входен сигнал U^1 - $\Delta U_{ш}^1$ (фиг.34). Тези две величини определят максимално допустимите амплитуди на шумовете, при които цифровата система не променя вътрешните си състояния (на практика - състоянията на нейните тригери). При това става дума за устойчивост спрямо шумове със статичен характер, съответно за

статична шумоустойчивост. Това са шумове, чиято продължителност е по-голяма от времетраенето на преходните процеси в логическите схеми.

5. Средна разсейвана консумирана мощност P_{cp} , определена от израза

$$(39) \quad P_{cp} = \frac{P_p^1 + P_p^0}{2},$$

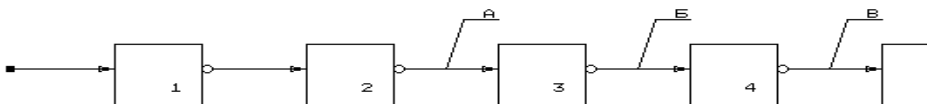
където P_p^1 и P_p^0 са мощностите, разсейвани в схемата в състояние 1 и 0. В цифровите устройства обикновено половината схеми са в състояние 1, а другата половина - в 0. Ето защо общата разсейвана мощност от устройство, съдържащо N схеми, е

$$(40) \quad P_{cp(N)} = \frac{N}{2} P_p^1 + \frac{N}{2} P_p^0 = NP_{cp}.$$

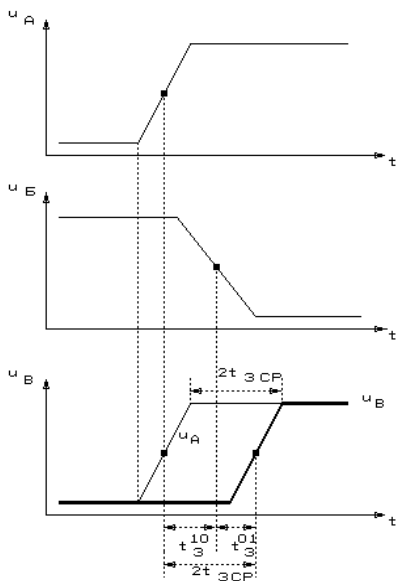
Изразът (39) представлява **статичната** мощност в един логически елемент и характеризира добре класическите биполарни - например ТТЛ - схеми. Модерните MOS и CMOS елементи консумират енергия само при превключване. Ето защо при тях се въвежда понятието **динамична** консумирана (разсейвана) мощност. Тя се определя главно от паразитните капацитети и честотата на превключване (виж УПРАЖНЕНИЕ №8 - CMOS логически схеми).

б. Средно закъснение t_{3cp} . При изследване на логически схеми класическият метод за анализ на бързодействието чрез снемане на преходната характеристика (виж фиг.1.3) е недостатъчен. Преходната характеристика не отразява реалните условия, при които входният сигнал за всяка схема не е с правоъгълна форма, тъй като се получава от изхода на друга схема. На фиг.35а е показана верига от еднакви инвертиращи схеми. На входа на първата се подава сигнал от импулсен генератор. След няколко схеми формата на сигнала вече не зависи от входния импулс, а е еднаква с формата на сигналите в останалата част от веригата. На фиг.35б закъсненията t_3^{10} (при преход 1-0) и t_3^{01} (при преход 0-1) са определени на ниво $0,5U_m$, но по принцип е възможно отчитане и на други нива. Основният динамичен параметър - средното закъснение на сигнала, е:

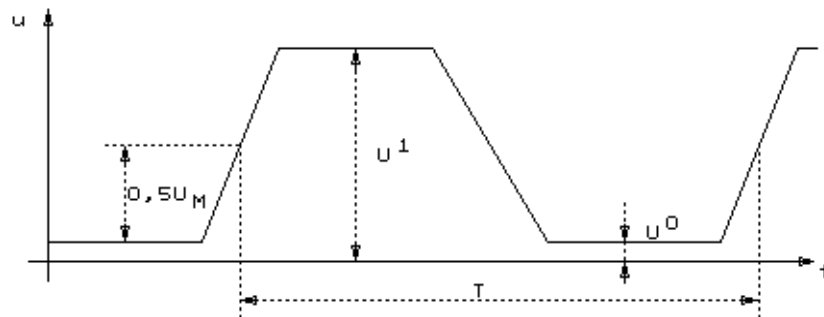
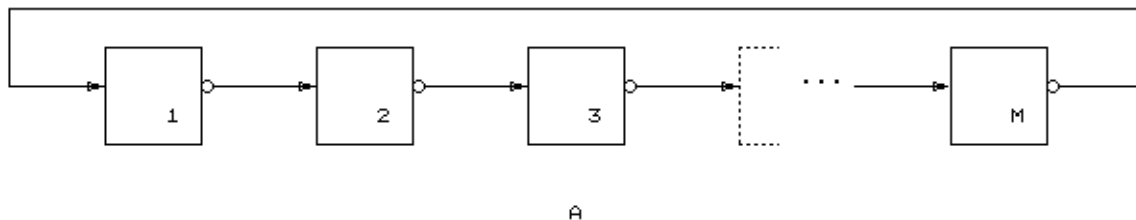
$$(41) \quad t_{3cp} = \frac{t_3^{01} + t_3^{10}}{2}.$$



фиг. 35а



фиг. 35б



Б
ФИГ. 36

Като се сравнят времедиаграмите в точките **А** и **В**, се вижда, че поради еднаквата форма на двата сигнала, сумата от закъсненията на сигнала в две схеми - $2t_{3CP}$ - не зависи от нивото на отчитане. При проектиране на цифрови устройства е необходимо да се знае времето за разпространение на сигнала във всяка верига от логически елементи. Ако една верига съдържа M еднакви инвертиращи схеми и M е четно число, закъснението на сигнала от входа на първата схема до изхода на последната е

$$(42) \quad t_{3cp}(M) = \frac{M}{2} t_3^{01} + \frac{M}{2} t_3^{10} = M t_{3cp}.$$

За измерване на средното закъснение, както се вижда от фиг.35, е необходимо на екрана на двулъчев осцилоскоп да се съпоставят сигналите от изходите, например на третата и петата или четвъртата и шестата схема от веригата. Измерването може да се проведе и без импулсен генератор,

ако нечетен брой от изследваните инвертиращи елементи ($M = 7 \div 9$) се свържат в затворена верига (фиг.36а). В нея се възбуждат релаксационни трептения (фиг.36б) с период

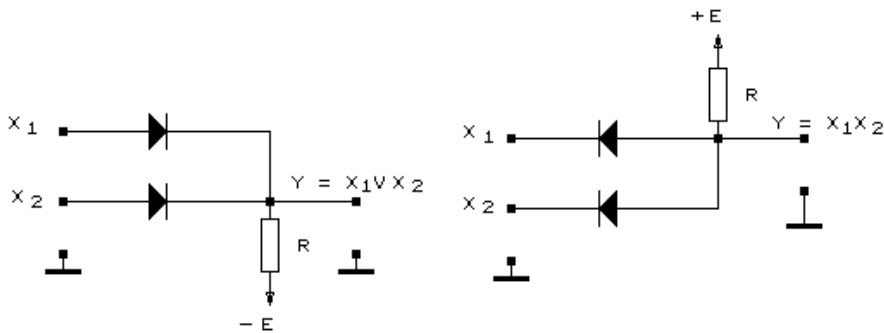
$$(43) \quad T = 2Mt_{3cp}$$

Последната зависимост позволява да се определи средното закъснение, като в произволна точка от затворената верига с помощта на еднолъчев осцилоскоп се измери периодът на трептенията.

7. Работа на превключване $A = R_{ср}t_{ср}$ представлява обобщен параметър, по който се оценяват качествата на различни логически схеми. Желателно е стойността на A да бъде минимална.

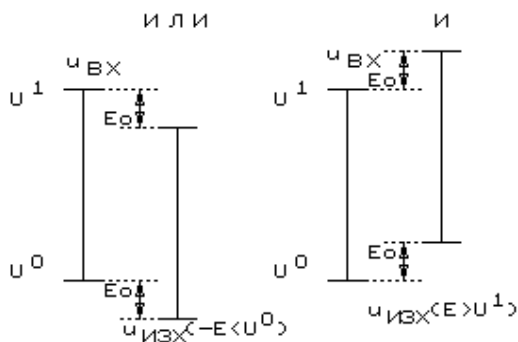
8.3. Някои основни логически елементи

Диодните логически елементи (фиг.37) са съставени от m диода (по един за всеки вход) и един резистор, чието съпротивление е много по-голямо от съпротивлението на отпушения диод. Основното им предимство е простата електрическа схема. Наред с това диодните елементи имат следните особености: а) те са пасивни, т. е. не усилват сигнала; б) не могат да реализират логическа функция инверсия (отрицание); в) при преминаване на сигнала през тях, вследствие на напрежението върху отпушения диод, нивата на изходния сигнал се "изместват" (транслират) спрямо входните нива (фиг.37в).

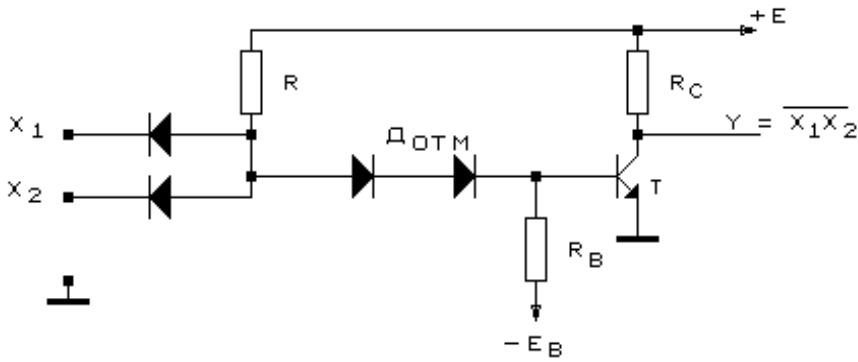


фиг. 37а

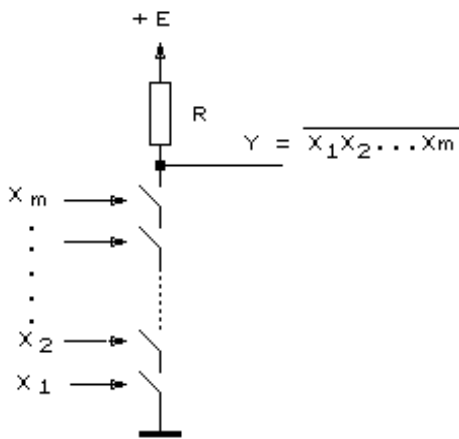
фиг. 37б



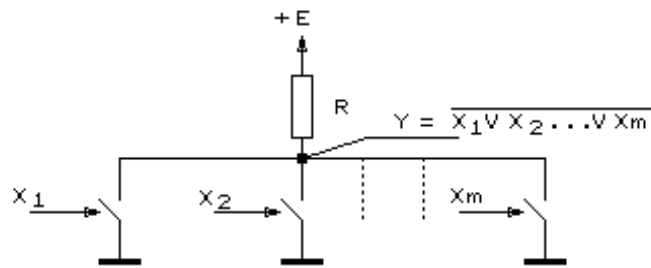
фиг. 37в



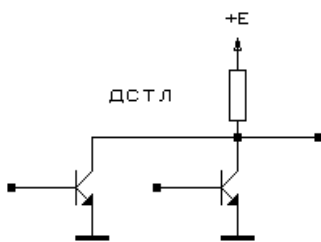
фиг. 38



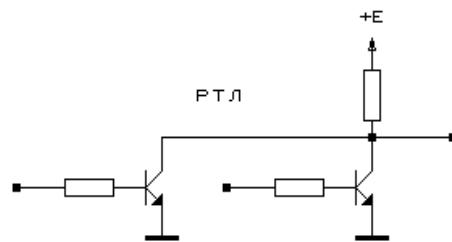
фиг. 39а



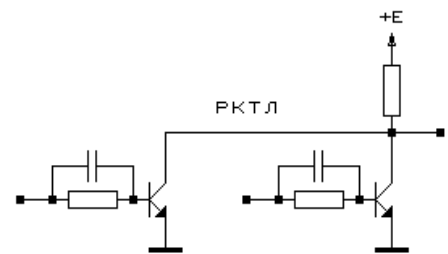
фиг. 39б



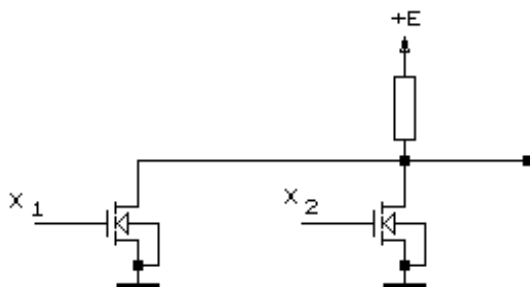
фиг. 40а



фиг. 40б



фиг. 40в



фиг.41

Първите два недостатъка се преодоляват чрез използване на диодно - транзисторни логически (ДТЛ) елементи - фиг.38. Третата особеност - "отместването" на нивата - налага да се включат диодите Дотм, (т.нар. отместващи диоди). Те се поддържат непрекъснато отпушени чрез

веригата - $E_B R_B$. Благодарение на напрежението върху тях, при входен сигнал логическа нула ($U^0 \approx 0$) транзисторът Т се запушва.

От гледна точка на съвременната микроелектроника, най-перспективни са логическите елементи съставени от транзистори (по един за всеки вход) и товарен елемент (резистор, транзистор). По принцип са възможни два варианта за свързване на транзисторите (на фиг.39) те са показани като идеални ключове). При последователно свързване (фиг.39а) се реализира логическа функция И-НЕ. В тази схема, обаче, стойността на логическата нула расте с броя на входовете m - тя е сума от напреженията върху всички затворени ключове. На практика при $m \geq 3-4$ транзистори в следващите товарни стъпала не могат да се запуснат. По тази причина по-голямо приложение намират структурите с паралелно свързване на транзисторите (фиг.39б). Те реализират логическа функция ИЛИ-НЕ. С такава конфигурация са редица биполярни схеми (фиг.40). Например:

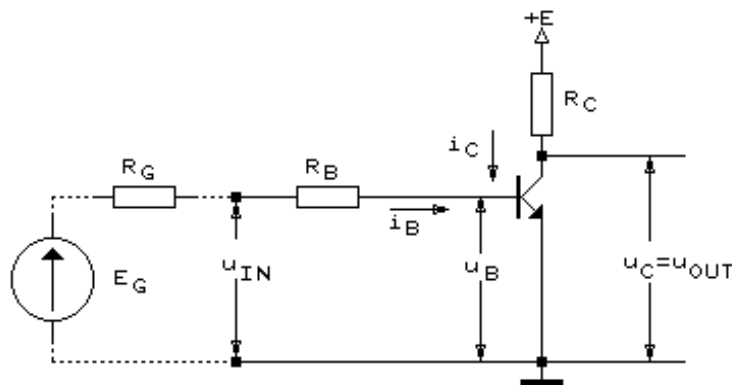
- директно-свързани транзисторни логически (ДСТЛ) схеми - (виж упр. X6);
- резисторно транзисторни логически (РТЛ) схеми;
- резисторно-капацитивни транзисторни логически (РКТЛ) схеми, както и повечето MOS-логически структури (фиг.41). Схемните варианти на MOS-логическите елементи се различават само по вида на товарния елемент - резистор, транзистор с индуциран канал, транзистор с вграден канал (виж УПРАЖНЕНИЕ №7).

УПРАЖНЕНИЕ №1

КЛЮЧОВИ СХЕМИ С БИПОЛЯРНИ ТРАНЗИСТОРИ

1.1. ОСНОВНА КЛЮЧОВА СХЕМА

Принципната схема на най- прост ключ с биполярен транзистор е показана на фиг.1.1. В нея транзисторът е свързан в схема с общ емитер , като управляема е колекторната верига, включваща захранващия източник E и товарния резистор R_C . Управляващата базова верига включва източника на входен сигнал E_G с вътрешно съпротивление R_G и базовия резистор R_B .



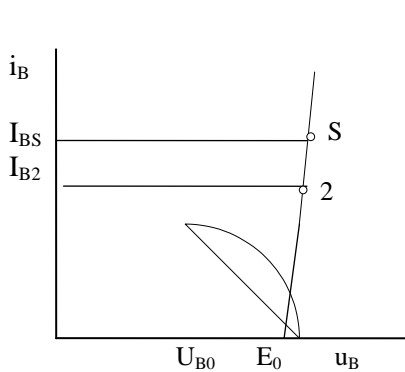
фиг. 1.1

1.1.1. СТАТИЧЕН РЕЖИМ

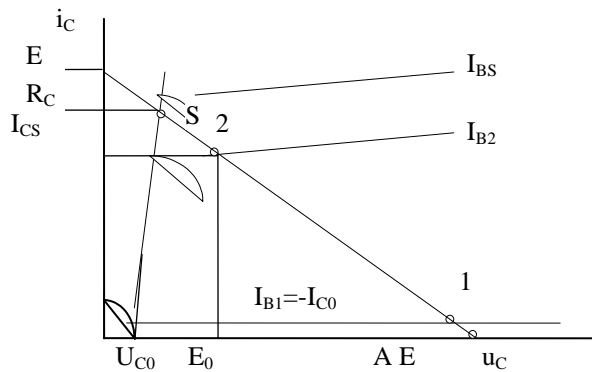
В статичен режим разглежданата схема притежава две устойчиви състояния, отговарящи на отворено и затворено положение на ключа. Поставянето на транзисторния ключ във всяко от тези състояния и неговото действие са в непосредствена връзка с характеристиките на транзистора (фиг. 1.2). Отвореното положение на ключа отговаря на запушено състояние на транзистора. В този режим и двата PN прехода (емитерен и колекторен) са запушени и през тях протичат минимални токове. Условието за това е $u_B < 0$, (т.нар. дълбоко запушване), при което

$$(1.1) \quad I_E \approx 0, I_B \approx -I_{C0}, I_C \approx I_{C0},$$

като I_{C0} е обратният (топлинният) ток на запушения колекторен преход.



фиг. 1.2а



фиг. 1.2б

На практика обаче силициевият PN преход остава запушен до напрежение $u_B = U_{B0}$ ($U_{B0} \approx 0,5 \div 0,6V$). Така на границата между режима на запушване и активния режим (т.1) протичащите през

електродите на транзистора токове, макар и относително да се променят, остават с твърде малки стойности ($\approx 10^{-4}$ А). Поради това падовете върху резисторите R_B и R_C могат да се пренебрегнат и да се смята, че $u_B \approx u_{IN}$ и $u_C \approx E$.

Следователно транзисторният ключ е отворен за

$$(1.2) \quad u_{IN} < U_{B0}, \text{ при което } u_{OUT} \approx E \text{ (т.А).}$$

Когато входното напрежение достигне стойността U_{B0} , транзисторът се отпушва и преминава в активен (усилвателен) режим: емитерният преход е отпушен, като напрежението върху него остава приблизително постоянно (E_0), а колекторният преход е запушен. Протичащите базов и колекторен токове са свързани с коефициента на предаване β ($i_C = \beta i_B$), а изходното напрежение е $u_{OUT} = u_C = E - i_C R_C$.

С увеличаване на входното напрежение $u_{IN} \approx i_B R_B + E_0$ расте и базовият ток, като в т.2 при $i_B = I_{B2}$ потенциалът на колектора спада до напрежението на отпушения емитерен преход E_0 , а напрежението върху колекторния преход съответно става равно на нула. При по-нататъшно увеличаване на базовия ток до стойност I_{BS} напрежението колектор-база достига по стойност напрежението на отпушване, а потенциалът на колектора спада до $U_{C0} \approx 0,1V$. В този момент транзисторът преминава в режим на насищане, тъй като и двата PN прехода са отпушени. Инжекцията на електрони от колектора към базата започва да възпрепятствува по-нататъшното увеличаване на колекторния ток и той остава практически постоянен и равен на максималната си стойност

$$(1.3) \quad I_{CS} = \frac{E - U_{C0}}{R_C} \approx \frac{E}{R_C}.$$

Тогава условието, при което настъпва насищане на транзистора, изразено чрез базовия ток е

$$(1.4) \quad I_B > I_{BS} = \frac{I_{CS}}{\beta}.$$

а чрез входното напрежение

$$(1.5) \quad u_{in} > E_0 + R_B I_{BS} = E_0 + \frac{R_B E}{\beta R_C}.$$

1.1.2. ПРЕХОДНИ.ПРОЦЕСИ

Анализът на динамичните параметри на схемата се основават на разглеждането на измененията на токовете и напреженията под въздействие на правоъгълен входен сигнал (фиг. 1.3). Времето, отговарящо на пълното изменение на входното напрежение, може да се раздели на няколко етапа:

1. **Закъснение при отпушване** (t_{30}). В началото на този интервал входното напрежение се изменя скокообразно от стойност, осигуряваща запушване на транзистора в установен режим (E_B^-), към стойност, осигуряваща неговото насищане (E_B^+). При това изменение входният капацитет C_{IN} на запушения транзистор започва да се зарежда през базовия резистор R_B . В края на интервала потенциалът на базата достига стойността U_{B0} и емитерният преход се отпушва. За времето t_{30} може да се запише изразът:

$$(1.6) \quad t_{30} = R_B C_{IN} \ln \left(\frac{E_B^+ + |E_B^-|}{E_B^+ - U_{B0}} \right).$$

2. Формиране на фронта при отпушване (t_{ϕ}^-). След отпушване на емитерния преход

базовият ток скокообразно достига установената си стойност $I_B^+ = \frac{E_B^+ - U_{B0}}{R_B}$, като е необходимо да

се спазва условието $I_B^+ > I_{BS}$. При анализа на следващите процеси се използва еквивалентната времеконстанта при свързване в схема ОЕ

$$(1.7) \quad \tau_{OE} = \tau_B + (\beta+1)R_C C_C,$$

където τ_B е времето на живот на токоносителите в базата;

C_C - бариерният капацитет на колекторния преход.

С тази времеконстанта зарядът от неосновни токоносители в областта на колекторния преход, нараства по експоненциален закон, като се стреми от нулева начална стойност към стойността $Q(\infty) = \tau_{OE} I_B^+$. Пропорционално на него колекторният ток нараства, а колекторното напрежение спада. Но когато след времето t_{ϕ}^- зарядът достигне стойността $Q_{гр} = \tau_{OE} I_{BS}$, а колекторният ток стане равен на I_{CS} , транзисторът се насища и колекторните ток и напрежение остават постоянни. Като се отчитат посочените гранични условия, може да се напише

$$(1.8) \quad t_{\phi}^- = \tau_{OE} \ln \frac{I_B^+}{I_B^+ - I_{BS}}.$$

3. Натрупване на допълнителен заряд. При неизменните на този етап токове и напрежения в схемата зарядът се натрупва благодарение на термогенерацията на носители. Поради това определящ временен параметър е средното време за живот на носителите в базата и колектора τ_S , а крайната стойност на заряда е $Q_M = \tau_S I_B^+$. Степента и периодът от време, за което ще се развие този процес, зависят от съотношението между $Q_{гр}$ и Q_M , както и от продължителността на входния импулс.

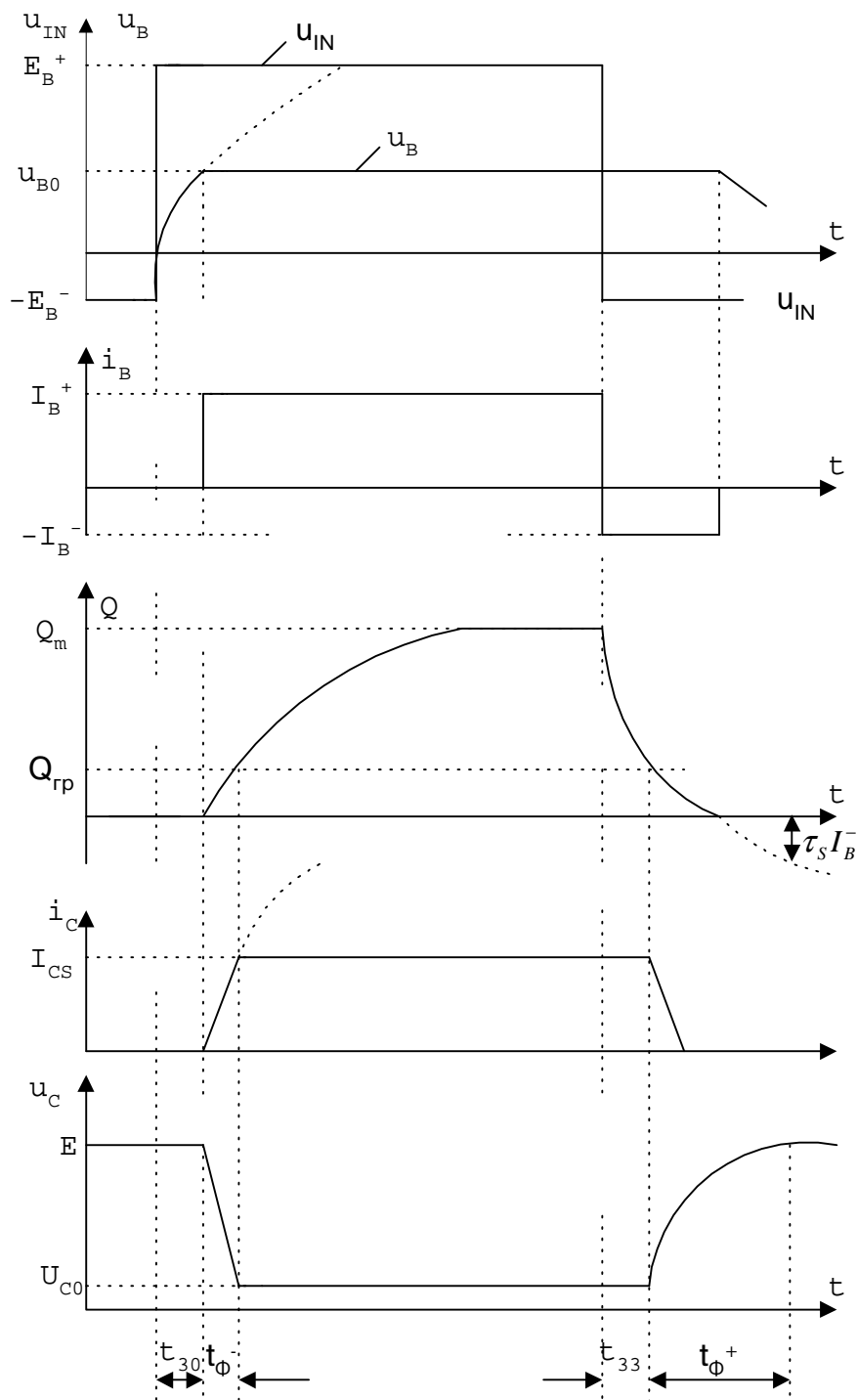
4. Закъснение при запушване (t_{33}). Едновременно с входното напрежение и базовият ток се изменя скокообразно до стойност I_B^- и, като променя посоката си, започва да намалява (намалява) натрупания в областта на колекторния преход заряд. Процесът е аналогичен на този при натрупване на заряда - експоненциален, с времеконстанта τ_S , но с други гранични условия: $Q(0) = Q_M$, $Q(\infty) = -\tau_S |I_B^-|$. В края на интервала допълнителният заряд изчезва, а зарядът като цяло спада до граничната стойност $Q_{гр}$. Следователно продължителността на този период е

$$(1.9) \quad t_{33} = \tau_S \ln \frac{I_B^+ + |I_B^-|}{\frac{\tau_{OE} I_{BS}}{\tau_S} + |I_B^-|}.$$

При неговото завършване върху колекторния преход се възстановява обратното напрежение и започва запушването на транзистора.

5. Формиране на фронта при запушване (t_{ϕ}^+). След преминаване на транзистора в активен режим постоянният базов ток I_B^- продължава да разсейва заряда от неосновни токоносители в базата от стойността $Q_{гр}$ към крайната (асимптотична) стойност - $\tau_S |I_B^-|$, докато този заряд спадне до нула и транзисторът се запуши. Характерът на процеса обаче е сложен и се влияе от големината на I_B^- , от бариерния колекторен (C_C) и товарния (C_T) капацитети. На практика при $C_T \geq C_C$ намаляването на колекторния ток може да се приеме за скокообразно, а времето за нарастване на изходното напрежение да се определи от зареждането на капацитетите в колектора:

$$(1.10) \quad t_{\phi}^+ \approx 3R_C (C_C + C_T).$$



фиг. 1.3

1.2. НЯКОИ ВЪЗМОЖНОСТИ ЗА ПОДОБРЯВАНЕ НА БЪРЗОДЕЙСТВИЕТО

От направеното разглеждане на преходните процеси се вижда, че върху бързодействието влияят главно два взаимно свързани и донякъде противоречиви фактора. Ускоряване на прехода между двете състояния на транзистора, от една страна, може да се постигне чрез превключване с големи базови токове. Но увеличаването на установената стойност на отпушващия ток I_B^+ би

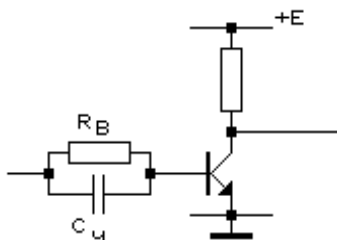
увеличило дълбочината на насищане, съответно и закъснението при запущване. Също така при повишаване на входното запущващо напрежение E_B^- ще се забави отпушването на транзистора. С други думи казано, по-високо бързодействие се получава при по-малка дълбочина на насищане и запущване.

Удовлетворяване на тези противоречиви изисквания се постига чрез използване на ускоряващ кондензатор (фиг.1.4). Така в началния момент на превключване се получават повишени стойности на токовете

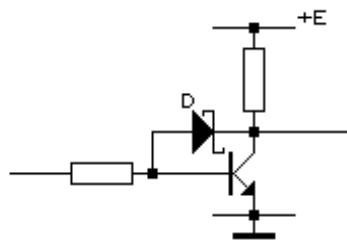
$$(1.11) \quad I_B^+(0) \approx \frac{E_B^+}{R_G} \quad \text{и} \quad I_B^-(0) \approx \frac{E_B^- + U_C(0)}{R_G} \approx \frac{E_B^- + E_B^+}{R_G}.$$

(обикновено $R_G \ll R_B$) и се ускоряват преходните процеси. От друга страна, установената стойност на отпушващия ток остава същата ($I_B^+(0) \approx \frac{E_B^+}{R_B}$), така че може да се поддържа малка дълбочина на насищане.

Друга възможност, широко използвана сега в интегралната схемотехника, е осъществяването на нелинейна отрицателна обратна връзка с диод на Шотки (фиг. 1.5). В тази схема при положителен потенциал на колектора спрямо базата (запушен колекторен преход) диодът също е запушен и практически не оказва влияние. Когато под въздействие на входния отпушващ сигнал напрежението колектор-база стане отрицателно и достигне праговата за диода стойност $E_{0Ш}$, последният се отпушва и върху прехода се установява приблизително постоянно напрежение. Диодът на Шотки, представляващ контакт между метал и полупроводник, притежава две важни за случая особености. Първо, типична стойност при него е $E_{0Ш} \approx 0,4V$, която е по-малка от отпушващото напрежение на силициевия PN преход. Поради това колекторният преход остава запушен и липсва характерният за насищането процес на натрупване на допълнителен заряд. Второ, самият характер на физическите явления в диода на Шотки не включва инжекция на неосновни токоносители. Така скоростта на превключване на диода се определя само от бариерния му капацитет и може да бъде твърде висока. В резултат на това схемата като цяло, макар и с цената на малко по-високо изходно напрежение на затворения ключ (липса на насищане), притежава значително бързодействие.



фиг. 1.4



фиг.1.5

1.3. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи в упражнението са:

1. Снемане на предавателни характеристики на схема с насищане за различни стойности на R_C и R_B .
2. Снемане на предавателна характеристика на схема с диод на Шотки.
3. Изследване на преходните процеси в схема с насищане, измерване на фронтите и закъсненията, анализиране влиянието на R_B и C_U .

4. Измерване на динамичните параметри на схема с диод на Шотки.
5. Сравняване - въз основа на получените резултати - на различните схемни варианти по отношение на шумоустойчивост и бързодействие. Анализ на причините за различията.

Упражнението може да се проведе по трите възможни начина (както и чрез комбинирането им), а именно:

- а) чрез лабораторен стенд и измервателна апаратура (т.е. неавтоматизирано);
- б) чрез автоматизирана тестова система;
- в) чрез компютърна обучаваща програма.

1.4. ВЪПРОСИ И ЗАДАЧИ

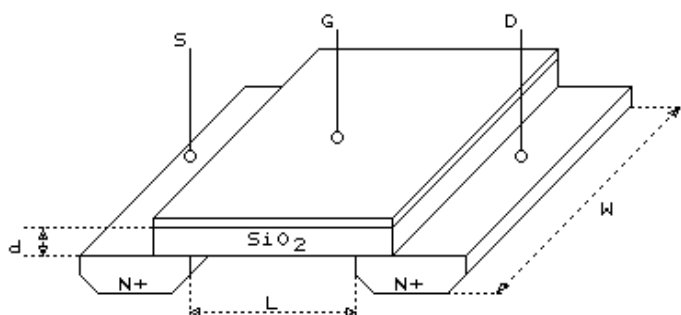
1. От какво зависи изходното съпротивление на ключовата схема?
2. Как влияе коефициентът на усилване по ток върху стабилността на статичния режим и бързодействието?
3. Как и защо влияе R_b върху бързодействието на ключовата схема с насищане?
4. Как може да се оразмери ускоряващия капацитет?
5. Какво значение има R_c за бързодействието на схема с насищане и на схема с диод на Шотки?
6. Изчислете стойността на коефициента β , необходима за сигурно насищане в схеми с $E=5V$, $R_c=1k\Omega$, $R_b=8,3k\Omega$, $E_0=0,7V$, $U_{co}\approx 0V$. Разгледайте случаите, когато изходът на една схема управлява една или две такива схеми.
7. Изчислете фронтите и закъсненията в разгледаната в т.б схема. Как ще се изменят, ако β се увеличи 2 пъти?

УПРАЖНЕНИЕ №2

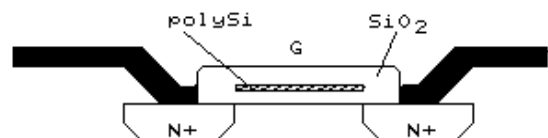
КЛЮЧОВА СХЕМА С MOS ТРАНЗИСТОР

2.1. ХАРАКТЕРИСТИКИ НА MOS ТРАНЗИСТОР

Основен елемент на MOS логическите схеми е N - каналният MOS транзистор с унициран канал. Неговата полупроводникова структура е показана на фиг.2.1а. В съвременните схеми вместо метален гейт се използва полисилициев гейт фиг.2.1б. Тази технология наред с технологични предимства (стабилни параметри, малки капацитети) дава възможност да се реализират съединения в отделен слой, независим от металните шини.



фиг. 2.1а



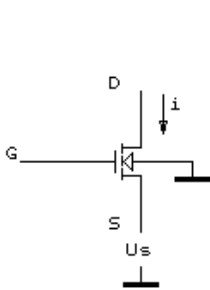
фиг. 2.1б

N - каналният MOS транзистор е запушен, когато напрежението между гейта и сорса е по-малко от праговото напрежение V_T . Последното има минимална стойност V_{T0} при заземен сорс ($u_s =$

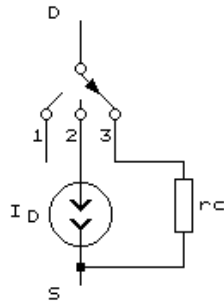
0) и нараства с увеличаване на напрежението на сorsa спрямо заземената подложка. Тази зависимост е сложна, но за практически цели може да се линеаризира във вида

$$(2.1) \quad V_T = V_{T0} + \eta u_s,$$

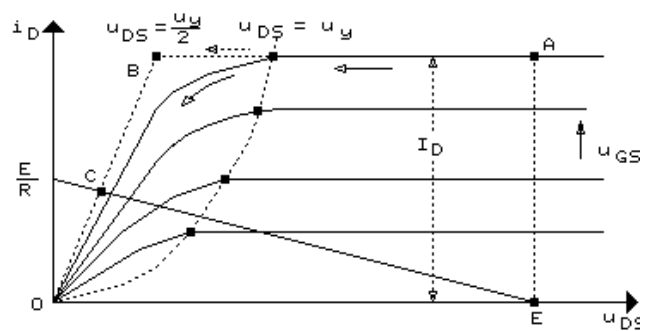
където η е т. нар. коефициент на влиянието на подложката.



фиг. 2.2а



фиг. 2.2б



фиг. 2.2в

При анализа е удобно да се работи с ефективното управляващо напрежение

$$(2.2) \quad u_y = u_{GS} - V_T,$$

тъй като при $u_y < 0$ транзисторът е запушен, а при $u_y > 0$ - отпушен. Свойствата на отпушения транзистор се виждат най-добре от семейството изходни характеристики (фиг.2.1в). Границата между двете области се определя от съотношението между управляващото напрежение и изходното (дрейново) напрежение. За големи напрежения на дрейна, т.е. за $u_y < u_{DS}$, токът през транзистора е квадратична функция на управляващото напрежение

$$(2.3) \quad i = \frac{k}{2} u_y^2 = \frac{k}{2} (u_{GS} - V_T)^2$$

и практически не зависи от дрейновото напрежение. Параметър на тази област от характеристиките е стръмността

$$(2.4) \quad S = \frac{di}{du_{GS}} = k u_y = k (u_{GS} - V_T).$$

В стръмната област на характеристиките (т.нар. **област на променливо съпротивление**), за която $u_y > u_{DS}$, токът се определя от зависимостта

$$(2.5) \quad i = k u_{DS} \left(u_y - \frac{u_{DS}}{2} \right) = k u_{DS} \left(u_{GS} - V_T - \frac{u_{DS}}{2} \right).$$

Както се вижда, токът расте линейно с нарастването на дрейновото напрежение, когато то е малко. Затова параметър на характеристиките в тази област е диференциалното съпротивление на канала r_c (от англ. channel-канал), което е и изходно съпротивление на транзистора при малки напрежения:

$$(2.6) \quad r_c = \left. \frac{du_{DS}}{di} \right|_{u_{DS}=0} = \frac{1}{k_y} = \frac{1}{k(u_{GS} - V_T)}.$$

В горните изрази константата $k[A/V^2]$ е специфичната (за единица напрежение) стръмност на MOS транзистора и се определя от израза

$$(2.7) \quad k = \frac{\mu C_{ox} W}{L},$$

където:

- $\mu [m^2/Vs]$ е ефективната подвижност на носителите в канала;
- $C_{ox}[F]$ е специфичният (за единица площ) капацитет между гейта и канала и $C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{d}$
- W е ширината на канала (фиг.2.1);
- L е дължина на канала;
- d е дебелината на окисния слой под гейта;
- ϵ_0 е диелектрична проницаемост на вакуума и има стойност $\epsilon_0=8,85 \cdot 10^{-12} [F/m]$;
- ϵ_{ox} е относителната проницаемост на диелектрика под гейта (за SiO_2 $\epsilon_{ox} = 4$).

Линейна апроксимация на характеристиките в стръмната област (2.5), удобна за анализ и задоволителна по точност, се получава при построяване на допирателна в т.О към всяка от характеристиките. Получените прави линии (прекъснатите линии на фиг. 2.2в) отговарят на диференциалното съпротивление на канала, определено от (2.6), така че то се използва като изходно съпротивление в цялата стръмна област от апроксимираните характеристики. Интересно е да се отбележи, че т.В, която след апроксимацията фиксира границата между двете области, има абсциса

Таблица 2.1

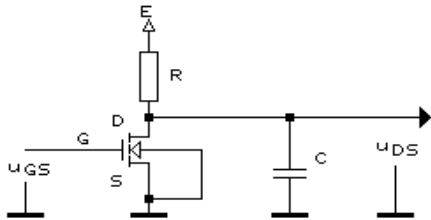
Състояние на транзистора	Гранични условия		Зависимост на тока	Положение на ключа
	Нелинеен модел			
запушен	$u_y < 0$		$i = 0$	1
отпушен	$u_y > 0$	$u_y < u_{DS}$	$i = \frac{ku_y^2}{2}$	2
		$u_y > u_{DS}$	$i = ku_{DS} \left(u_y - \frac{u_{DS}}{2} \right)$	3
	Линеен модел			
запушен	$u_y < V_T$		$i = 0$	1
отпушен	$u_y > 0$	$\frac{u_y}{2} < u_{DS}$	$i = \frac{ku_y^2}{2}$	2
		$\frac{u_y}{2} > u_{DS}$	$i = \frac{u_{DS}}{r_c}$	3

$$(2.8) \quad u_{DS} = \frac{u_y}{2} = \frac{u_{GS} - V_T}{2}.$$

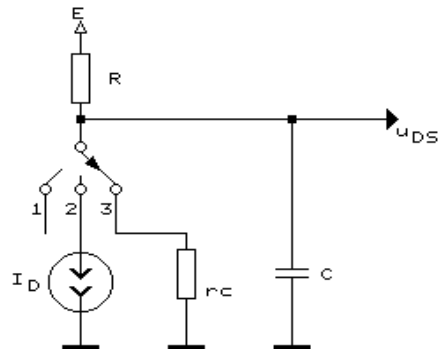
Получената по този начин еквивалентна схема е показана на фиг. 2.2б. В табл. 2.1. са резюмирани всички количествени зависимости за MOS транзистори. Те могат да се използват и при транзистори с вграден (собствен) канал, като се отчете алгебричната стойност на праговото напрежение - отрицателно за N-канал и положително за P-канал.

2.2. КЛЮЧОВА СХЕМА

Основната MOS ключова схема съдържа транзистор с индуциран канал със заземени сорс и подложка и товарен резистор R (фиг. 2.3а).



фиг. 2.3а



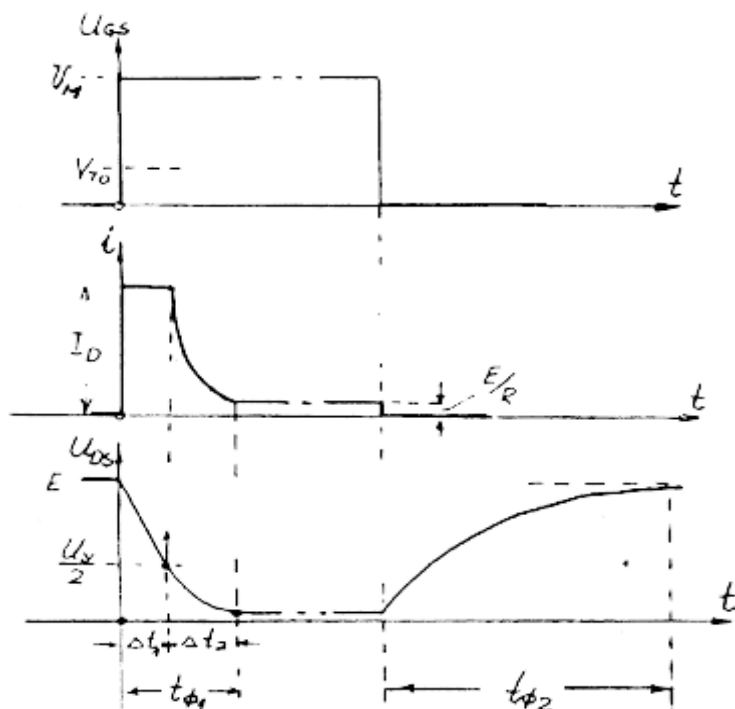
фиг. 2.3б

За входни напрежения, по-малки от праговото напрежение V_{TO} транзисторът е запушен (положение 1 на ключа в еквивалентната схема на фиг. 2.3б). Изходното напрежение е максимално и равно на захранващото. Когато транзисторът е отпушен, работната му точка трябва да се намира в стръмната област от характеристиките (положение 3 на ключа от фиг. 2.3б). Ако входното напрежение е U_M , управляващото напрежение е $u_y = U_M - V_{TO}$, а изходното напрежение на схемата е

$$(2.9) \quad u_{DS} = \frac{r_C E}{R + r_C} = \frac{E}{1 + \frac{R}{r_C}} = \frac{E}{1 + SR} = \frac{E}{1 + kR(U_M - V_{TO})}.$$

Максималната възможна стойност на входното напрежение е равна на стойността на захранващото напрежение E. За $U_M = E$ изходното напрежение, определено от (2.9) е:

$$(2.10) \quad u_{DS} = \frac{E}{1 + kR(E - V_{TO})}.$$



фиг. 2.3в

Това напрежение трябва да бъде малко, за да може да поддържа запущени схемите, свързани към изхода на разглежданата схема, т.е.

$$(2.11) \quad \frac{R}{r_c} = SR = kR(E - V_{T0}) \gg 1.$$

Последното неравенство показва един от основните проблеми в ключовите схеми с MOS транзистори, а именно - за да се получи малко изходно напрежение от отпушения транзистор (по-малко от праговото), са необходими големи стойности на захранващото напрежение (спрямо праговото), на товарния резистор и на коефициента k . Последният расте линейно с увеличаване на площта на транзистора. Тъй като е желателно тя да бъде минимална, налага се да се използват големи товарни резистори. От една страна, това намалява консумацията на схемите, но от друга страна, реализирането на високоомни резистори поставя сериозни проблеми от технологичен и схемотехнически характер (някои от тях се разглеждат в упражнение 7).

Преходните процеси в ключовите схеми с MOS транзистори се определят главно от процесите на зареждане и разреждане на паразитните капацитети. За честоти до няколко гигагерца процесите в канала на транзистора могат да се считат за безинертни, т.е. във всеки момент токът се определя от напреженията в съответствие със статичните характеристики (уравнения (2.3) и (2.5)). При анализа на схемата от фиг.2.3а са пренебрегнати входния и проходния капацитет на транзистора, понеже са много по-малки от изходния. Последният е сума от капацитетите на дрейна, изходната съединителна шина и входовете на следващите (товарни) стъпала.

Временната диаграма построена при горните допускания е показана на фиг.2.3в. При подаване на входен отпушващ импулс с амплитуда $U_m > V_{T0}$, транзисторът се отпушва. Токът му мигновено нараства от нула до I_D , след което постепенно разрежда капацитета C . За това време работната точка се премества от т.А до т.В (фиг.2.2в). Като се вземе пред вид, че токът I_D не се изменя и като се пренебрегне токът през товарния резистор (много по-малък от I_D), за продължителността на този интервал се получава изразът

$$(2.12) \quad \Delta t_1 = \frac{C \Delta U_D}{I_D} = \frac{C(E - \frac{U_M - V_{TO}}{2})}{\frac{k(U_M - V_{TO})^2}{2}} = \frac{C}{S} \left(\frac{2E}{U_M - V_{TO}} - 1 \right) = Cr_C \left(\frac{2E}{U_M - V_{TO}} - 1 \right).$$

При по-нататъшно намаляване на изходното напрежение работната точка се движи в стръмната област на характеристиката, за която вътрешното съпротивление на транзистора е много по-малко от съпротивлението на товарния резистор R. Времето за преместване на работната точка от т.В в т.С, в която завършва преходният процес, е

$$(2.13) \quad \Delta t_2 = 3Cr_C.$$

Общата продължителност на разглеждания фронт е

$$(2.14) \quad t_{\phi_1} = \Delta t_1 + \Delta t_2 = 2Cr_C \left(\frac{E}{U_M - V_{TO}} + 1 \right).$$

Неговата минимално възможна стойност се постига при $U_M = E$ и $E \gg V_{TO}$:

$$(2.15) \quad t_{\phi_1} = 4Cr_C.$$

При скокообразно намаляване на входното напрежение под стойността на праговото напрежение транзисторът се запущва. Капацитетът C се зарежда през резистора R до напрежение E за време

$$(2.16) \quad t_{\phi_2} = 3Cr_C.$$

Изразите (2.15) и (2.16) показват как зависи бързодействието на цялата схема от параметрите на транзистора, паразитния капацитет и товарния резистор. Поради голямата стойност на последния - уравнение (2.11) фронтът при запущване на транзистора е много по-голям от фронта при отпушване и определя в крайна сметка бързодействието на съпалото.

2.3. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи в упражнението са:

1. Снемане на статични предавателни характеристики и:
 - а) определяне влиянието на товарните резистори,
 - б) изчисляване на шумозащитеността,
 - в) сравняване на теоретично и експериментално получените стойности на някои параметри (прагово напрежение, минимално напрежение върху отпушения транзистор и др.).
2. Изследване на преходните процеси.
 - а) зависимост на фронтите от U_M , V_T , E, R и C.
 - б) сравняване на експерименталните резултати с теоретичните.

Упражнението може да се проведе по трите възможни начина (както и чрез комбинирането им), а именно:

- а) лабораторен стенд и измервателна апаратура;
- б) автоматизирана тестова система;
- в) компютърна обучаваща програма.

2.4. ВЪПРОСИ

1. Може ли в N-канален транзистор със заземен сорс да се подаде положително напрежение на подложката? Защо?
2. Как ще се изменят параметрите на схемата, ако на подложката се подаде постоянно отрицателно напрежение.
3. Необходимо ли е последователно във веригата на гейта да се постави резистор? Как ще влияе той върху бързодействието?
4. Какво е влиянието на проходния капацитет C_{GD} върху преходните процеси?

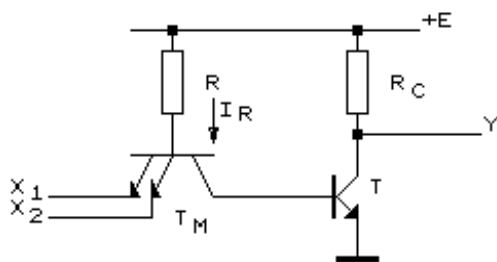
УПРАЖНЕНИЕ №3

ТРАНЗИСТОРНО - ТРАНЗИСТОРНИ ЛОГИЧЕСКИ СХЕМИ (I)

Транзисторно - транзисторните логически ТТЛ (Ttransistor - Transistor Logic - TTL) схеми са едни от най-широко използваните градивни елементи за цифрови устройства. Разработена е богата гама от топове и модификации на схеми с малка, средна и висока степен на интеграция, като процесът на тяхното усъвършенствуване и развитие продължава и сега.

3.1. Базов TTL елемент

Главна компонента на основната TTL схема (фиг. 3.1) е многоемитерният транзистор T_M , свързан с колектора си към инвертор (в разглежданата схема той е изграден от T и R_C).

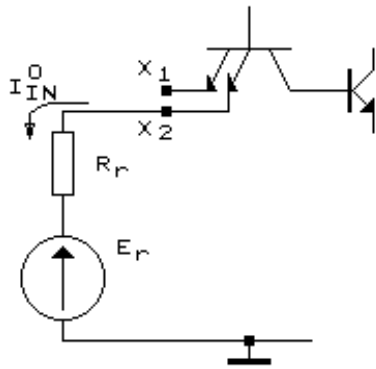


фиг. 3.1

Многоемитерният транзистор реализира логическа функция И от толкова входни променливи, колкото са неговите емитери. Ще приемем, че на логическа нула отговаря нисък, а на логическа единица - висок положителен потенциал (т.нар. **положителна логика**).

Нека първоначално към всички входове да бъде приложено напрежение с високо ниво U^1 . Тогава T_M се оказва в инверсен активен режим - колекторният преход е свързан в права посока, а емитерният - в обратна. Протичащите колекторен и базов (I_R) токове са приблизително равни, тъй като инверсният коефициент на предаване по ток е много по-малък от единица. За широко използваните TTL интегрални схеми (ИС) от серията 74 в този случай входният ток е около 40 μA . От своя страна I_R има стойност (определена от R), която осигурява насищането на T . Така в изхода се установява логическа нула. Напрежението е ниско (0,4 V), но зависи от R_C и R (чрез дълбочината на насищане).

Да разгледаме как се променя състоянието на схемата при намаляване стойността на напрежението, приложено към кой да е вход. Когато потенциалът, приложен към избрания вход и съответстващия му емитер спадне под потенциала на базата на многоемитерния транзистор, разглежданият емитерен преход се оказва свързан в права посока и се отпушва. Тогава през колектора на T_M започва да протича ток. Този ток първоначално разнося допълнителния заряд, натрупан в наситения досега транзистор T , и в крайна сметка го запушва. Оттук нататък през колектора на T_M остава да протича само незначителният обратен ток на запушения T , а в изхода се установява логическа единица. Транзисторът T действително е запушен, тъй като към базата му се подава сумата от ниското входно напрежение U^0 и напрежението върху наситения T_M . След запушването на T започва процес на установяване на изходното напрежение, в края на който $U_{OUT}^1 \approx E$. Продължителността на този процес се определя от времето за зареждане на свързания към схемата товарен кондензатор през R_C . Необходимо е да се отбележи, че протичащият през отпушения емитер ток ($\approx 1,6$ mA) създава пад на напрежение върху свързаното към входа съпротивление R_I (фиг. 3.2). В общия случай е необходимо напрежението на източника на сигнал $E_I = U^0 \leq 0,4V$. Тогава схемата ще функционира правилно, т.е. няма да променя ненужно състоянието си под влияние на пада от I_{IN} върху R_I , когато $R_I \leq 300\Omega$.



фиг. 3.2

При обратна промяна на входното напрежение от U^0 към U^1 и процесите в схемата също се развиват в обратна посока. Когато емитерният потенциал на многоемитерния транзистор превиши базовия, T_m преминава отново в инверсен активен режим. Токът I_R започва да протича през колектора на T_m и да зарежда входния кондензатор на T , докато транзисторът се отпусне и - впоследствие - насити. С разреждането на товарния кондензатор през T изходното напрежение спада до U^0 . На практика обикновено товарът представлява входове на други подобни (TTL) схеми, така че е необходимо да завършат и процесите за запущване на техните инверторни транзистори.

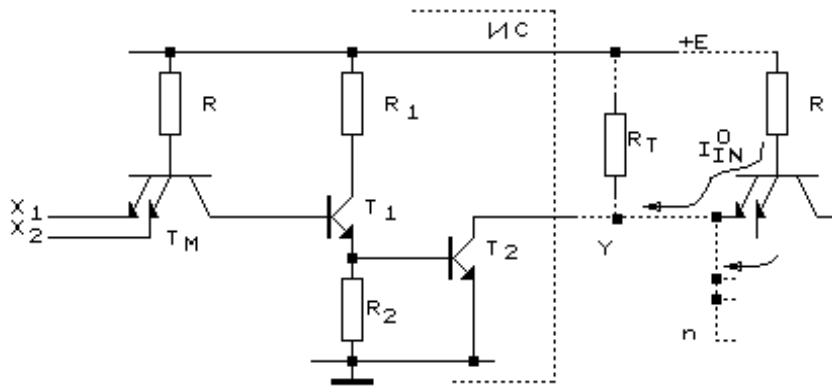
От направеното разглеждане се вижда, че TTL схемата реализира **логическа функция И-НЕ** от подадените входни променливи.

3.2. СХЕМНИ ВАРИАНТИ НА ИЗХОДНОТО СЪПЛАЛО

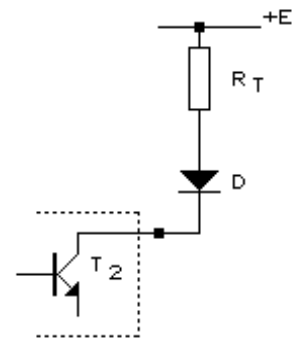
В показания на фиг. 3.1 базов TTL елемент изходното съпало е т.нар. прост инвертор и съдържа транзистора T и резистора R . Това съпало извършва инверсия и усилване на сигнала след T_m . На практика този тип схеми обикновено се реализират като схеми с отворен колектор (фиг. 3.3а), при които товарът на изходното съпало R_t не е включен в структурата на самата ИС, а се свързва външно между изходния извод и захранващото напрежение. Такова решение дава възможност за две специфични приложения. Първо, за товар може да се използва елемент, различен от традиционния резистор, например светодиода (фиг. 3.3б), намотка на реле или транзистор за управление на мощни схеми. От друга страна, възможно е изходите на няколко схеми да бъдат свързани паралелно към общ товарен резистор (R_t на фиг. 3.3в). Полученият при това изходен сигнал Y е функция ИЛИ-НЕ от сигналите, постъпващи на входовете на инвертиращите транзистори ($q1$ и $q2$), а спрямо входните за схемата променливи функцията е И-ИЛИ-НЕ. Така можем да получим по-сложни логически структури без да се използват допълнителни логически елементи.

При избора на R_t (фиг.3.3а) трябва да се има предвид, че при запущване на T_2 , фронтът се определя от R_t и паразитния изходен кондензатор, т.е. необходимо е резисторът R_t да бъде с малка стойност. От друга страна при логическа нула в изхода, T_2 се натоварва с входните токове на следващите съпала и тока от R_t . Тяхната сума не трябва да превишава максимално допустимия ток на T_2 , т.е. изходния ток на схемата, зададен от каталога [4]:

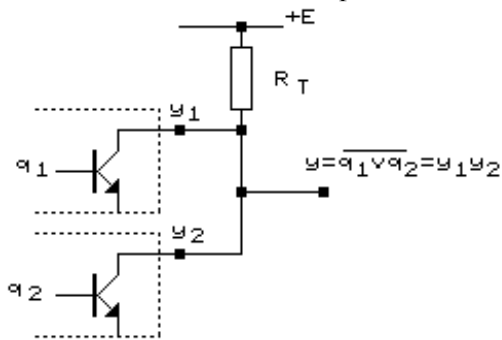
$$(3.1) \quad I_{C_2} = \frac{E}{R_T} + nI_{IN}^0 < I_{OUT_{max}}^0,$$



фиг. 3.3а



фиг. 3.3б



фиг. 3.3в

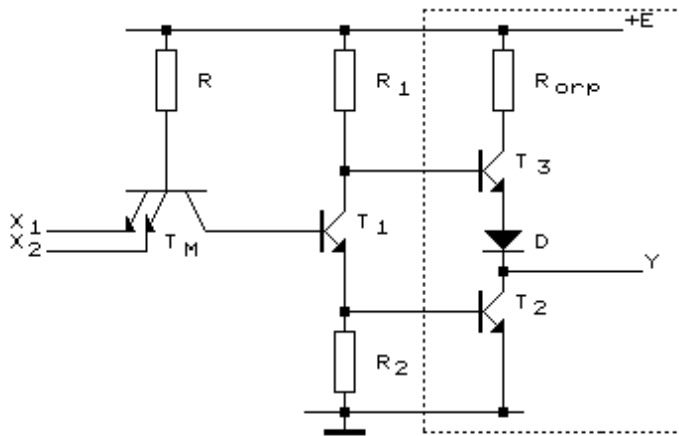
следователно минималната стойност на R_T се определя от неравенството

$$(3.2) \quad R_T > \frac{E}{I_{OUT_{max}}^0 - nI_{IN}^0},$$

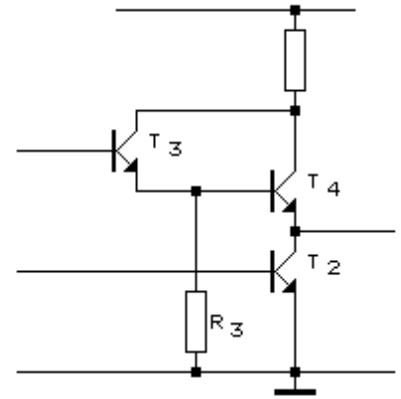
В схемата на фиг. 3.3а е включено допълнително и стъпалото, съставено от T_1 , R_1 и R_2 , което усилва по ток сигнала от изхода на T_M . За намаляване на изходното съпротивление (повишаване на товарната способност) в състояние логическа единица при едновременно запазване ниско ниво на логическата нула се преминава към стъпало с повече транзистори - сложен инвертор (фиг. 3.4а). Транзисторът T_1 осигурява получаването на противофазни сигнали за управление на изходните транзистори T_2 и T_3 . При високо ниво на изхода на T_M транзисторите T_1 и T_2 са наситени, а T_3 е запушен благодарение на диода D , който "повдига" потенциала на емитера му. Така в изхода се получава логическа нула. В обратния случай T_1 и T_2 са запушени, а T_3 работи в активен режим (емитерен повторител) и осигурява високо ниво на изхода. Вижда се, че видът на получената логическа функция не се променя.

Предавателната характеристика на схемата със сложен инвертор (фиг.3.4а) е показана на фиг.3.5а. Входното напрежение u_{IN} се подава едновременно на всичките входове или само на един вход, ако останалите се свържат към логическа единица U^1 .

От т.А до т.В транзисторите T_1 и T_2 са запушени, T_3 е отпушен и изходното напрежение е равно на U^1 . В т.В транзисторът T_1 се отпушва. Колекторното му напрежение, както и изходното намаляват. Наклонът между т.В и т. С зависи от съотношението на съпротивленията на резисторите R_1 и R_2 . В т.С транзисторът T_2 се отпушва. При увеличаване на u_{IN} , изходното напрежение се изменя бързо, тъй като входът на T_3 шунтира



фиг. 3.4а

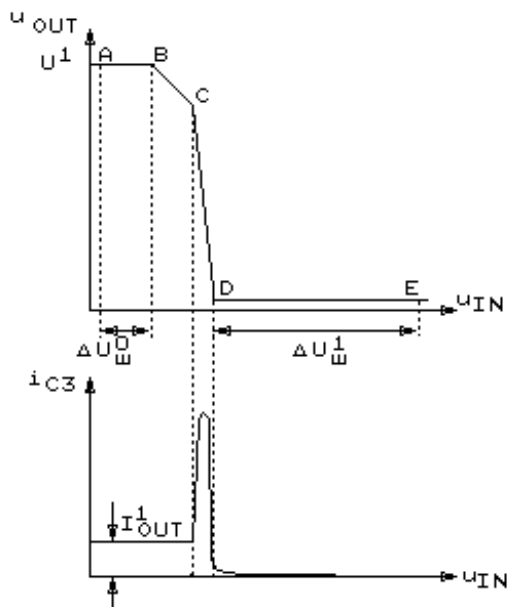


фиг. 3.4б

съпротивлението R_2 . Усилването на T_1 расте, напрежението на колектора му, както и изходното напрежение, бързо намаляват. В т.Д транзисторите T_1 и T_2 се насищат. Изходното напрежение е равно на логическата нула U^0 . Транзисторът T_3 , благодарение на диода D се запушва малко преди т.Д. Когато T_3 и T_2 са едновременно отпушени, през тях протича голям ток и консумацията на схемата рязко нараства (фиг.3.5б). От предавателната характеристика се определят запасите на шумоустойчивост на входа при двете стойности на входния сигнал:

$$(3.3) \quad \Delta U_{III}^0 = U_{INB} - U_{INA} = U_{INB} - U^0$$

$$\Delta U_{III}^1 = U_{INE} - U_{IND} = U^1 - U_{IND} .$$

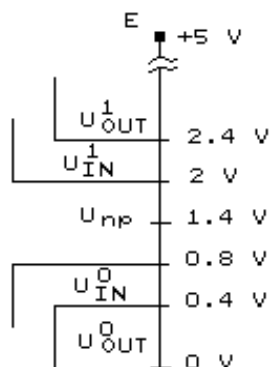


фиг. 3.5а,б

Токът показан на фиг.3.5б има максимална стойност при превключване от 0 към 1, когато макар и за кратко време между полюсите на захранващото напрежение се оказват свързани последователно два отпушени транзистора (T_2 и T_3) и един диод. Протичащият силен токов импулс

внося смущения в работата на всички схеми, захранвани от същия източник, а и разсейваната мощност се увеличава значително. За ограничаване амплитудата на импулса в схемата се включва $R_{огр}$, а за намаляване на внасяните смущения е необходимо да се свърже филтриращ кондензатор между захранващите изводи.

Сложният инвертор позволява бързо превключване между двете изходни състояния, тъй като и зареждането, и разреждането на товарния капацитет се извършват през малкото съпротивление на отпуснен транзистор. В този смисъл още по-добър резултат се получава при замяна на T_2 с два транзистора, свързани по схема Дарлингтон (T_3 и T_4 на фиг. 3.4б). Тази двойка осигурява по-голям ток в състояние единица, като същевременно отпада необходимостта от отместващ диод (неговата роля се изпълнява от прехода емитер-база на T_3).



фиг. 3.6

На фиг. 3.6 са показани стандартните логически нива и допустимите отклонения от тях на входните и изходните напрежения за TTL схемите. С $U_{нр}$ е означена средната стойност на u_{IN} , при която се извършва преходът между двете състояния.

3.3. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи в упражнението са:

1. Снемане на статични предавателни характеристики на схеми с прост и със сложен инвертор и:
 - а) определяне влиянието върху тях на R_c (за простия инвертор) и на изходния товар, като за товар се използват входове на други TTL схеми;
 - б) изчисляване на шумозащитеността;
 - в) сравняване на теоретично и експериментално получените стойности на някои параметри (логически нива, шумозащитеност, коефициент на товароспособност и др.).
2. Измерване на динамичните параметри (фронтове и закъснения) на TTL схеми с прост и сложен инвертор.
 - а) за схемата с прост инвертор да се изследва влиянието на R_c .
 - б) анализирани на експерименталните резултати от гледна точка на бързодействие и факторите, влияещи върху него.
3. Реализиране на функция И-ИЛИ-НЕ чрез схеми И-НЕ с отворен колектор и проверка на действието чрез съставяне таблица за истинност.

Упражнението може да се проведе чрез:

- а) лабораторен стенд и измервателна апаратура;
- б) автоматизирана тестова система.

3.4. ВЪПРОСИ И ЗАДАЧИ

1. От какво се определя стойността на логическата единица U^1 в изхода на схема с прост и със сложен инвертор?

2. Как влияе броят на товарните схеми n върху стойностите на U^0 и U^1 в схемите с прост и със сложен инвертор?

3. Коя схема се отличава с по-голяма амплитуда на логическите нива и шумоустойчивост? Защо?

4. На какво се дължи по-високото бързодействие на схемата със сложен инвертор?

5. Ще работи ли правилно сложният инвертор (вж. фиг. 3.4а) без диода D ? А без $R_{огр}$?

6. Какъв трябва да бъде коефициентът на усилване по ток β на инвертиращия транзистор T в схема с прост инвертор фиг.3.1, за да се получи коефициент на разклонение $n=10$, ако $R=4k\Omega$, $RC=1k\Omega$, $E=5V$, $U_{OUT}^0=U_{CS}=0,3V$, а напрежението върху отпушен P-N преход е $U_{PN}=0,7V$.

7. Определете стойността на минималното съпротивление, което трябва да се свърже в изхода на схема с отворен колектор (фиг.3.3а), за да се гарантира товарна способност $n=10$ (При числените данни от т. 6 и максимален допустим ток в изхода $16mA$).

8. Определете средната разсейвана мощност в схема с прост инвертор (фиг.3.1) при зададени: $E=5V$, $U_{OUT}^0=U_{CS}=0,3V$, $U_{PN}=E_o=0,7V$, $R=4,3k\Omega$, $RC=1k\Omega$.

УПРАЖНЕНИЕ №4

ТРАНЗИСТОРНО - ТРАНЗИСТОРНИ ЛОГИЧЕСКИ СХЕМИ (II)

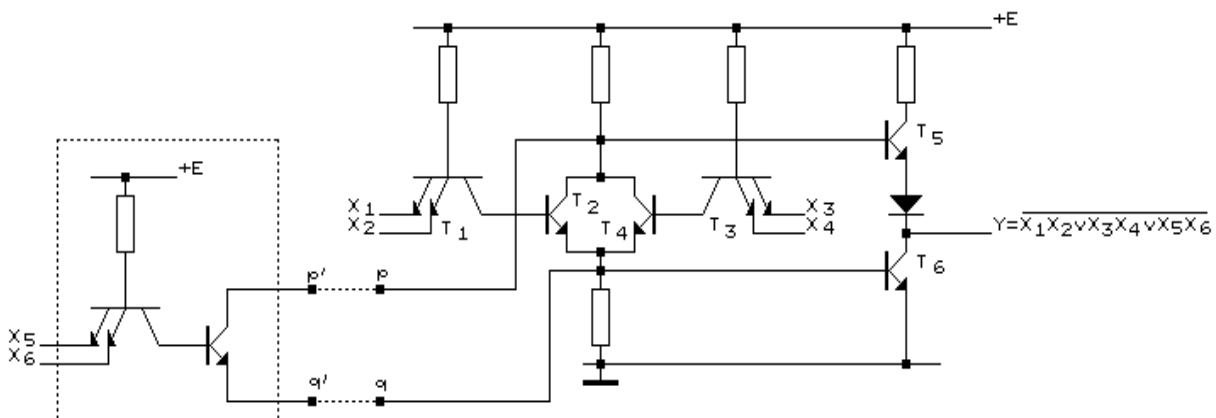
Тук ще бъдат разгледани някои разновидности и модификации на основните TTL схеми, разширяващи техните логически и функционални възможности или целящи промяна на някои от параметрите им в желаната посока.

4.1. РАЗШИРЯВАНЕ НА ЛОГИЧЕСКИТЕ ВЪЗМОЖНОСТИ

Тук се разглеждат начините за реализиране на функции, различни от основната за TTL схемите И-НЕ.

Инвертиращата схема за получаване на функция НЕ се различава от базовата схема И-НЕ само по това, че е с единствен вход.

Има няколко възможности за получаване на логическа операция И. Първата е да се свържат последователно схеми И-НЕ и НЕ. Втората и най-често използваната е включването в самата структура на TTL схемата на допълнителен инвертор пред изходното стъпало. На трето място при паралелно свързване към общ товар (вж. фиг. 3.3в), което е възможно само за прости инвертори, новополученият изходен сигнал е функция И от сигналите в изходите на отделните схеми преди обединяването им. Но в случая има един недостатък - първоначалният вид на отделните функции вече не може да бъде използван.



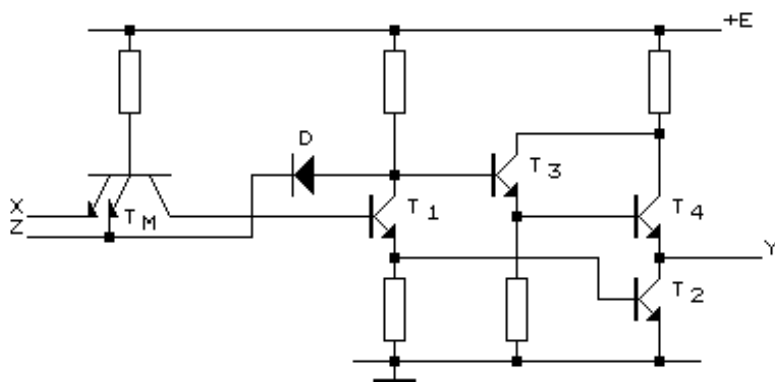
фиг. 4.1

Реализиране на операция ИЛИ като част от по-сложна логическа функция е показано на фиг. 4.1 (заградената в прекъсваната линия част от схемата ще бъде разгледана малко по-късно), където транзисторите T_2 и T_4 са свързани паралелно. В такъв случай логическа единица на изхода (T_5 - отпушен, T_6 - запушен) ще се получи само тогава, когато T_2 и T_4 едновременно са запущени, т.е. когато на входовете им има нисък потенциал. Следователно спрямо входните променливи функцията ще бъде И-ИЛИ-НЕ, при едновходови транзистори T_1 и T_3 - ИЛИ-НЕ, а след допълнително инвертиране - ИЛИ. Вижда се, че TTL схемата ИЛИ-НЕ е с по-сложна структура, отколкото схемата И-НЕ. Това показва, че между сложността на логическата функция и сложността на реализиращата я електрическа схема не винаги съществува права зависимост.

При някои схеми И-ИЛИ-НЕ са предвидени изводи (p и q на фиг. 4.1) за допълнително включване на т.нар. **разширител**. Разширителят изпълнява операция И между входните за него променливи (X_5 и X_6) и полученото логическо произведение чрез функция ИЛИ-НЕ се добавя към произведенията на входните за разширяемата схема променливи (X_1 и X_2 , X_3 и X_4). Включването на разширител се налага, когато основната използвана схема не притежава необходимия брой входове по ИЛИ.

4.2. СХЕМА С ТРИ ИЗХОДНИ СЪСТОЯНИЯ

Обединяване на изходите на TTL схеми със сложен инвертор не се допуска поради ниското им изходно съпротивление и в двете състояния. От друга страна, включване на голям брой схеми към една точка се налага в редица случаи (например при свързване на компонентите на компютърна система чрез общите магистрали), когато е необходимо множество източници и приемници на информация да използват обща линия (информационен носител). За тази цел служи схемата с три изходни състояния (фиг. 4.2).



фиг. 4.2

При подадена логическа единица на управляващия вход Z диодът е запушен и схемата работи по известния ни начин, като състоянието на изхода се определя от състоянието на информационния вход X (в случая функцията е НЕ, но би могла да бъде и друга). При подаване в управляващия вход на логическа нула T_M се насища, вследствие на което T_1 и T_2 се запушват. Едновременно с това през отпушения диод нисък потенциал постъпва и в базата на T_3 , който заедно с T_4 също се запушва. Тогава изходът на схемата преминава в "трето", високоимпедансно състояние, в което е изолиран и от двата полюса на захранващия източник, а протичащият през него ток е пренебрежимо малък ($<40\mu A$). Потенциалът на изхода става независим от разглежданата схема и се определя от другите свързани към същата точка схеми.

4.3. ВАРИАНТИ НА TTL СХЕМИ С ПОВИШЕНО БЪРЗОДЕЙСТВИЕ И НАМАЛЕНА КОНСУМАЦИЯ

Различните случаи в практиката понякога поставят различни изисквания спрямо параметрите на използваните елементи. За тяхното удовлетворяване са разработени няколко серии TTL схеми.

В схемите от бързодействащата серия 74Н стойностите на използваните резистори са намалени, което увеличава протичащите токове, консумираната мощност и бързодействието. Точно обратно е положението в схемите от маломощната серия 74L.

Увеличаване на бързодействието се постига и при TTL схемите с транзистори на Шотки от серията 74S благодарение на липсата на насищане. Когато заедно се използват транзистори на Шотки и повишени стойности на резисторите (серия 74LS), консумацията се намалява, без това да променя бързодействието в сравнение с нормалната (базова) серия 74N.

Развитието на TTL схемите продължава на базата на нови технологии, в резултат от което се появяват нови серии с подобрени параметри (например ALS, FAST). Някои основни параметри на схеми от изброените серии са обобщени в табл. 4.1.

Таблица 4.1

	СЕРИИ						
ПАРАМЕТРИ	74N	74L	74H	74S	74SL	ALS	FAST

	K155	K158	K131	K531	K555	KP1533	KP1531
Средно закъснение, ns	10	30	6	3	10	4	2
Консумирана мощност за вентил, mW	10	1	22	20	2	1	4
Работа за преклчване, pJ	100	30	132	60	20	4	8

4.4. ПРАКТИЧЕСКИ СЪВЕТИ

а) Състоянието на свободен (несвързан) вход на TTL схема се възприема от нея като логическа единица. Неизползуван вход може да се свърже към друг вход на същия логически елемент, на който постъпва сигнал. При това трябва да се има предвид, че източникът на сигнала се натоварва допълнително. Друга възможност при схеми И-НЕ е неизползваният вход да се включи към захранващия източник (+E) през резистор със стойност $1k\Omega$, а при схеми ИЛИ-НЕ - към нулевия потенциал.

б) Желателно е входовете на неизползваните логически елементи да се свържат към общия проводник (маса). Това намалява консумацията им около три пъти в сравнение със случая, когато входовете остават свободни.

в) При отрицателни входни напрежения входният ток нараства. Схемата може да се повреди поради превишаване на максимално допустимата мощност или поради разрушаване на този емитер от многоемитерния транзистор, през който протича тока. Ето защо недопустимо е подаването на входно напрежение, по отрицателно от $-0,4V$.

г) При входно напрежение, по-високо от $7,5V$, входният ток рязко нараства, тъй като настъпва ценов пробив е емитера на многоемитерния транзистор. За това не се допуска подаване във входа на напрежение, по-високо от $5,5V$.

д) В схеми, при които входното напрежение може да приема както отрицателни, така и положителни стойности, по-високи от $5,5V$, във всеки вход трябва да се включат два ограничителни диода (повечето интегрални схеми съдържат такива диоди).

е) Късо съединение на изхода с масата се допуска, но с положителния полюс на захранването - не, тъй като във веригата на заземения изходен транзистор (напр. T_6 от фиг.4.1) няма ограничаващ резистор.

ж) Желателно е непосредствено до корпуса на ИС да се монтира филтриращ кондензатор ($\geq 0,1 \mu F$).

з) При включване на разширител свързващите проводници трябва да са с минимална дължина, за да не се увеличи закъснението на сигнала в схемата.

4.5. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи в упражнението са:

1. Включване на разширител към схема И-ИЛИ-НЕ. Да се провери действието на получената схема.

2. Снемане на предавателната характеристика на схема с три изходни състояния спрямо управляващия вход. Изходното напрежение да се измерва при товар един TTL вход, като признак за установяване на високоимпедансно състояние е напрежението, равно на потенциала на свободен вход.

3. Снемане на предавателната характеристика на TTL схема с транзистори на Шотки и определяне на логическите нива и шумозащитеността. Да се измерят динамичните й параметри (фронтове и закъснения).

Упражнението може да се проведе чрез:

- лабораторен стенд и измервателна апаратура;
- автоматизирана тестова система.

4.6. ВЪПРОСИ И ЗАДАЧИ

1. Сравнете шумозащитеността на TTL схема с транзистори на Шотки и обикновена TTL схема.

2. Съставете TTL схема с прост инвертор, която да реализира следната функция:

$$Y = \overline{X_1 X_2} \cup \overline{X_3 X_4}$$

3. Съставете принципна схема на три входов елемент И-НЕ с три изходни състояния.

4. В кои случаи при изграждане на цифрови устройства и системи се налага да се използват TTL схеми от серията 74LS и от серията 74H?

5. Защо свързването на изхода към маса не е опасно за схемата?

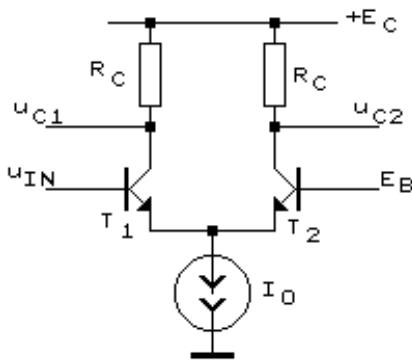
УПРАЖНЕНИЕ №5

ЕМИТЕРНО СВЪРЗАНИ ЛОГИЧЕСКИ СХЕМИ

Емитерно свързаните логически - ЕСЛ - (на англ. ECL - Emitter-Coupled Logic) схеми са най-бързодействащите понастоящем логически схеми. Това се дължи на факта, че техните транзистори не работят в режим на насищане а само са запущени или усилват. Премахването на насищането обаче налага основната ключова схема да съдържа не един транзистор, както беше в разгледаните дотук схеми, а два транзистора. Във всяко от двете състояния на схемата единият от тях е запущен, а другият е в усилвателен режим.

5.1.ДИФЕРЕНЦИАЛЕН УСИЛВАТЕЛ

Основната ключова схема има структура на диференциален усилвател (фиг.5.1). На базата на единия транзистор (T_2) е подадено постоянно опорно напрежение E_B , по - малко от захранващото E_C . За вход се използва базата на другия транзистор (T_1). В схемата има възможност за два изхода - от колекторите на двата транзистора.



фиг. 5.1

Теоретически се доказва, че активната област на тази схема е твърде тясна

$$(5.1) \quad \Delta U_a < 6\phi_T \cdot (\phi_T = kT/q - \text{топлинен потенциал})$$

Това позволява чрез малки изменения на входния сигнал токът в общата емитерна верига да се превключва изцяло към T_1 или към T_2 . Понеже коефициентът на предаване по ток от емитера към колектора е много близък по стойност до единица ($\alpha \approx 1$), може да се счита, че колекторният ток на всеки от транзисторите е равен на тока в емитера му, т. е.

$$(5.2) \quad i_C = \alpha i_E \approx i_E$$

$$(5.3) \quad \text{При } u_{B1} = u_{IN} = U_{IN}^1 > E_B + \Delta U_a/2,$$

транзисторът T_1 е отпушен, токът I_0 протича през него, а транзисторът T_2 е запущен. Напреженията в колекторите са:

$$(5.4) \quad u_{c1} = U_C^0 = E_C - R_C i_C = E_C - I_0 R_C;$$

$$(5.5) \quad u_{c2} = U_C^1 = E_C.$$

$$(5.6) \quad \text{Обратно при } u_{B1} = u_{IN} = U_{IN}^0 < E_B - \Delta U_a/2,$$

транзисторът T_1 е запущен и токът протича през T_2 . Колекторните напрежения са:

$$(5.7) \quad u_{c1} = U_C^1 = E_C;$$

$$(5.8) \quad u_{c2} = U_C^0 = E_C - I_0 R_C.$$

Краткият анализ позволява да се направят следните изводи:

1. Напреженията в двата колектора могат да се използват за получаване на два противофазни изхода - инвертиран и неинвертиран.
2. Амплитудата на сигнала в колекторите

$$(5.9) \quad U_M = U_C^1 - U_C^0 = R_C I_O,$$

трябва да бъде по-голяма от минималната необходима амплитуда на входния сигнал $U_{IN}^1 - U_{IN}^0$, т. е. от широчината на активната област

$$(5.10) \quad R_C \cdot I_O > \Delta U_a.$$

Вижда се, че сигналите в тези схеми са с малка амплитуда, което позволява колекторните резистори да бъдат нискоомни. Това има следните предимства:

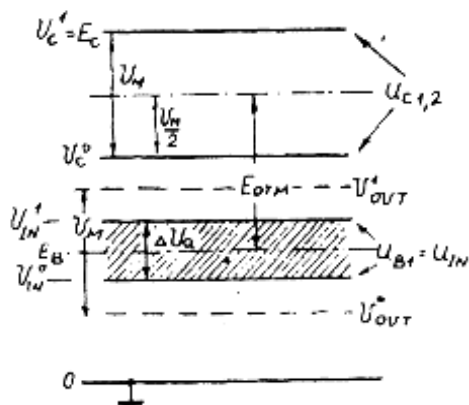
- а) повишава се бързодействието, тъй като е намалено влиянието на паразитните капацитети;
- б) за тяхното зареждане и разреждане е необходима по-малко енергия;
- в) колекторните изходи могат да се съгласуват добре с малките вълнови съпротивления на съединителните кабели, необходими за връзка между отдалечени устройства.

3. За да не се насищат транзисторите, трябва колекторните напрежения винаги да остават по-големи от базовите. В това отношение най-тежък е случаят, когато транзисторът T_1 е отпушен. От условията за това състояние (5.3) и (5.4) се получава зависимостта:

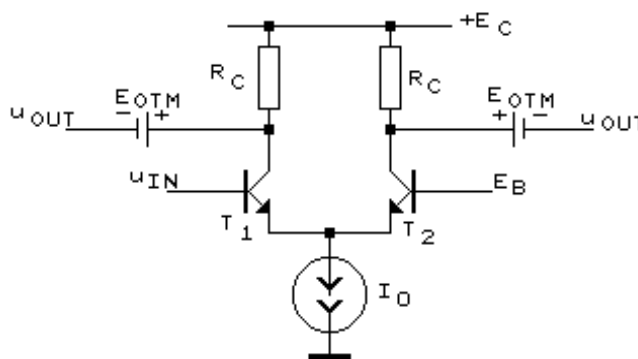
$$(5.11) \quad E_C - I_O R_C > E_B + \frac{\Delta U_a}{2},$$

свързваща двете постоянни напрежения с шумозащитеността на схемата (последната расте с увеличаване на амплитудата спрямо широчината на активната област).

По-високи колекторни напрежения (спрямо базовите) не могат да се подават за управление към следващите (товарните) схеми, тъй като биха наситили входните им транзистори. Това налага изходните напрежения на схемата да бъдат по-малки от колекторните със стойността E_{OTM} , която може да се нарече напрежение на отместване. Съотношенията между всички тези напрежения са показани на фиг.5.2а. От нея се вижда, че ако е изпълнено условието



фиг. 5.2а



фиг. 5.2б

$$(5.12) \quad E_C - \frac{U_M}{2} - E_{OTM} = E_B,$$

и в двете си състояния схемата ще бъде еднакво защитена от шумове.

запазва количествените съотношения, но променя знака на потенциалите в точките от схемата. Целта е да се намали влиянието на смущенията, (разпространяващи се по захранващата шина на положителния полюс) върху близките до него по стойност логически нива U^0 и U^1 .

Източникът на опорно напрежение E_B е изграден от T_4 , $R_2 \div R_4$ и диодите за температурна стабилизация D_0 и D_2 . Отместването на изходните нива с напрежението на отпушен PN преход ($E_0 \approx 0,7V$) се осъществява от емитерните повторители T_5 и T_6 .

5.3. ПАРАМЕТРИ, ПРЕДИМСТВА, ВЪЗМОЖНОСТИ

Разгледаният елемент от серията 10000 (K500) има следните параметри: захранващо напрежение $-5,2V$, $U^0 \approx -1,75V$, $U^1 \approx -0,9V$, както и тези, показани в табл. 5.1. В последната могат да се видят параметри на елементи от сериите F100K и аналогът ѝ K1500, и на модифицираните елементи от типа E²CL.

Таблица 5.1

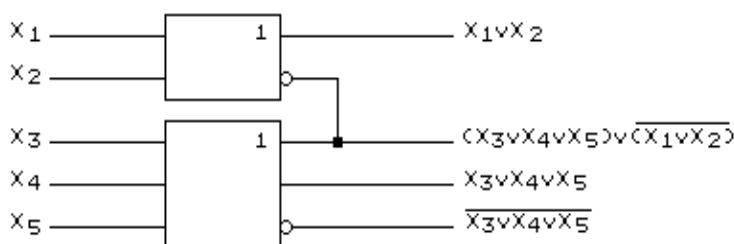
ПАРАМЕТРИ	СЕРИИ		
	F100K K1500	10000 K500	E ² CL
Средно закъснение, ns	2	0,75	0,5
Консумирана мощност, mW	25	40	6
Работа за превключване, pJ	50	30	3

Голямото бързодействие на ECL схемите се дължи на няколко фактора. Преди всичко, липсата на насищане премахва основното закъснение, дължащо се на натрупващия се в базата допълнителен заряд. Върху скоростта на превключване остават да влияят еквивалентните времеконстанти на базовата и колекторната вериги, както и времето за презареждане на товарния кондензатор. Последното също е твърде малко поради малката амплитуда на логическите сигнали ($U_M = U^1 - U^0 \approx 0,85V$) и малкото изходно съпротивление на емитерните повторители, през което кондензаторът се зарежда. Голямата товарна способност (голям изходен ток) позволява да се избере достатъчно малка стойност за товарния резистор R_T , с което се намалява времето за разреждане на товарния кондензатор. На практика обикновено $R_T = 0,3 \div 2k\Omega$, а максималният коефициент на разклонение по изход е около 20.

Шумоустойчивостта е малка ($\approx 150mV$), но достатъчна за нормална работа. Причина за това е приблизително постоянният консумиран ток, който се превключва между клоновете на схемата (променя се само токът през емитерните повторители под влияние на изходното натоварване) и внася минимални смущения в работата на другите схеми през захранването.

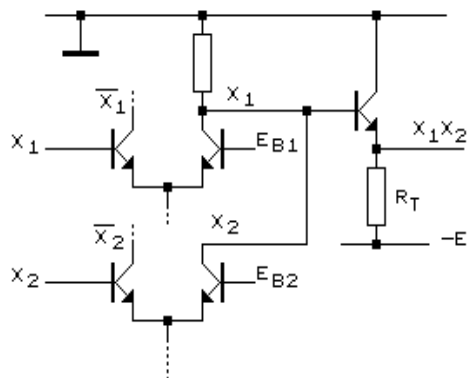
Важно предимство на ECL схемите е наличието на два взаимно инверсни изхода. всеки от тях може да бъде дублиран в рамките на самата ИС един или повече пъти с допълнителен изходен транзистор. Същевременно логическа операция ИЛИ може да се реализира без използване на допълнителен елемент, а просто чрез свързване на изходите, от които се получават променливите - аргументите ("монтажно ИЛИ"). Ако тези изходи са дублирани, същите аргументи могат да се използват и за получаване на друга функция (вж. фиг. 5.5).

Всичко това създава удобството необходимата логическа верига да бъде синтезирана по-икономично от отделни готови логически елементи.

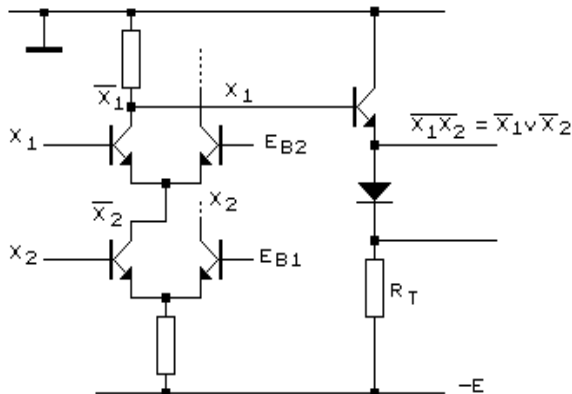


фиг. 5.5

Още по-гъвкаво е логическото проектиране на схемно ниво (ниво електрическа схема на елемент). В такъв случай допълнителни логически операции могат да се извършат и чрез колекторно (фиг. 5.6а) или последователно (фиг. 5.6б) свързване на транзистори.



фиг. 5.6а



фиг. 5.6б

5.4. ПРАКТИЧЕСКИ ПРОБЛЕМИ

Първият от тях е свързан с голямата консумирана мощност ($\approx 20 \div 60\text{mW/елемент}$), която създава трудности при разсейване на отделената топлина и ограничава възможната степен на интеграция. Друг проблем е осъществяването на монтажните връзки между отделните ИС по начин, който внася най-малки изкривявания във формата на предавания сигнал. Налагат се ограничения върху дължината на свързващите линии. Използват се специални методи за разпределение на източниците и приемниците на сигнал, за съгласуване с вълновото съпротивление на линията (товарните резистори са от 50 до 100 Ω и се включват към напрежение - 2V). Препоръчва се филтриране на захранването с по един кондензатор с капацитет $\geq 47\text{ nF}$ на всеки 5-6 ИС.

5.5. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи се състоят в:

1. Снемане на предавателните характеристики за двата изхода на ECL схема;
2. Изследване влиянието на товарния резистор върху нивата на изходните сигнали;
3. Реализиране на различни логически функции чрез стандартни ECL елементи и проверка чрез съставяне на таблици на истинност;
4. Свързване на няколко ECL елемента във последователна верига, измерване на средното закъснение;
5. Изследване влиянието на товарния капацитет и коефициента на разклонение върху средното закъснение;
6. Изследване (чрез компютърна симулация) на влиянието на стойностите на схемните компоненти (включително паразитни капацитети) върху закъснението.

Упражнението може да се проведе по три възможни начина:

- а) чрез лабораторен стенд и измерителни уреди;
- б) чрез автоматизирана тестова система;
- в) чрез обучаваща компютърна програма.

5.6. ВЪПРОСИ И ЗАДАЧИ

1. Какво ще бъде състоянието на схемата (вж. фиг. 5.4), ако някой от входовете се свърже към маса или към -Е?

2. На какво се дължи малкият размах на логическите нива при ECL схемите? Как влияе това върху бързодействието?

3. Възможно ли е изходният сигнал на TTL схема с прост инвертор да управлява ECL схема? Кой полюс на общото захранващото напрежение трябва да се заземи?

4. Може ли изходният сигнал на ECL схема да управлява TTL схема?

5. Каква трябва да бъде зависимостта между опорните напрежения E_{B1} и E_{B2} (фиг.5.6б)? Защо в емитера на изходния повторител е включен диод?

6. Каква е разликата в начините по които се избягва насищането на транзисторите в ECL и TTL схеми с диоди на Шотки?

7. Кой от двата начина е по-съвършен и защо?

Съставете ECL схеми, които да осъществяват следните функции:

а)
$$Y_1 = \overline{(X_1 \cup X_2) \cdot (X_3 \cup X_4)}$$
$$Y_2 = (X_1 \cup X_2) \cdot (X_3 \cup X_4)$$

б)
$$Y_1 = \overline{X_1 \cdot X_2 \cup X_3 \cdot X_4}$$
$$Y_2 = X_1 \cdot X_2 \cup X_3 \cdot X_4$$

в)
$$Y_1 = \overline{X_1 \cdot X_2 \cdot X_3 \cdot X_4}$$
$$Y_2 = X_1 \cdot X_2 \cdot X_3 \cdot X_4$$

9. Реализирайте горните функции в няколко схемни варианта.

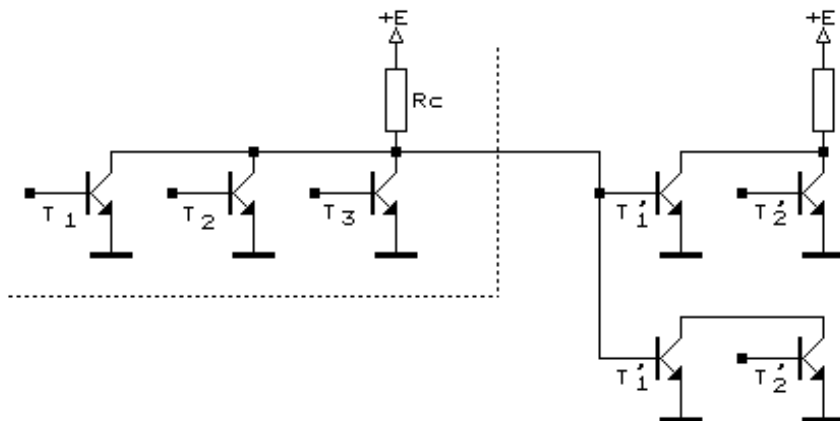
УПРАЖНЕНИЕ №6

ПЕРСПЕКТИВНИ БИПОЛЯРНИ ЛОГИЧЕСКИ СХЕМИ

В настоящото упражнение се разглеждат две оригинални направления в развитието на биполярните интегрални схеми. Основен метод за изследване е моделирането им.

6.1. ЛОГИЧЕСКИ СХЕМИ С ИНЖЕКЦИОННО ЗАХРАНВАНЕ

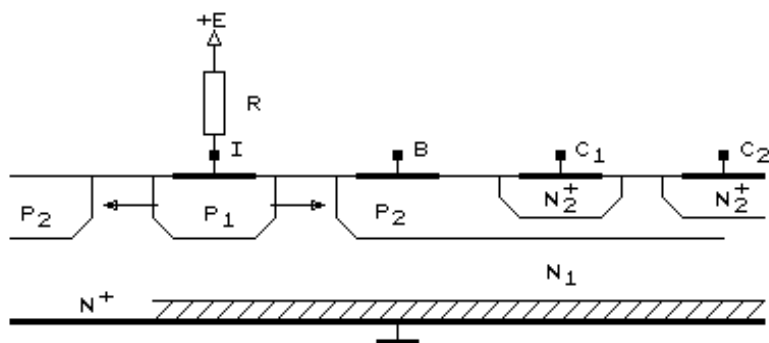
За повишаване степента на интеграция на логическите схеми е необходимо да се намаляват консумираната мощност и размерите им. Измежду биполярните интегрални структури тези изисквания най-добре се удовлетворяват от т. нар. интегрални инжекционни логически - И²Л (Integrated Injection Logic - I²L) схеми, предложени през 1972г [12,13]. Те могат да се разглеждат като технологично усъвършенствуване на т.нар. логически схеми с директна връзка или директно свързани транзисторни логически - ДСТЛ (Direct Coupled Transistor Logic - DCTL) схеми. Една такава схема заедно с товарните елементи в изхода ѝ е показана на фиг.6.1. При един или повече отпушени (наситени) транзистори изходът на схемата е свързан към маса и към товарните схеми не протича ток. Обратно, когато всички транзистори са запушени, токът от захранването през колекторния резистор R_c отива към входовете на товарните схеми. За съжаление той се разпределя неравномерно в базите на транзисторите, означени с T_1' . Това се дължи на разликите в напреженията на емитерните им преходи, обусловени от технологическите толеранси, разликите в колекторните им токове и в работните температури (напр. транзистор с по-висока температура ще има "по-лява" входна характеристика и в базата му ще протича по-голям ток в сравнение с транзистори с по-ниска температура). Този недостатък може да се намали чрез включване на сериен резистор във всяка база, но това пък води до намаляване на бързодействието и увелечаване мощността на схемата.



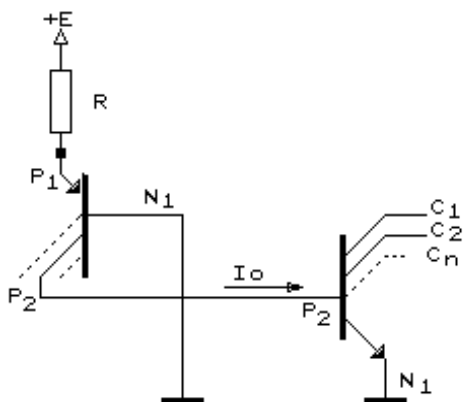
фиг. 6.1

Инжекционните схеми могат да се получат от схемите с директна връзка, ако захранването вместо през колекторния товарен резистор се извършва посредством PN преход (т.нар. **инжектор**). В литературата [13] тези схеми се наричат още сляти, съвместени транзисторни логически - СТЛ (Merged Transistor Logic - MTL) схеми. Това название идва от интегралната им структура (фиг.6.2), в която наред с основния вертикален NPN транзистор се образува хоризонтален PNP транзистор. Последният се формира от постоянно отпушения инжекторен преход (P_1N_1) и базовата област (P_2) на NPN транзистора. Интегралната структура от фиг.6.2 може да се представи с принципната схема от фиг.6.3а и нейната еквивалентна схема - фиг.6.3б, която ще използваме по нататък. С I_0 е означен тока, постъпващ в базата на NPN транзистора, който е пропорционален на тока на инжектора. Генераторът на ток I_0 изпълнява функция аналогична на колекторния резистор в схемите с директна връзка, но в инжекционните схеми той се реализира много просто и заема малка площ върху кристала. Освен това инжекторната област P_1 захранва много NPN транзистори, което позволява PNP транзистора да се разглежда като многоколекторен, както е показано с прекъснатата линия на фиг.6.3а.

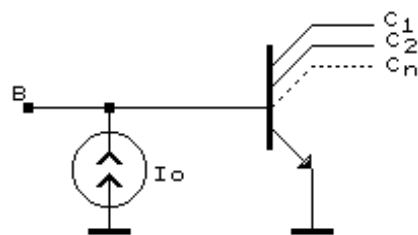
Токът през инжектора се задава от захранващия източник (напрежението E е с малка стойност - от порядъка на 1,5 - 2V) и резистора R . За цялата интегрална структура е необходим само един резистор. Поради сравнително голямата разсейвана мощност върху него, той се разполага извън схемата - като дискретен или тънкослоен резистор.



фиг. 6.2



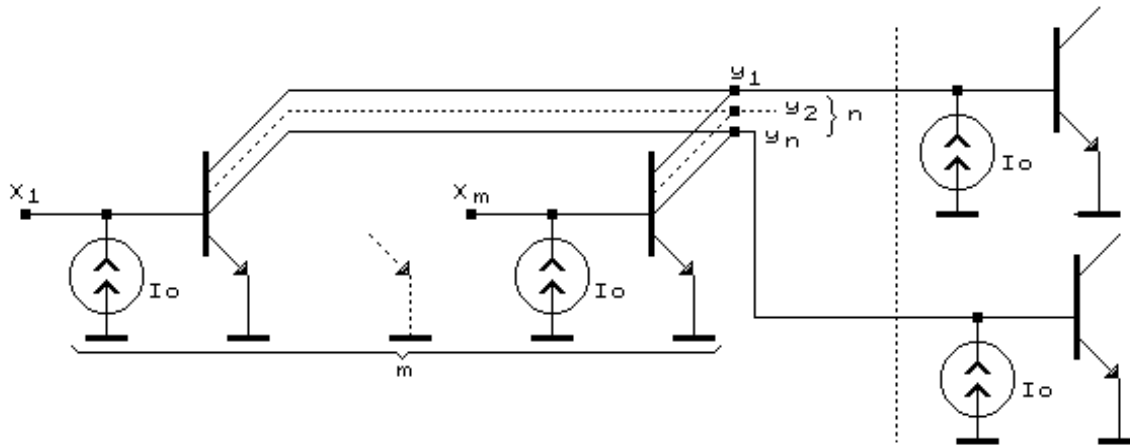
фиг. 6.3а



фиг. 6.3б

Оригинално (в сравнение с "класическите" интегрални схеми) е решен и NPN транзистора, което води до някои нови функционални възможности. Разполагането на емитера отдолу позволява лесно екраниране на цялата схема (с нискоомен N^+ слой - фиг.6.2). Извеждането на колектора на повърхността опростява конструкцията (не е нужен скрит N^+ слой), улеснява опроводяването и е много удобно за реализиране на многоколекторен транзистор (подобно на многоемитерния). Ако броят на колекторите е равен на коефициента на разклонение в изхода, т.е. ако към всеки колектор се свързва само един вход от товарните схеми, се избягва посочения по-горе недостатък на схемите с директна връзка - неравномерното разпределяне на захранващия ток във входовете на товарните схеми.

Освен чрез електрическа инжекция, захранването може да се осъществи чрез облъчване със светлинен или друг вид поток (напр. от източник на радиоактивно излъчване). Тогава в областта на емитерния преход се генерират двойки електрон - дупка, които обуславят тока I_0 . В колекторния преход този ефект е пренебрежимо малък, както поради екраниращото действие на метализацията, така и поради малкото време на живот на неосновните носители в силно легирания колектор.



фиг. 6.4

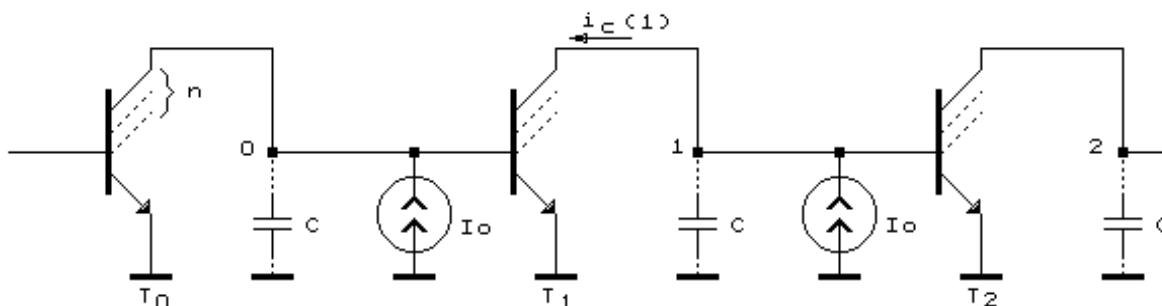
Основната логическа схема (фиг.6.4) е съставена чрез паралелно свързване на m транзистора с инжекционно захранване (по един транзистор на вход), като всеки транзистор има n колектора. Изходите на логическата схема се получават чрез обединяване на съответните колектори и се свързват към входовете на товарните схеми, показани също на фиг.6.4. Когато във входа поне на един от m -те транзистора протече ток I_0 , то за сметка на натрупването на неосновни носители, емитерният а след това и колекторният преход се отпушват. Транзисторът се насища. Напрежението във всички изходи на схемата е с малка стойност - от порядъка на десетина миливолта (логическа нула - U^0). Благодарение на него транзисторите в следващите схеми се запушват, а техните токове I_0 протичат като товарен ток на разглеждания наситен транзистор. Схемата реализира логическа функция ИЛИ-НЕ.

$$(6.1) \quad y_1 = y_2 = \dots = y_m = \overline{X_1 \cup X_2 \cup \dots \cup X_m}$$

За изследване на схемите с инжекционно захранване е достатъчно да се анализира веригата от инвертори, показана на фиг.6.5. Ако транзисторът T_0 е наситен, напрежението в точка O - представлява логическа нула $U^0 \approx U_{CO}$. Токът I_0 , инжектиран към базата на T_1 , тече в колектора на T_0 . Следователно T_1 е запушен. Напрежението в изхода му (точка 1) се обуславя от базата на отпушения и наситен транзистор T_2 , т.е. $U^1 \approx E_0$. Условието за насищане и запушване са:

$$(6.2) \quad \beta/n > 1;$$

$$(6.3) \quad U_{CO} < U_{BO},$$



фиг. 6.5

където β е коефициентът на усилване по ток на целия транзистор, а β/n - същият коефициент, но спрямо един колектор. U_{BO} е напрежението на отпушване ($U_{BO} < E_0$).

Основните моменти при анализа на преходните процеси във веригите от фиг.6.5 са:

- при запущване на T_0 напрежението в точка О расте линейно от U_{C0} до E_0 вследствие зареждането на кондензаторите С от тока I_0 . Закъснението за отпушване на T_1 е:

$$(6.4) \quad t_{30} = \frac{C(E_0 - U_{C0})}{I_0}.$$

- след отпушване на T_1 токът във всеки от неговите колектори - (в случая $i_{C(1)}$) започва да расте. Той протича директно в базата на наситения транзистор T_2 , но в посока обратна на насищания базов ток. Това е причина за намаляване на натрупания заряд в T_2 . Времето, за което този заряд спада от максимална стойност до нула представлява закъснението при запущване [10]:

$$(6.5) \quad t_{33} = \sqrt{2n\tau_T(\tau_S - \tau_T)},$$

където τ_T е средното време на прелитане на носителите през областта на базата, а τ_S - времеконстантата при разнасяне на заряда в наситения транзистор.

Резултатът (6.4) показва, че закъснението за отпушване, а оттам и средното закъснение зависят от хранващия инжекционен ток I_0 .

Схемите с инжекционно хранване са резултат на един оригинален подход, при който "интегрирането" на схемотехника и технология води до следните предимства (някои от които са уникални):

- използва се стандартната, добре овладяна, биполарна технология, но са нужни по-малко технологични операции в сравнение с традиционните схеми;
- не са необходими изолиращи области между отделните схеми. Броят на компонентите в една логическа схема е минимално възможният. Това позволява да се постигне висока плътност на елементите еднаква с тази на MOS - интегралните схеми;
- напълно отсъствуват резисторите, които в другите схеми заемат голяма площ от кристала;
- броят на вътрешно схемните съединения е минимален. Всички междинни съединения, с изключение на хранващите шини за инжекторите, се използват за създаване на логически вериги, а в схемите хранвани със светлинен поток въобще липсват хранващи шини;
- работата за превключване е минимална - $A = (0,35 \div 1) \text{ pJ}$. Тази стойност е с около два порядъка по-малка от тази при най-добрите емитерно-свързани логически схеми и превишава само с един порядък работата на превключване на неврона.

Схемите с инжекционно хранване се съгласуват лесно по вход и изход с TTL и MOS - логическите схеми, без да са необходими специални съгласуващи вериги. Те могат да работят нормално при промяна на консумираната мощност (съответно - бързодействието) в много широки граници (няколко порядъка). Това позволява една и съща интегрална схема, чрез промяна на инжектираната енергия (тока I_0), да се използва като маломощна, но бавнодействаща или обратно - мощна, но с високо бързодействие.

6.2. БЕЗПРАГОВИ ЛОГИЧЕСКИ СХЕМИ

В традиционните биполарни логически схеми предавателните характеристики освен активната област имат два хоризонтални участъка, които се дължат на запущването и насищането на транзисторите и осигуряват шумозащитеността на схемата. Наред с това обаче, се намалява бързодействието. На границите между хоризонталните участъци и активната област се намират двете прагови точки, в които транзисторите се запущват и насищат. При безпраговите логически (Non Threshold Logic - NTL) схеми работните точки се намират само в активната област на характеристиките. Строго погледнато тези схеми не са ключови, а линейни. Поради ниската си шумоустойчивост те са пригодни за използване само в добре екранирани големи интегрални схеми (LSI). Необходимо е също статичният им режим да се стабилизира с отрицателна обратна връзка.

Основното предимство на безпраговите схеми - тяхното бързодействие се обуславя от две принципни особености. Първата се състои в това, че при еднаква технология безпраговите елементи имат по-малки закъснения от праговите. Втората се заключава във факта, че при разпространение на

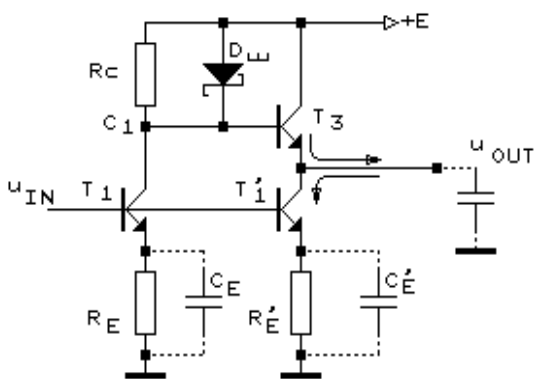
сигнала във верига от безпорови схеми закъснението е равно на квадратен корен от сумата на квадратите на закъсненията на отделните елементи:

$$(6.6) \quad t_{3N} = \sqrt{\sum_{i=1}^N t_{3i}^2},$$

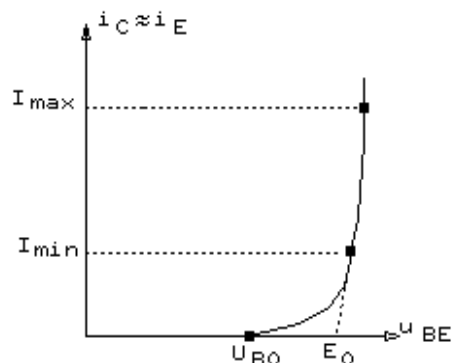
където N е броят на елементите във веригата, t_{3i} е закъснението на i -тия елемент, а t_{3N} - общото закъснение в цялата верига. Както знаем, за верига от порови елементи общото закъснение е равно на сумата на отделните закъснения:

$$(6.7) \quad t_{3N} = \sum_{i=1}^N t_{3i},$$

Ако сравним двете вериги - едната от порови, а другата от безпорови схеми и предположим, че закъсненията на сигналите във всички схеми са еднакви, то се вижда, че общото закъснение в безпоровите схеми ще бъде \sqrt{N} пъти по-малко.



фиг. 6.6



фиг. 6.7

Принципна схема. Едноходовата безпорова схема (инвертор) е показана на фиг.6.6. Макар и да напомним ECL схема с емитерния си резистор, тя се различава по оригиналната си конфигурация и начина на действие. Входният сигнал постъпва към два транзистора. Чрез единия се реализира логическата функция, а втория е част от изходния сложен инвертор, т. е. схемата действа като едностъпална. Най-същественото е, че тя работи като линейна, т.е. транзисторите не само не се насищат (както в ЕСЛ), но и не се запущават. Това е възможно само ако активната област на предавателната характеристика е с наклон - 1, т.е. емитерният и колекторният резистори са равни ($R_E=R_C$). Ако усилването е по-голямо от единица (както е във всички други логически схеми), преминавайки през верига от схеми сигналът последователно ще се усилива и транзисторите ще започнат да се запущават или насищат. Ако с I_{min} и I_{max} означим стойностите на тока ($i_E \approx i_C$) през T_1 в двете състояния на схемата (фиг.6.7) то изходните напрежения съответстващи на логическа нула и логическа единица са:

$$(6.8) \quad U^1 = E - E_0 - I_{min}R_C \approx E - E_0;$$

$$(6.9) \quad U^0 = E - E_{OSH} - E_0.$$

където E_{OSH} е напрежението върху отпушения диод на Шотки, при условие че:

$$(6.10) \quad I_{max}R_C > E_{OSH}$$

От (6.8) и (6.9) за амплитудата на логическия сигнал се получава:

$$(6.11) \quad U_M = U^1 - U^0 = E_{OШ}$$

Когато входният сигнал се измени бързо от U^0 към U^1 транзисторът T_3 трябва - макар и за кратко - да се запуши, т.е. напрежението между базата и емитера му да стане по-малко от напрежението на отпушване U_{BO} . T_3 трябва да остане запушен докато изходното напрежение спадне (вследствие тока на T_1) поне с половината амплитуда. Оттук следва

$$(6.12) \quad E - E_{OШ} - (U^1 - 0,5E_{OШ}) < U_{BO}$$

или

$$(6.13) \quad E_{OШ} > 2(E_0 - U_{BO})$$

От (6.10) и (6.13) се получават ограниченията за диода на Шотки

$$(6.14) \quad I_{max}R_C > E_{OШ} > 2(E_0 - U_{BO})$$

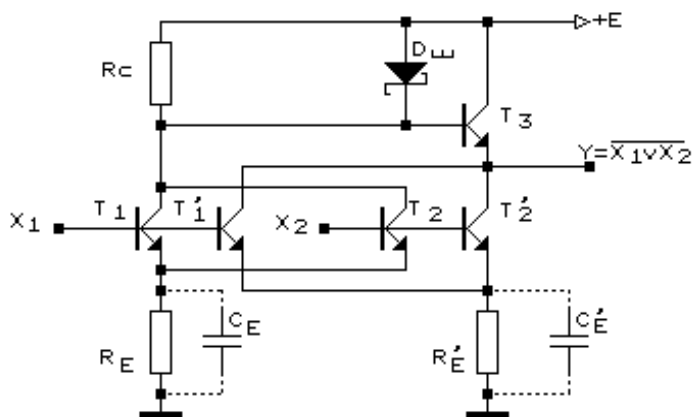
Ролята на диода на Шотки е доста важна и се вижда от получените по-горе зависимости. Това може да се обясни с факта, че този диод е единственият нелинеен елемент, който влияе съществено върху действието на схемата.

За да оценим разсейваната от схемата мощност, нека допуснем, че токовете в транзисторите T_1 и T_1' са близки по стойност. Тогава

$$(6.15) \quad P_{ep} = \frac{2EI_{max} + 2EI_{min}}{2} = E(I_{max} + I_{min})$$

Границите на захранващото напрежение може да се определят грубо от неравенството

$$(6.16) \quad E_{OШ} + 2E_0 + I_{max}R_E > E > E_{OШ} + E_0 + U_{BO}$$



фиг. 6.8

Поради малката стойност на захранващото напрежение, тези схеми се наричат и нисковолтови инвертори (Low Voltage Inverters). Принципната схема на двуходов безпрагов елемент е показана на фиг. 6.8. Тя осъществява логическа функция ИЛИ-НЕ.

Закъсненията на сигналите в безпраговите схеми са много малки - от 0,2 до 0,5ns, а разсейваната мощност е от порядъка на 1-2mW. Това се постига благодарение на следните особености на схемата:

- от входа до изхода сигналът преминава по най-краткия възможен път;
- сложният инвертор осигурява малко изходно съпротивление и в двете състояния, при това без да внася допълнителни закъснения;
- нискоомният изход на схемата се натоварва със сравнително високоомни базови входове;
- амплитудата на сигнала, както и захранващото напрежение са много малки;
- транзисторите работят само в активната област от характеристиките си;

- бързодействието може да се повиши чрез включване в емитерните вериги на ускоряващи кондензатори (фиг.6.8).

В резултат на всичко това при една и съща разсейвана мощност безпраговите схеми са около два пъти по-бързи от TTL и Шотки - TTL схемите, а при еднакво бързодействие с ECL схемите те имат 10-20 пъти по-малка разсейвана мощност.

6.3. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Схемите изучавани в настоящето упражнение се изследват чрез моделиране. За тази цел се използват:

- програмни пакети μ CAP или pSPICE;
- компютърна програма разработена специално за учебни цели.

Основните задачи в упражнението са:

1. Анализ на предавателните характеристики;
2. Анализ на преходните процеси и определяне на закъсненията във верига от три инвертиращи схеми;
3. Изследване влиянието на параметрите на схемата (тока I_0 за I^2L ; E , R_E , R_C - за NTL) върху статичния и динамичния режими анализирани в т.а и т.б.

Тези изследвания се правят и за двата вида схеми. Освен това за безпраговия логически елемент трябва да се определи тази стойност на захранващото напрежение E при която входните и изходните логически нива да бъдат равни.

6.4. ВЪПРОСИ И ЗАДАЧИ

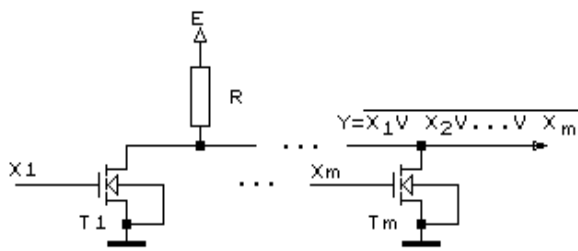
1. Обяснете зависимости 6.2 и 6.3 !
2. Ако два транзистора - многоемитерен и инжекционен - имат еднакви размери, кой от тях е с по-голям коефициент на усилване по ток β ? Защо?
3. Как трябва да се проектират два транзистора в една интегрална схема, така че да работят с различни закъснения, съответно различно бързодействие?
4. Възможно ли е с помощта на диоди на Шотки да се предотврати насищането в I^2L схеми? Как?
5. Може ли схемата от фиг.6.6 да работи със стандартно захранващо напрежение 5V?
6. Защо емитерните кондензатори ускоряват превключването на безпраговите схеми?
7. Как може да се определи стойността на захранващото напрежение за NTL схеми без сложен инвертор?

УПРАЖНЕНИЕ №7

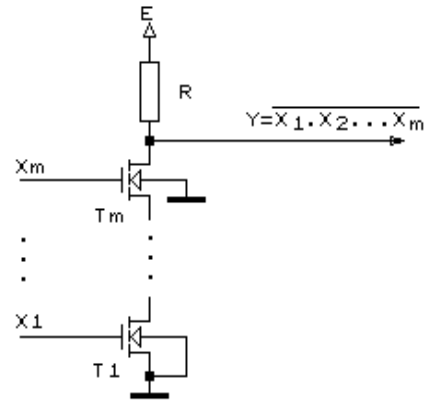
MOS ЛОГИЧЕСКИ СХЕМИ

7.1. СТАТИЧЕН РЕЖИМ

Основната MOS логическа схема е инверторът, съставен от транзистор с индуциран канал и товарен резистор. Той бе изследван в УПРАЖНЕНИЕ №2. Многовходовите логически схеми се различават от инвертора само по количеството на транзисторите - m на брой, като на гейта на всеки от тях се подава входен сигнал. Двата възможни начина на свързване на транзисторите са показани на фиг. 7.1.



фиг. 7.1a



фиг. 7.1б

Ако се приеме за логическа нула напрежение, близко до нула, а за логическа единица - напрежение от порядъка на захранващото, то първата схема реализира операция ИЛИ-НЕ, а втората - И-НЕ. Паралелното свързване се предпочита, тъй като при него максималната ниво на логическата нула в изхода е независимо от броя на входовете. И наистина, докато в двете схеми от фиг. 7.1 напрежението на изходната логическа единица е еднакво

$$(7.1) \quad U^1 = E,$$

то нивото на логическата нула в изхода на схемата от фиг. 7.1a е равно на напрежението върху един отпушен транзистор, определено от равенство (2.10), т.е.

$$(7.2.) \quad U^0 = \frac{r_c E}{R + r_c} = \frac{E}{1 + kR(E - V_{TO})} \approx \frac{E}{kR(E - V_{TO})},$$

а в изхода на схемата от фиг. 7.1б - на сумата от напреженията върху всички отпушени транзистори:

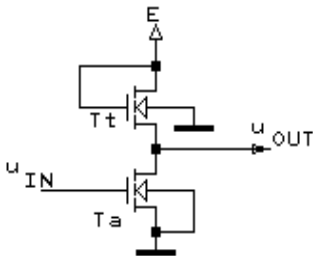
$$(7.3.) \quad U^0 = \frac{mr_c E}{R + mr_c} \approx \frac{mE}{kR(E - V_{TO})}.$$

За да може втората схема да има същото ниво U^0 , както и първата, необходимо е товарният й резистор да бъде по стойност m пъти по-голям или площта на транзисторите да се увеличи m пъти. Технологичните трудности при реализиране на резистори с големи съпротивления, както и необходимостта от оптимизиране размерите на интегралните схеми, практически изключват използването на схемата от фиг. 7.1б за случаи с повече от два входа.

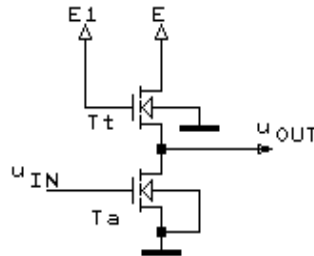
Реализирането на високоомен товар е основният проблем при MOS логическите схеми. Според вида и режима на товарния елемент те се подразделят на: а) схеми с линейни товарни резистори; б) схеми с нелинеен товар; в) схеми с квазилинеен товар; г) схеми с токостабилизиращ

товар (транзистор с вграден канал); д) схеми с допълнителна симетрия (инверторът е съставен от два транзистора с различна проводимост).

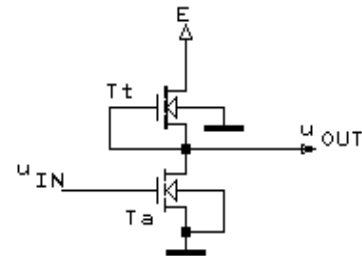
Обект на настоящото упражнение са първите четири вида схеми. Схемата с линеен товарен резистор (фиг.7.1а), както показва уравнение (7.1), има едно основно предимство - максимално използване на захранващото напрежение. Реализирането обаче на високоомни резистори може да се постигне само с усложняване на технологичния процес (йонна имплантация или високоомна дифузия).



фиг. 7.2а



фиг. 7.2б



фиг. 7.2в

Технологично по-прости са схемите от фиг.7.2, в които за товар се използват транзистори, аналогични на активните (активни ще се наричат по-нататък транзисторите, управлявани непосредствено от входните сигнали). В схемата на фиг.7.2а (с нелинеен товар) гейтът и дрейнтът на товарния транзистор са свързани заедно към захранващото напрежение. В резултат на това той работи винаги в полегатата област на характеристиките, тъй като за него е в сила неравенството

$$(7.4) \quad u_y = u_{GS} - V_T < u_{DS} = u_{GS}.$$

Влиянието на подложката върху характеристиките на товарния транзистор вследствие на незаземения сорс се изразява в увеличаване на праговото му напрежение

$$(7.5) \quad V_T = V_{T0} + \eta u_s$$

спрямо праговото напрежение на активния транзистор V_{T0} .

Високо изходно напрежение U^1 се получава, когато всички активни транзистори са запущени. Но тогава токът през товарния транзистор също става равен на нула. Като се заместят равенствата $u_G = u_D = E$ и $u_s = U^1$ в израза на тока (2.3) (който се нулира), се получава

$$(7.6) \quad U^1 = \frac{E - V_{T0}}{1 + \eta}.$$

Както се вижда, режимът на товарния транзистор е причина за намаляване на U^1 спрямо захранващото напрежение. Този недостатък се избягва в схемата от фиг.7.2б, като на гейта на товарния транзистор се подава по-голямо напрежение, така че работната точка на транзистора да се намира в стръмната област от характеристиките. В този режим поведението на транзистора е подобно на това на линеен резистор, поради което логическата схема е известна като схема с квазилинеен товар. В нея при запущени активни транзистори изходното напрежение е $U^1 = E$. Като се положи $u_G = E_1$ и $u_s = u_D = E$ в условието за работа на товарния транзистор в стръмната област на характеристиките

$$(7.7) \quad u_y = u_{GS} - V_T > u_{DS},$$

се получава зависимостта

$$(7.8) \quad E_1 - E - V_{T0} - \eta E > 0,$$

която е необходимо условие за определяне на захранващото напрежение E_1 .

$$(7.9) \quad E_1 > E(1 + \eta) + V_{TO}$$

Схемите от фиг. 7.2а,б имат следния общ недостатък: когато активните транзистори се отпушват и изходното напрежение намалява, всъщност намалява и напрежението на сорса на товарния транзистор. Токът през него нараства, а това повишава нивото на логическата нула. Напрежението U^0 зависи от тока на товарния транзистор и съпротивлението на канала на активния, т.е.

$$(7.10) \quad U^0 = i_T r_{CA},$$

Следователно, необходимо е площта на активния транзистор да бъде много по-голяма от площта на товарния:

$$(7.11) \quad S_A/S_T \gg 1,$$

което води до значително увеличаване размерите на цялата схема. Заради изискването на формула (7.11), схемите от фиг.7.2а,б се наричат "схеми с отношение". Едно по-добро решение е схемата с токостабилизиращ товар (фиг.7.2в). Нейният товарен транзистор е с **вграден** (собствен) канал. При свързване на неговия гейт към сорса ($U_{GS}=0$), той представлява генератор на постоянен ток:

$$(7.12) \quad i_T = \frac{V_{TT}^2 K_{TT}}{2},$$

където: - K_{TT} е специфичната му стръмност, определена от (2.7);

- V_{TT} е праговото му напрежение, различно от V_{TO} на активния транзистор с индуциран канал.

В сравнение с простата технология на транзисторите с индуциран канал, реализирането на товарен транзистор с вграден канал е по-сложно (двойна дифузия или йонна имплантация). Но в зависимост от стойността на V_{TT} , цялата схема може да се оптимизира в различни насоки, например за постигане на:

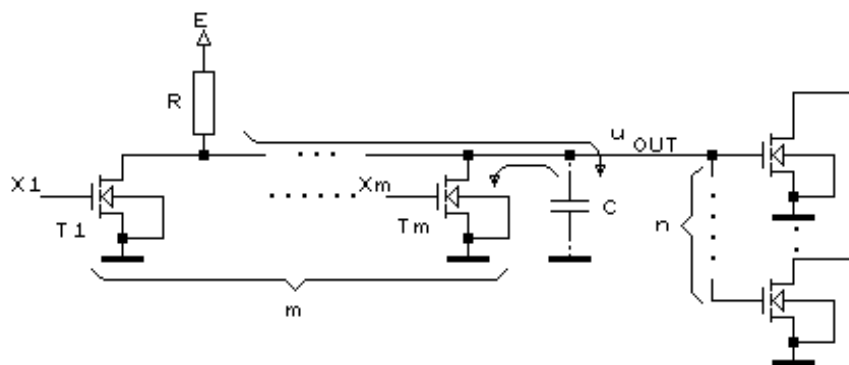
- минимална обща площ, т.е. еднакви размери на активния и товарния транзистори, или
- еднакви закъснения при превключване в двете посоки, или
- еднакви фронтове (растящ и намаляващ) и т.н.

7.2. ПРЕХОДНИ ПРОЦЕСИ

Преходните процеси в разглежданите MOS логически схеми се свеждат главно до зареждане и разреждане на изходния капацитет C (фиг. 7.3) на всяка схема, който е съставен от: а) капацитета на общата дрейнова област - пропорционален на броя на входовете m ; б) сумата от входните капацитети на товарните схеми - n на брой; в) паразитните капацитети на шините и др.

Средното закъснение на сигнала е средно аритметично от следните две времена:

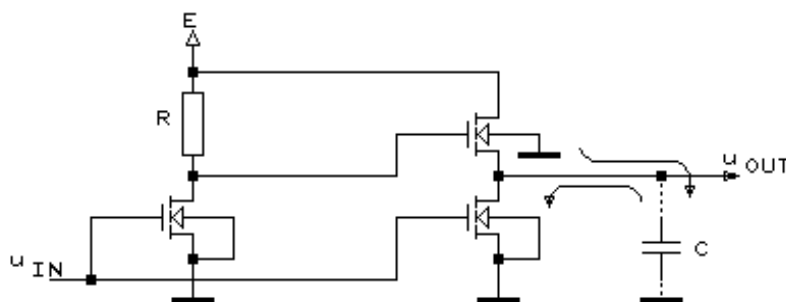
- време за зареждане на капацитета C през товара от ниво U^0 до ниво V_{TO} (закъснение на отпушване);



фиг. 7.3

- време за разреждане на кондензатора C през активния транзистор от ниво U^1 до ниво V_{TO} (закъснение на запусване).

Влиянието на кондензатора върху бързодействието е твърде голямо вследствие на високоомните товари и малката специфична стръмност на MOS транзисторите (в сравнение с биполарните). Това влияние може да се намали с помощта на мощен буфер, който най-често представлява сложен инвертор (фиг.7.4), включен в изхода на логическата схема. Във всяко от неговите две състояния единият от двата мощни изходни транзистора е отпуснен и осигурява малко изходно съпротивление на схемата. Другият транзистор пък е запущен, благодарение на което консумацията в статичен режим е равна на нула.



фиг. 7.4

7.3 СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Лабораторното упражнение **се състои** в:

1. Снемане на предавателните характеристики на всички изучавани схеми, изследване влиянието на размерите на активния и товарния транзистори, определяне стойностите на U^0 , U^1 и запасите на шумоустойчивост;
2. Свързване и изследване на двуходови схеми (И-НЕ, ИЛИ-НЕ) и сложен инвертор;
3. Изследване на преходните процеси във верига от три инвертора (за всяка от изучаваните схеми).

Всички схеми могат **да се изследват**:

- а) експериментално (лабораторен стенд или автоматизирана тестова система);
- б) чрез компютърна обучаваща програма.

Схемата с токостабилизиращ товар се анализира само чрез моделиране.

7.4 ВЪПРОСИ И ЗАДАЧИ

1. Кога U^0 има минимална стойност в схемата от фиг. 7.1?
2. Съставете схеми, които да реализират следните функции:

$$Y = \overline{(X_1 \cup X_2)} \cdot X_3$$

$$Y = \overline{X_1 \cdot X_2} \cup X_3$$

$$Y = \overline{(X_1 \cup X_2)} \cdot (X_3 \cup X_4)$$

Проверете действието им чрез таблица за истинност.

При какви стойности на входните сигнали напрежението на логическата нула в изхода е минимално и при какви - максимално?

3. Каква е консумацията от източника на напрежение E_1 в схемата от фиг.7.2б?
4. Как трябва да се измени схемата от фиг. 7.4, за да действа като неинвертиращ буфер?

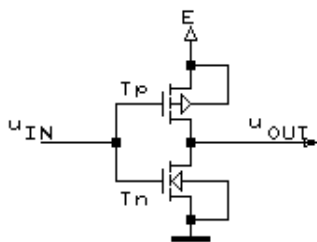
УПРАЖНЕНИЕ №8

CMOS ЛОГИЧЕСКИ СХЕМИ

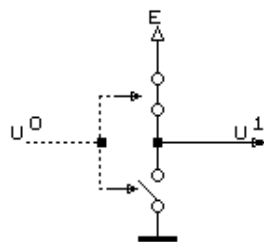
CMOS схемите са изградени на принципа на равностойното използване на двете компоненти - P-канален и N-канален MOS транзистори с индуциран канал. Оттук произлиза и названието им - схеми с противоположна (допълнителна, комплементарна) проводимост или накратко - **комплементарни MOS (CMOS) схеми.**

8.1. ИНВЕРТОР

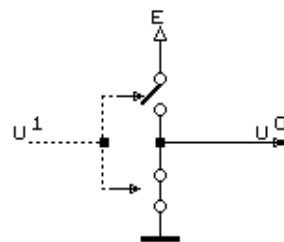
В основната ключова схема - инвертора - двата транзистора T_n и T_p са свързани последователно (фиг. 8.1a).



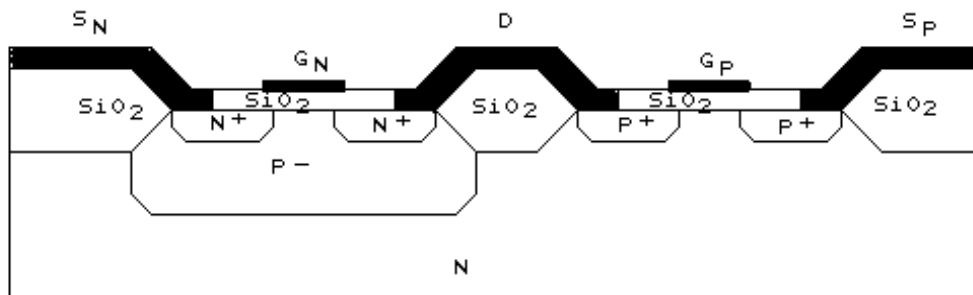
фиг. 8.1a



фиг. 8.1б



фиг. 8.1в



фиг. 8.1г

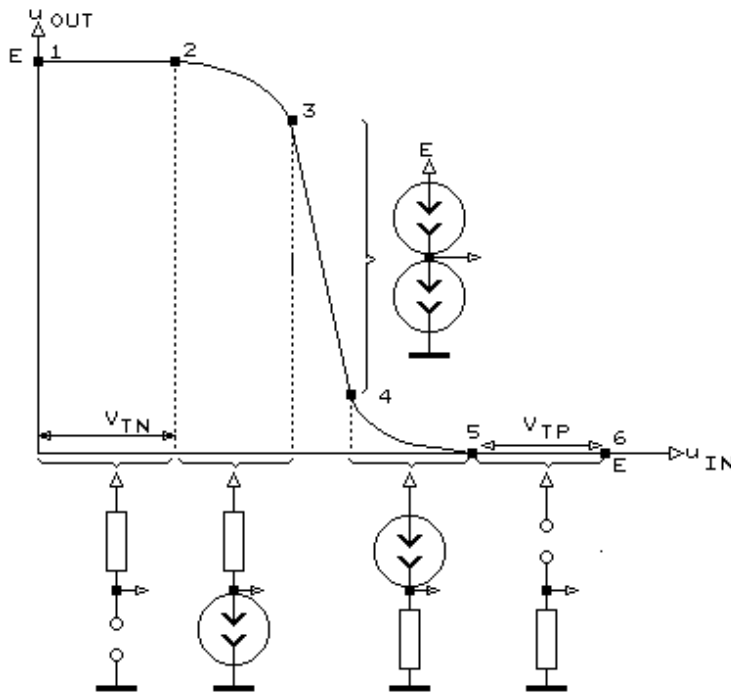
Благодарение на различната им проводимост те могат да се управляват с един входен сигнал (показаното на фиг. 8.1a свързване на подложките - към земя за N-каналния и към +E за P-каналния транзистор осигурява запусване на превода подложка-канал на всеки транзистор). Действието на схемата ще разгледаме при условие, че захранващото напрежение E е по-голямо от V_{TN} и от V_{TP} - праговите напрежения на транзисторите T_n и T_p . Ако входното напрежение е по-малко от V_{TN} , транзисторът T_n е запушен. Транзисторът T_p е отпушен (гейтът му е по-отрицателен от сорса) и работната му точка е в стръмната начална област на характеристиките, т. е. T_p е еквивалентен на активно съпротивление. Тъй като токът през T_p е нула, изходното напрежение е максимално и равно на захранващото:

$$(8.1) \quad u_{OUT} = U_{OUTmax} = U^1 = E.$$

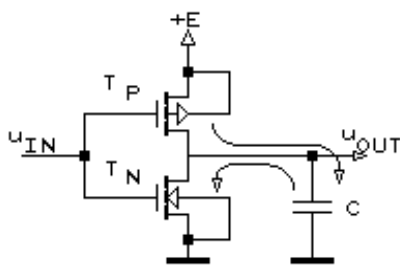
Когато на входа подадем напрежение u_{IN} , поради симетрията действието на схемата е аналогично, но състоянието на транзисторите е обратно на предишното. Сега T_n е отпушен, T_p - запушен и изходното напрежение приема минимална стойност, равна на нула

$$(8.2) \quad u_{OUT} = U_{OUTmin} = U^0 = 0.$$

Ако се пренебрегне съпротивлението на отпушения транзистор, статичният режим се представя чрез опростена еквивалентна схема (фиг.8.1б,в), съставена от два идеални ключа, действащи противофазно. От нея се вижда, че в статичен режим консумираната енергия е равна на нула. Това е основното предимство на CMOS логическите схеми, което ги прави изключително перспективни при създаване на схеми с голяма степен на интеграция. Те обаче се характеризират със сложна полупроводникова структура, съответно - скъп производствен процес. На фиг.8.1г е даден пример на CMOS инвертор с диелектрическа изолация между P и N - каналния транзистор.



фиг. 8.2



фиг. 8.3

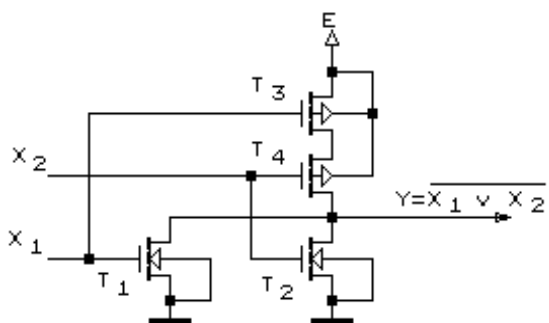
Действието на CMOS инвертора се вижда най-добре от предавателната му характеристика, показана на фиг. 8.2. Тук транзисторите са заменени с еквивалентните им схеми, описани в упражнение ?2. Транзисторът T_N е запущен в участъка 1-2, а транзисторът T_P - в участъка 5-6. Характеристиката е най-стръмна между точките 3 и 4, където и двата транзистора работят в полегатата област от характеристиките. Между точките 2 и 5 през T_N и T_P протича ток, който е максимален в участъка 3-4. Този ток определя една част от мощността, консумирана при превключване. Втората компонента на тази мощност (фиг. 8.3) е свързана с процеса на зареждане на паразитния капацитет C през транзистора T_P и разреждането му през T_N . Тя е пропорционална на честотата на превключване f :

$$(8.3) \quad P = CE^2f.$$

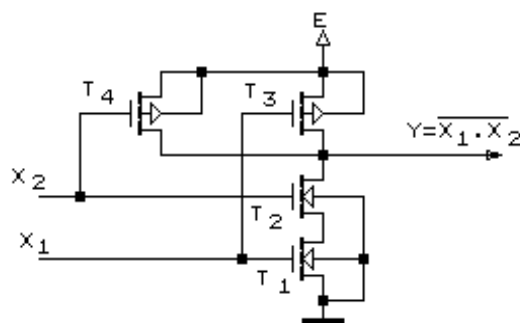
8.2. ЛОГИЧЕСКИ СХЕМИ

Многовходовите CMOS логически схеми, аналогично на разгледания инвертор, не консумират енергия в статичен режим. Това се постига благодарение на спазването на следните правила за изграждане на схемите:

- всеки входен логически сигнал управлява едновременно един P-канален и един N-канален транзистор, при което всяка m-входова логическа схема съдържа общо 2m транзистора;
- схема ИЛИ-НЕ се реализира чрез паралелно свързване на N-каналните и последователно свързване на P-каналните транзистори (фиг. 8.4);

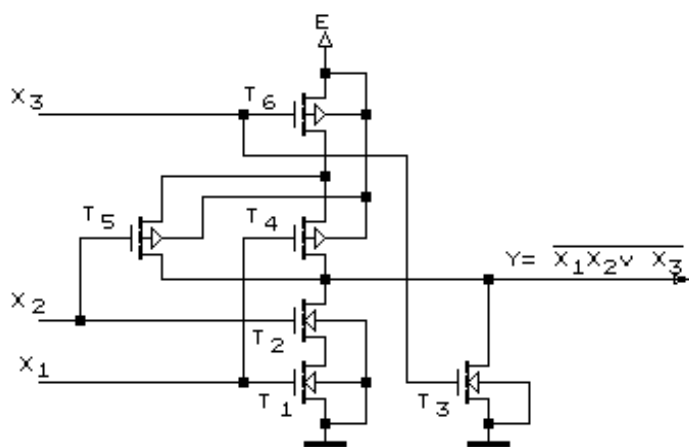


фиг. 8.4



фиг. 8.5

- схема И-НЕ се реализира чрез последователно свързване на N-каналните и паралелно свързване на P-каналните транзистори (фиг. 8.5);
- чрез съчетаване на горните две правила могат да се получат едностъпални многовходови схеми, осъществяващи по-сложни логически функции (фиг. 8.6).



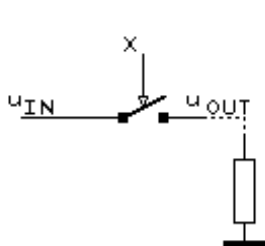
фиг. 8.6

Разгледаните дотук схеми имат ниска шумоустойчивост. Тя се дължи на малката стръмност, (съответно малко усилване) на MOS транзисторите и се проявява: а) чрез широките полегати участъци в активната област на предавателната характеристика (вж. фиг. 8.2); б) чрез отместване на предавателната характеристика в зависимост от комбинацията на входните сигнали. Например, в схемата на фиг. 8.4 можем да снемем предавателната характеристика по два начина. Първият е, като се изменя входният сигнал на транзистора T_1 , а T_2 се поддържа запушен. Вторият начин е, като входният сигнал управлява едновременно T_1 и T_2 . Във втория случай, вследствие на по-голямата стръмност на двата паралелно действащи N-канални транзистора, стръмният участък в предавателната характеристика се премества вляво. За да се подобри шумоустойчивостта, т.е. за да се стесни и стабилизира стръмната област на предавателната характеристика, трябва да се увеличи

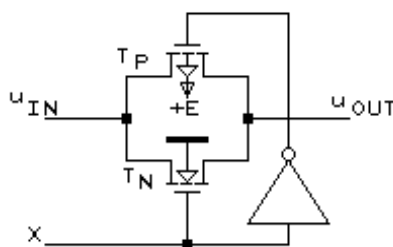
усилването на изходните сигнали. За целта се поставят допълнителни буфери (инвертори) във входовете и/или изхода на схемата.

8.3. АНАЛОГОВ КЛЮЧ

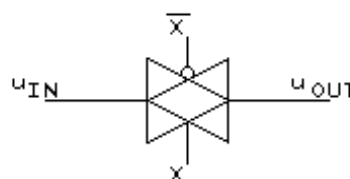
За комутирание на аналогови (непрекъснати) сигнали се използва т.нар. аналогов ключ (фиг.8.7а). Входното аналогово напрежение U_{IN} се предава към изхода при затваряне на ключа, който се управлява от цифров сигнал X . Основно изискване към аналоговия ключ (както впрочем и към всички аналогови схеми) е изходният сигнал да повтаря точно формата на входния. Грешките в това отношение се дължат на: а) проникване на управляващия цифров сигнал в комутираната аналогова верига; б) промяна на съпротивлението на ключа в зависимост от стойността на входното напрежение.



фиг. 8.7а



фиг. 8.7б



фиг. 8.7в

Първата грешка практически се премахва чрез използване на MOS транзистори. В тях управляващият вход - гейтът - е изолиран от канала. Втората грешка се дължи на факта, че съпротивлението на канала на MOS транзистора не е постоянно [виж формули (2.5 и 2.6)], а расте с увеличаване на напрежението между дрейна и сорса на транзистора. Ако обаче, ключът е съставен от два паралелно свързани CMOS транзистора, тогава неговото съпротивление слабо зависи от стойността и полярността на комутираното аналогово напрежение. За да бъдат двата транзистора едновременно отпушени или запушени, необходимо е управляващите сигнали на техните гейтове да бъдат инвертирани един спрямо друг.

Пълната схема на аналоговия ключ е показана на фиг.8.7б, а нейното символично означение - на фиг.8.7в.

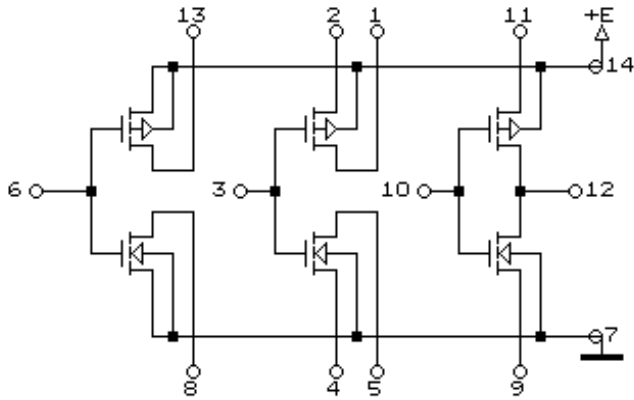
8.4. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи в упражнението са:

1. Снемане на предавателната характеристика на CMOS инвертор. Определяне на праговите напрежения на транзисторите, стойностите на U^0 и U^1 , запасът на шумоустойчивост в двете състояния.
2. Съставяне и изследване на двуходови и тривходови логически схеми (по задание от асистента). Съставяне на таблици за истинност. Снемане на предавателни характеристики при управление с един и два входа.
3. Изследване на преходните процеси и определяне на закъсненията във верига от три CMOS инвертора.
4. Изследване на аналогов ключ в статичен и динамичен режим.

Упражнението се състои от експериментална част (лабораторен стенд или автоматизирана тестова система) и моделиране с компютърна обучаваща програма.

Изследваните схеми се реализират с многофункционалната интегрална схема 4007 (фиг. 8.8).



фиг. 8.8

8.5. ВЪПРОСИ И ЗАДАЧИ

1. Защо е необходима изолация между P и N - каналния транзистор?
2. От какво се ограничава максималната стойност на захранващото напрежение за CMOS логическите схеми?
3. Как ще се измени предавателната характеристика на CMOS инвертора, ако подложката на N-каналния транзистор вместо към земя се свърже към отрицателно напрежение? А ако подложката на P-каналния транзистор се свърже към напрежение, по-голямо от захранващото?
4. Как трябва да се свържат два биполярни транзистора - единият PNP, а другият- NPN, за да се получи ключова схема с допълнителна симетрия? Направете сравнение между нея и CMOS ключова схема.
5. Съставете CMOS едностъпални принципни схеми, реализиращи следните функции:

$$Y = \overline{X_1 \cdot X_2 \cup X_3 \cdot X_4}$$

$$Y = (X_1 \cup X_2) \cdot (X_3 \cup X_4).$$

УПРАЖНЕНИЕ №9

ТРИГЕРИ

9.1. ОБЩИ СВЕДЕНИЯ

Тригерът е електронна схема с две състояния на устойчиво равновесие. Под влияние на управляващия входен сигнал тригерът преминава от едно състояние в друго, при което изходното напрежение се изменя скокообразно. Тези свойства се дължат на неговата структура. Тя представлява двустъпален постоянен ток усилвател, в който напрежението от изхода се подава обратно на входа. Ако усилването в тази затворена с положителна обратна връзка (ПОВ) верига е по-голямо от единица, превключването от едно състояние в друго става лавинообразно, с максимално възможната скорост.

Този процес завършва, когато усилването в затворената верига стане по-малко от единица (на практика, за по-голяма стабилност се предпочита то да бъде равно на нула). Това е възможно, ако двете стъпала в края на превключването влезат в ключов режим. В това състояние схемата може да остане неограничено дълго, докато нов входен сигнал, не я превключи в другото състояние. Благодарение на това си свойство тригерът "помни", т.е. изпълнява функцията на памет за един бит информация.

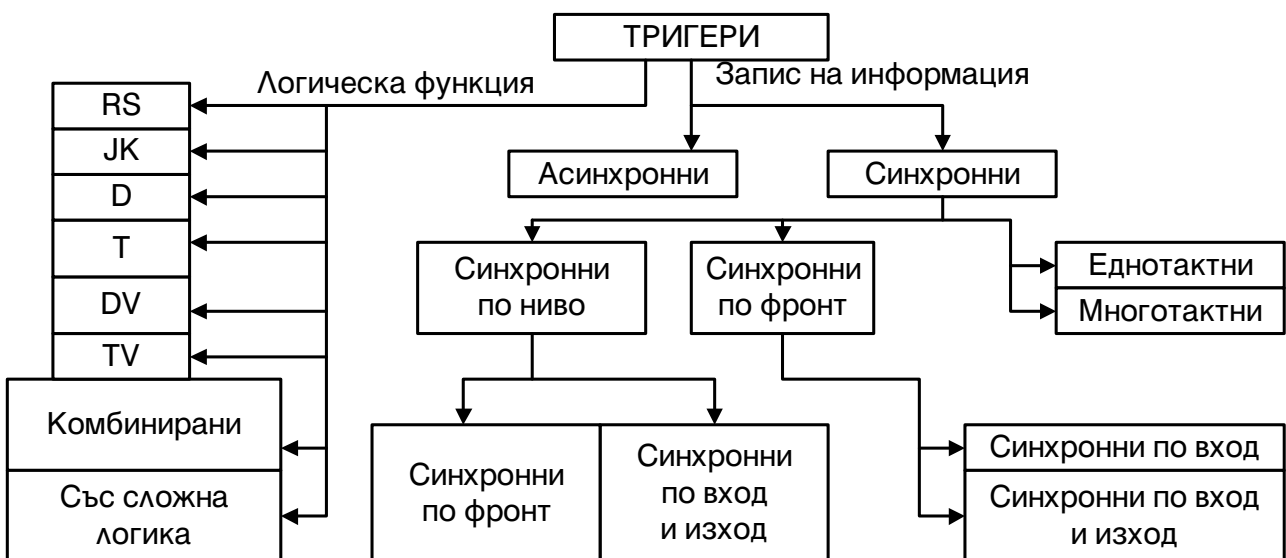


фиг. 9.1а



фиг. 9.1б

В зависимост от схемите на двете стъпала и връзките между тях се получават различни варианти на тригери. Най-често се използват две инвертиращи стъпала (фиг.9.1а), които могат да се представят като характерна симетрична схема (фиг.9.1б), тъй наречената основна тригерна клетка. На базата на нея се изобразяват по-сложни структури, които за краткост също се наричат тригери. Всички те притежават свойството памет, но се различават (фиг.9.2) по:



фиг. 9.2

а) логическата функция определяща тяхното преминаване в ново състояние;

б) начина на въвеждане (запис) на новата информация.

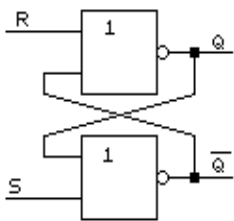
Според логическото им функциониране тригерите могат да бъдат: RS, JK, D, T и т.н. Също така се използват комбинирани тригери, в които се съвместяват едновременно няколко от указаните типове (RS-D, RS-JK) и тригери със сложна входна логика (групи различни входове, свързани помежду си с логически зависимости).

Според начинът на въвеждане (записване) на информацията различаваме асинхронни (без синхронизация) и синхронни (тактувани, синхронизирани) тригери. В асинхронните преходът в ново състояние се предизвиква от изменението на информационните входни сигнали. В синхронните такъв преход възниква само след подаване на специален синхронизиращ (тактов) сигнал С (Clock). В зависимост от броя на тактовите сигнали за управление различаваме еднотактни и многотактни тригери. По начина на възприемане на тактовия сигнал тригерите се делят на синхронни по ниво и синхронни по фронт. В първите при едно от двете нива на синхросигнала тригерът само "помни", а при другото т. нар. **активно** ниво тригерът преминава в новото състояние, определено от информационните входни сигнали. При тригерите синхронизирани по фронт превключването се разрешава **само** в един момент от фронта на тактовия сигнал. В следващите моменти тригерът не възприема входни сигнали независимо от състоянието на тактовия сигнал. Синхронните по ниво и фронт тригери могат да се разделят на синхронни по вход (едностъпални) и синхронни по вход и изход (двустъпални). В едностъпалните постъпването на съответно ниво или фронт разрешава пълното превключване в новото състояние. Двустъпалните тригери се състоят от входен и изходен тригер, които се управляват от тактовия сигнал последователно във времето. Така се гарантира точно момента на въвеждане на входната информация, а след това и момента на извеждане ѝ при едновременна забрана на въвеждането.

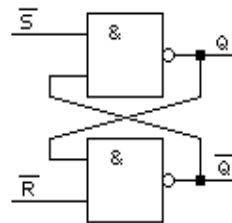
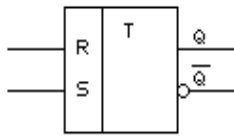
Най-голямо разпространение в цифровите устройства имат RS, JK, D и T тригери.

9.2. АСИНХРОНЕН RS ТРИГЕР

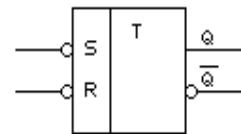
В зависимост от логическата структура различаваме RS тригери с прави и инверсни входове. Техните схеми и условни обозначения са показани на фиг. 9.3.



фиг. 9.3а



фиг. 9.3б



Тригерите от този тип са построени чрез два логически елемента 2ИЛИ-НЕ - тригер с прави входове (фиг.9.3а) или 2И-НЕ - тригер с инверсни входове (фиг.9.3в). Изходът на всеки от елементите е включен към един от входовете на другия елемент, което осигурява двете устойчиви състояния на тригера - чрез ПОВ. Функционирането на тези тригери е дадено съответно в табл. 9.1 и табл. 9.2.

В таблиците Q^t е изходният сигнал, определен от състоянието на тригера в момента t , т.е. в режим на запомняне, а Q^{t+1} е изхода в следващото състояние (момент $t+1$), т.е. след подаване на информацията към входовете му.

За тригера с прави входове Q^{t+1} е равно на 1, при $S=1$ и $R=0$. Това входно въздействие се нарича режим на запис на единица. Въздействие $S=0$ и $R=1$ се нарича режим на запис на нула т.к. $Q^{t+1} = 0$. Изходът $Q^{t+1} = Q^t$ се получава при $S=0$ и $R=0$, т.е.

Таблица 9.1.

S	R	Q^t	$\overline{Q^t}$	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	0*	0*
1	1	1	0	0*	0*

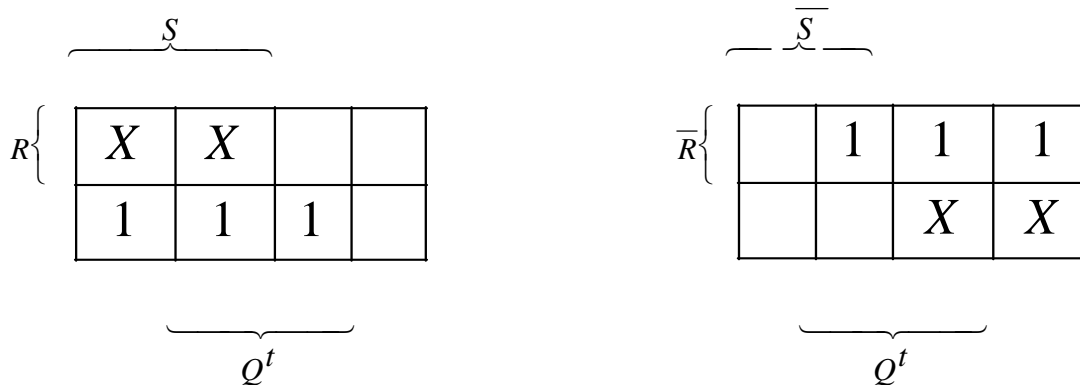
Таблица 9.2.

\overline{S}	\overline{R}	Q^t	$\overline{Q^t}$	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	0	1	1*	1*
0	0	1	0	1*	1*
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	1	0	1	0	1
1	1	1	0	1	0

тригерът не променя състоянието си. При R=S=1 нивата в изходите на тригера са еднакви ($Q^{t+1} = Q^t=0$) и ако след това се подаде входно въздействие R=S=0 тригерът може равновероятно да заеме едно от двете устойчиви състояния. Затова тази комбинация се явява забранена.

За тригера с инверсни входове режимът за запис на единица се реализира при S=0 и R=1, режим за запис на нула - при S=1 и R=0. При S=R=1 не се променя състоянието на информацията. Комбинацията S=R=0 е забранена.

Действието на тригерите освен чрез таблица на истинност може да се определи чрез логическите уравнения наричани още рекурентни или характеристични. Логическите уравнения са аналитичен запис на изходната функция Q^{t+1} , характеризираща работата на съответния тригер. За да получим този аналитичен запис в минимизиран вид използваме карта на Вейч за три променливи, в която нанасяме таблично зададената функция Q^{t+1} . На фиг.9.4 са показани картите за схемите от фиг.9.3а и 9.3б. От тях определяме рекурентните уравнения (9.1) и (9.2), валидни и за двете схеми.



фиг.9.4

(9.1) $Q_{RS}^{t+1} = S \cup \overline{R}.Q^t$
 (9.2) $Q_{RS}^{t+1} = \overline{S}.Q^t \cup \overline{R}$

Така получените логически функции можем да реализираме в елементарен базис ИЛИ-НЕ или И-НЕ. Прилагаме теоремите на Де Морган и получаваме схемните решения, показани на фиг.9.3а - чрез ИЛИ-НЕ и на фиг.9.3б - чрез И-НЕ.

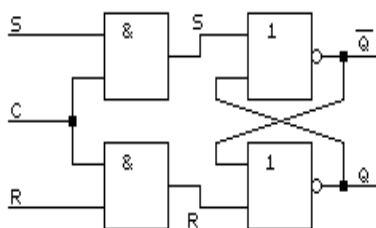
Основните времеви характеристики на асинхронните тригери се явяват времето за превключване t_z и минималната продължителност на входния сигнал t_i , при която още е възможно сигурно сработване на тригера. Времето за превключване t_z завършва, когато по веригата за обратна връзка на входа на тригера се получи сигнал, дублиращ входното въздействие.

Минималната продължителност на входния сигнал, която може да предизвика преобръщане се намира чрез сумиране на закъсненията на елементите във веригата от входа до последния елемент, заключващ ПОВ в този момент.

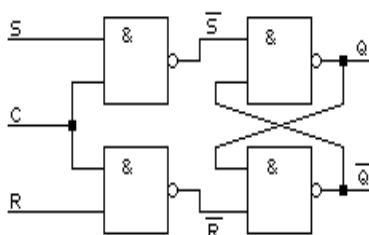
Асинхронните RS тригери самостоятелно почти не се използват, но те се съдържат във всички интегрални тригерни структури, като асинхронни входове за нулиране R (RESET) или установяване на тригера в единично състояние S (SET).

9.3. СИНХРОНЕН ПО НИВО RS ТРИГЕР

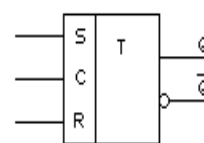
При тях превключването (преходът от едно състояние в друго) става само чрез въздействието на тактов импулс на вход C. Останалите входове R и S показват какво трябва да е следващото състояние на схемата, като по време на въздействието на тактовия импулс те не трябва да се изменят. На фиг.9.5а,б е дадена схема на RS тригер със синхронен по ниво (тактов) вход C. Тя съдържа един асинхронен RS тригер и входна (управляваща) логика, която за първата схема е И, а за втората - И-НЕ. Двете схеми реагират на сигналите на входовете R и S в съответствие с табл.9.1 само при наличие на сигнал 1 на входа C. Условното обозначение на тригера е показано на фиг.9.5в.



фиг. 9.5а



фиг. 9.5б



фиг. 9.5в

Недостатък на тези схеми е изискването за определена продължителност на тактовия импулс. Той не може да бъде много тесен (имаме поне 3 закъснения от ЛЕ), а при по-голяма продължителност схемата не е защитена от шумове. При синхронните RS тригери е недопустимо подаването на 1 на двата информационни входа едновременно с постъпването на тактовия импулс.

9.4. ТРИГЕРИ ТИП JK

При тях входът J е еквивалентен на входа S от RS тригера, а входът K - на входа R, но за разлика от RS тригера, комбинацията R=S=1 е допустима и JK тригера променя състоянието си в противоположното. Таблицата на истинност характеризира работата

Таблица 9.3.

J	K	Q^t	$\overline{Q^t}$	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	1	0
1	1	1	0	0	1

на JK тригера има вида (табл.9.3). Рекурентните уравнения за правия и инверсия изход получаваме в минимизиран вид, чрез нанасяне в карта на Вейч за три променливи.

$$\underbrace{\quad\quad\quad}_J$$

$$K \left\{ \begin{array}{|c|c|c|c|} \hline 1 & & & \\ \hline 1 & 1 & 1 & \\ \hline \end{array} \right.$$

$$\overbrace{Q^t}$$

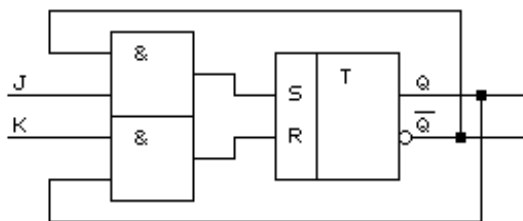
Характеристичните уравнения на JK тригера са във вида:

$$(9.3) \quad Q^{t+1}_{JK} = J \cdot Q^t \cup \overline{K} \cdot \overline{Q^t}$$

$$(9.4) \quad \overline{Q^{t+1}}_{JK} = \overline{J} \cdot \overline{Q^t} \cup K \cdot Q^t$$

Ако съпоставим тези логически уравнения с рекурентните уравнения на RS тригера (9.1) и (9.2) виждаме, че JK тригера (фиг.9.6) може да се изгради от RS тригер и допълнителни логически схеми към S и R входовете съответно:

$$(9.5) \quad S = J \cdot \overline{Q^t} \quad \text{и} \quad R = K \cdot Q^t.$$



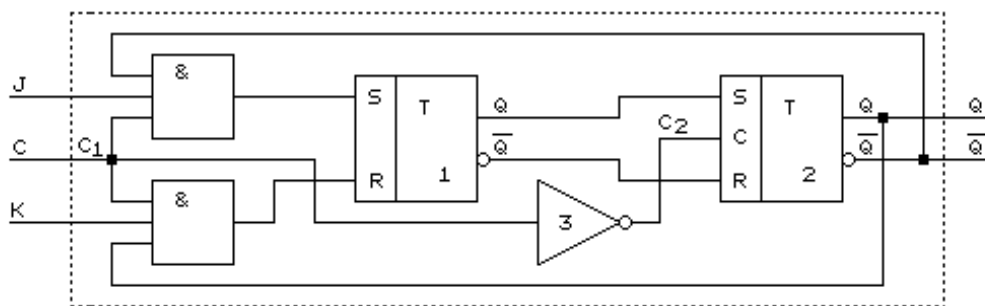
фиг. 9.6

При формалния синтез, обаче, трябва да се има предвид, че изходните сигнали трябва да се променят след завършването на входните. За да функционира надежно JK тригера, той трябва да бъде изграден като синхронен по фронт или с двустъпална структура.

9.4.1. ДВУСТЪПАЛНИ JK ТРИГЕРИ

При тях противоречието между процеса на съхранение на старата и запис на новата информация, се разрешава чрез въвеждането на втори запомнящ елемент. Принципът на действие на такъв тригер става ясно от фиг.9.7.

Блоковете 1 и 2 представляват два синхронни RS тригера. Информационните входове на разглеждания JK двустъпален тригер управляват информационните входове на първия RS тригер. Изходите на първия, който е управляващ, са свързани с информационните входове на втория управляван тригер, а двата изхода на втория тригер постъпват към входните ЛЕ - И. Изходите на управлявания тригер са изходи на двустъпалния JK тригер. Синхронният вход С управлява директно първия RS тригер и след инвертор 3



фиг. 9.7

тактовия входа C_2 на втория. Този инвертор трябва да има по нисък праг на задействуване, отколкото входа C_1 на управляващия тригер. Така приемането на информация се разрешава последователно. Тези тригери се наричат също тригери с вътрешно закъснение или тип MS (MASTER-SLAVE) - управляващ-управляван тригер. Такава вътрешна структура притежава ИС 7472.

Съществува известно ограничение на момента на изменение на информационните сигнали. Те не трябва да се изменят в интервала от време, когато стойността на тактовият сигнал е равен на единица. Това ограничение се премахва при работа със синхронни по фронт тригери. Тези тригери са известни като тригери с динамично управление или схема с три тригера. По-нататък ще разгледаме действието на синхронни по фронт тригери чрез тригер тип D (DELAY-закъснение).

9.5. СИНХРОНЕН D ТРИГЕР

Той има един информационен и един тактов вход. Изходното състояние повтаря входния сигнал, но със закъснение определено от тактовия сигнал. Моментът на запис на информацията се определя от тактовия сигнал.

9.5.1. СИНХРОНЕН ПО НИВО D ТРИГЕР

Таблицата на истинност на синхронния D тригер има вида (табл.9.4):

Таблица 9.4

C	D	Q^t	$\overline{Q^t}$	Q^{t+1}	$\overline{Q^{t+1}}$
1	0	0	1	0	1
1	0	1	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0

Тук Q^t означава логическо ниво на правия изход преди подаване на тактовия импулс, а Q^{t+1} логическо ниво на този изход след подаване на тактовия импулс. Така при $C=0$ (отсъствие на тактов импулс) тригерът запазва състоянието си, а при $C=1$ (наличие на тактов импулс) $Q^{t+1} = D^t$. Така характеристикното уравнение на синхронния D тригер има вида:

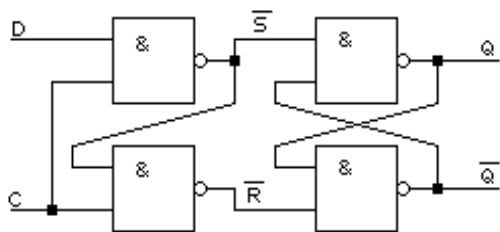
$$(9.6) \quad Q^{t+1}_D = D^t.$$

Тригер тип D може да получим от тригер RS като съпоставим логическите уравнения на RS и D тригера (9.1) и (9.6).

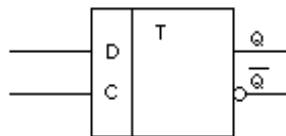
$$(9.7) \quad \text{Ако } D=S=R, \text{ то } Q^{t+1}_{RS} = D \cup \overline{D} \cdot Q^t = D.$$

Така една от възможните структурни схеми на синхронен по ниво D тригер има вида - фиг.9.8а с условно обозначение на фиг.9.8б.

Трябва да се има предвид, че при активно ниво на тактовия импулс $C=1$, нивото на D входа не трябва да се изменя т.к. в противен случай тригерът веднага ще измени състоянието си.



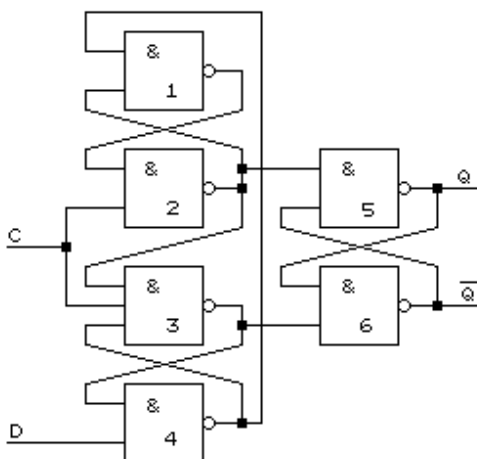
фиг. 9.8а



фиг. 9.8б

9.5.2. СИНХРОНЕН ПО ФРОНТ D ТРИГЕР

При тези схеми информацията се възприема само при изменение на тактовия сигнал от нулево към единично значение или обратно. За да се постигне това трябва да се запомни сигнала съществуващ в момента на прехода на фронта на тактовия сигнал. Поради това в схемата са включени три тригерни клетки. Функционалната схема на такъв D тригер има вида - фиг.9.9.



фиг. 9.9

При тази схема D входът е включен към тригера за много кратко време през предния фронт (от 0 към 1). Времето за подготовка, необходимо за правилната работа се определя от времето за последователно превключване на логическите елементи 1 и 4, което трябва да е завършило в момента на постъпване на тактовия импулс. Такава вътрешна структура притежава ИС 7474.

9.6. ТРИГЕР ТИП Т.

Друг вид синхронен тригер с един информационен вход е T тригера, нарича се още тригер с броячен вход. Той изменя своето състояние в противоположното всеки път, когато на неговия вход постъпва пореден сигнал ($T=1$). А при $T=0$ тригерът не променя състоянието си. Таблицата на истинност на T тригера има вида (табл.9.5).

Уравнението характеризиращо работата на T тригера има вида:

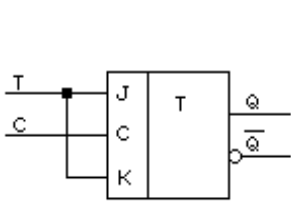
$$(9.8) \quad Q^{t+1}_T = T \cdot Q^t \cup T \cdot Q^t$$

Тези тригери намират широко приложение, но не се произвеждат като отделен тип интегрална схема, т.к. се получават лесно от останалите видове тригери - RS, JK и D.

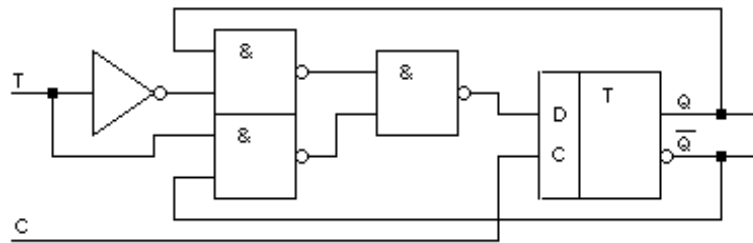
Таблица 9.5

T	Q^t	$\overline{Q^t}$	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	1	0	1
0	1	0	1	0
1	0	1	1	0
1	1	0	0	1

За получаване на Т тригер от JK тригер е достатъчно да се свържат входовете J и K нахъсо (фиг.9.10а). Уравнение (9.3) ще бъде идентично с (9.8), ако $T=J=K$.



фиг. 9.10а



фиг. 9.10б

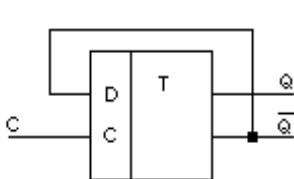
Изграждането на Т тригер от D тригер може да се реализира ако съпоставим уравненията на двата тригера (9.6) и (9.8). Като резултат получаваме :

$$(9.9) \quad D^t = T \cdot \overline{Q^t} \cup T \cdot Q^t$$

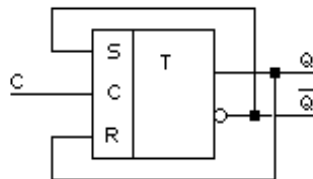
От (9.9) се вижда, че за реализацията са необходими допълнителни логически елементи. Ако желаем тези елементи да са И-НЕ, то преобразуваме логическата функция чрез теоремата на Де Морган. Така схемата на синхронен Т тригер получен от D тригер има вида показан на фиг.9.10б.

Най-голямо приложение намира Т тригера, в който входа Т постоянно е равен на единица ($T=1$). Тогава тригерът се преобръща при постъпването на всеки тактов импулс. От D тригер получаваме Т тригер с $T=1$, ако D входа се свърже с инверсия на изхода на тригера (фиг.9.11а). Тази връзка е очевидна, ако заместим $T=1$ в израза (9.9) и получаваме съответно:

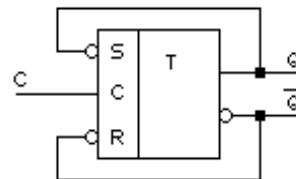
$$(9.10) \quad Q^{t+1}_T = D^t = 1 \cdot \overline{Q^t} \cup 0 \cdot Q^t = \overline{Q^t}$$



фиг. 9.11а



фиг. 9.11б



фиг. 9.11в

Сигурно функциониране на този вид Т тригер се постига с използването на двустъпален или синхронен по фронт D тригер.

От RS тригер се получава Т тригер с $T=1$, като приравним логическите уравнения на RS тригера (9.1) и (9.10). Така получаваме (9.11) и схемата има вида (фиг.9.11б):

$$(9.11) \quad S \cup \overline{R} \cdot \overline{Q^t} = \overline{Q^t}, \text{ откъдето получаваме , че } S = Q^t \text{ и } R = \overline{Q^t}.$$

От RS тригер с инверсни входове се получава T тригер с $T=1$, ако входът S се съедини с правия изход, а входът R - с инверсия на изхода (фиг.9.11в).

Тригерите тип TV и DV имат допълнителен вход V, чрез който при $V = 1$ тригерът работи по описания до сега начин. При $V = 0$ превключването е забранено. Преобразуването на тригерите става с въвеждането на вход V паралелно на вход C.

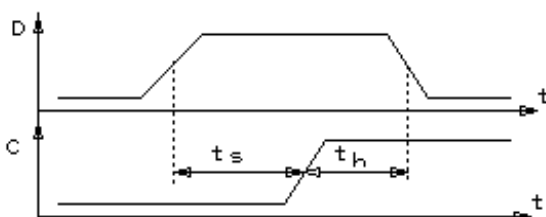
От съществено значение за правилната работа на тригерите са динамичните параметри: t_3 , t_s , t_h и F_{max} .

а) t_3 - време (закъснение) за превключване. Това е интервалът от момента на постъпване на превключващия входен импулс до момента на получаване на изходния сигнал.

б) t_s и t_h - време за подготовка и време за задържане (фиг.9.12). Това са минималните времена на действие на сигнала, който се подава на информационните входове съответно преди и след постъпването на тактовия импулс.

в) F_{max} - максимална честота на превключване на тригера.

Конкретни данни за тези параметри могат да се намерят в справочната литература [1].



фиг. 9.12

9.7. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Упражнението се състои в:

1. Изследване схемите на всички тригери. Проверка таблиците на преходите и верността на рекурентните уравнения на:

- Асинхронен и синхронен RS тригер - реализиран чрез ИС 7400.

- Синхронен JK (M-S) тригер - ИС 7472.

- Синхронен D тригер - чрез ИС 7474.

- Синхронен T тригер реализиран и изследван чрез: а) ИС 7472; б) ИС 7474 с $T=1$; в) ИС 7474 и ИС 7400 с възможност за $T=1$ и $T=0$.

2. Измерване на динамичните параметри на синхронните тригери.

3. Анализ на времевите параметри на тригерите с двустъпална структура.

Упражнението се провежда експериментално - чрез лабораторен стенд и/или автоматизирана тестова система.

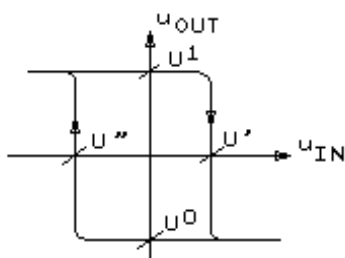
9.8. ВЪПРОСИ И ЗАДАЧИ

1. С какви основни свойства се характеризират тригерите?
2. Укажете области на приложение на асинхронни и синхронни тригери.
3. Съставете и обяснете логическите описания на тригери тип RS, JK, D и T.
4. В какво се състои разликата между тригерите тип RS и JK?
5. Може ли да се използва забранената комбинация на RS тригер?
6. Проследете действието на схемата от фиг.9.9.
7. Защо се налага преобразуването на един тип тригер в друг?

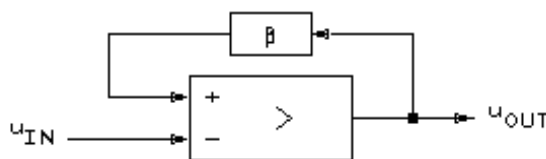
УПРАЖНЕНИЕ №10

НЕСИМЕТРИЧНИ ТРИГЕРИ И ЛОГИЧЕСКИ СХЕМИ С ХИСТЕРЕЗИС

Несиметричните тригери (тригери на Шмит) са схеми с две устойчиви състояния, характеризиращи се със стойности на изходното напрежение U^0 и U^1 , като преходът между тях се извършва при различни стойности на входното напрежение (U' и U'') според посоката на този преход. С други думи казано, в предавателната им характеристика има област на хистерезис (фиг. 10.1а).



фиг. 10.1а



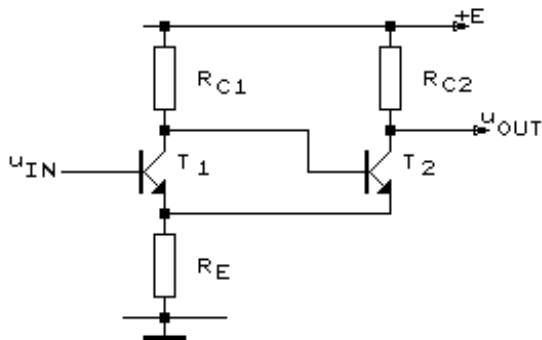
фиг. 10.1б

По същество, независимо от конкретната реализация, несиметричният тригер се получава въз основа на усилвателна схема (фиг. 10.1б), обхваната от положителна обратна връзка (ПОВ). Тогава стойностите на входното напрежение, при които тригерът се превключва (т.нар. прагове на превключване), са:

$$(10.1) \quad U' = \beta U^1 \text{ и } U'' = \beta U^0,$$

където β е коефициентът на предаване на веригата за обратна връзка.

10.1. СХЕМИ НА НЕСИМЕТРИЧНИ ТРИГЕРИ



фиг. 10.2

В типичната схема на несиметричен тригер (фиг. 10.2) ПОВ се осъществява през общия емитерен резистор R_E (затова и тази схема понякога се нарича тригер с емитерна връзка). Напряженията в двете състояния са показани на фиг.10.3 като запущеният транзистор е с прекъсната линия. При нулево входно напрежение T_1 е запущен, а T_2 - наситен, и тогава изходното напрежение (фиг.10.3а) е

$$(10.2) \quad U^0 = U_{RE}' + u_{CE},$$

като

$$(10.3) \quad U'_{RE} \approx \frac{R_E \cdot E}{R_E + R_{C_2}}$$

е падът на напрежение върху емитерния резистор, а u_{CE} - напрежението колектор-емитер на T_2 . С увеличаване на входното напрежение до стойността на първия праг на преобръщане

$$(10.4) \quad U' = U_{RE}' + U_{B0},$$

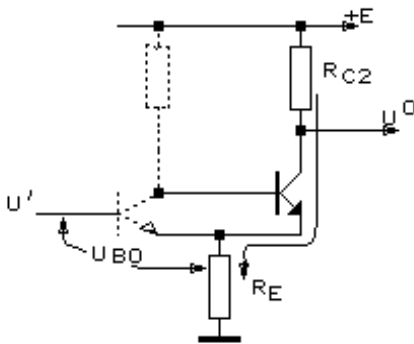
транзисторът T_1 се отпушва и вследствие на ПОВ се развива лавинообразен процес по следната верига:

$$i_{B1} \uparrow \rightarrow i_{C1} \uparrow \rightarrow u_{C1}=u_{B2} \downarrow \rightarrow u_E \downarrow \rightarrow u_{BE1} \uparrow \rightarrow i_{B1} \uparrow.$$

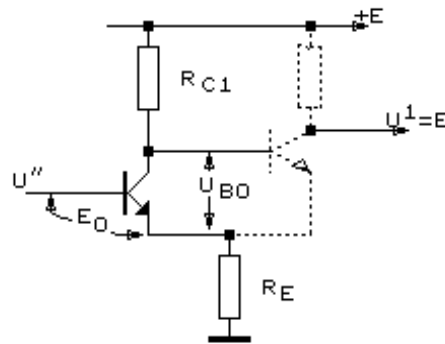
В резултат на този процес схемата преминава във второто си състояние: T_1 - наситен, T_2 - запушен, а в изхода се установява напрежение $U^1 \approx E$.

При намаляване на входното напрежение процесите се развиват аналогично, но в обратна посока. Превключването се извършва след като T_1 премине от насищане в активен режим и напрежението между колектора и емитера му нарастне до стойност U_{B0} . Тогава T_2 се отпушва и отново протича лавинообразен процес. От фиг.10.36 се вижда, че стойността на втория праг на преобръщане е

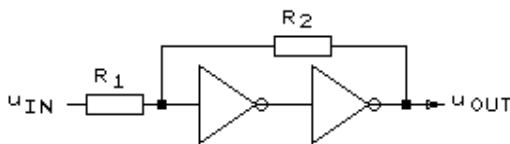
$$(10.5) \quad u_{IN} = E_0 + U_{RE}'' \approx E_0 + \frac{R_E (E - U_{B0})}{R_E + R_{C_1}}.$$



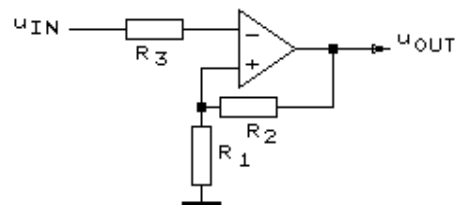
фиг. 10.3а



фиг. 10.3б



фиг. 10.4а

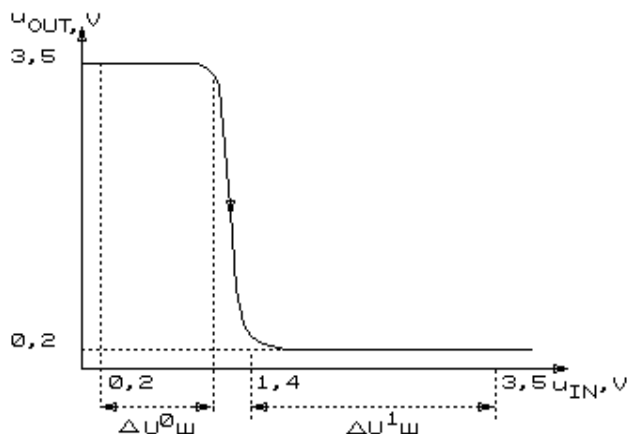


фиг. 10.4б

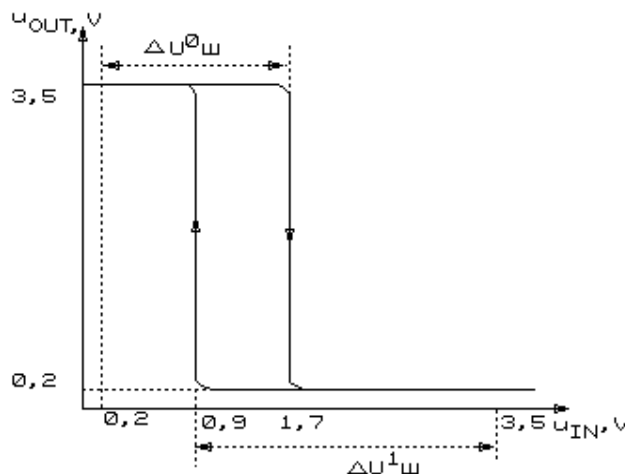
Други възможни схеми на несиметрични тригери са показани на фиг.10.4. Те са изградени на базата на TTL елементи (фиг. 10.4а) и операционен усилвател (фиг. 10.4б), като и в двата случая стойностите на праговете напрежения се определят от съпротивленията на резисторите R_1 и R_2 (R_2 затваря веригата на ПОВ).

10.2. TTL СХЕМИ С ХИСТЕРЕЗИС

При включване на несиметричен тригер като стъпало от TTL схема предавателната характеристика на първоначалната схема (фиг. 19.5а) се видоизменя и в нея се появява област на хистерезис (фиг. 10.5б).

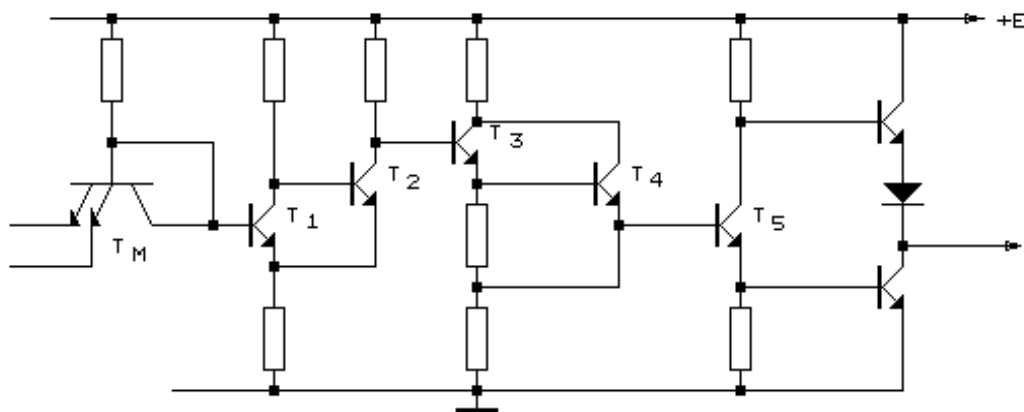


фиг. 10.5а



фиг. 10.5б

В популярната TTL серия 74 има няколко схеми с хистерезис: 7413 (два четириходови елемента И-НЕ), 7414 (шест инвертора) и 74132 (четири двувходови елемента И-НЕ). На фиг. 10.6 е показана принципната схема на един елемент от 74132, като аналогична е структурата и на другите споменати ИС (разлика има в броя на входовете, както и при различните модификации - N, S, LS). Тригерът на Шмит е изграден от транзисторите T_1 и T_2 , а T_3 и T_4 преместват нивата на изходния му сигнал така, че да е възможно правилното управление на T_5 . Колекторният преход на многоемитерния транзистор е шунтиран, поради което всъщност налице е една диодна схема И, съставена от емитерните преходи на T_M . Срещуположното свързване на тези преходи спрямо емитерния преход на T_1 води до осъществяване на температурна стабилизация на



фиг. 10.6

праговете на превключване, тъй като измененията на напреженията върху PN преходите под влияние на топлината взаимно се компенсират.

10.3. CMOS ТРИГЕР НА ШМИТ

Схемата на фиг. 10.7а може да се получи от базовия тригер на Шмит (фиг. 10.2) като:

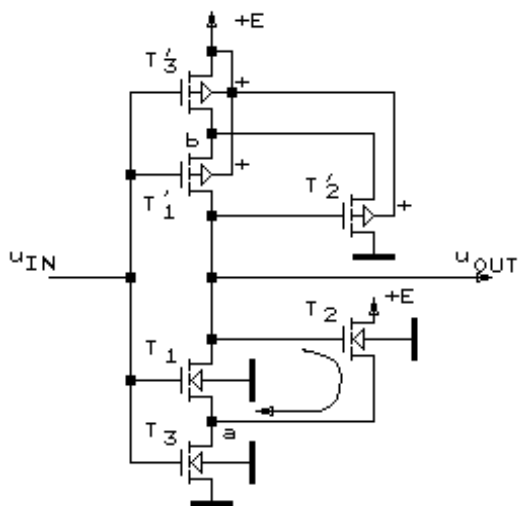
- а) биполарните транзистори T_1 и T_2 се заменят с N-каналните MOS транзистори T_1 и T_2 , а емитерният резистор - с аналогичен транзистор T_3 ;
- б) вместо товарни резистори се поставя огледална структура от P-канални MOS транзистори (T_1', T_2', T_3');
- в) гейтовете на T_1 и T_3 (съответно T_1' и T_3'), се свързват заедно, тъй като по време на лавинообразния процес на преобръщане и двата транзистора трябва да са отпушени;
- г) входният сигнал, в съответствие с изискванията при изграждане на CMOS схеми (виж УПРАЖНЕНИЕ №8), управлява едновременно P и N - каналните входни транзистори.

Действието на тази - на пръв поглед по-сложна схема е аналогично на действието на основния тригер на Шмит (фиг. 10.2). При малко входно напрежение T_1 и T_3 са запушени, P-каналните транзистори T_1' и T_3' са отпушени и през тях положителното захранващо напрежение достига до изхода. Но тъй като не протича никакъв ток, напрежението върху T_1' е нула. Но то всъщност е напрежението гейт - сорс на транзистора T_2' . Следователно T_2' е запушен. От друга страна транзисторът T_2 е отпушен от високото изходно напрежение (равно на захранващото) постъпващо на гейта му. Той поддържа в т.а високо напрежение ($U_a = E - V_{TN}$), което е пречка за отпушването на T_1 .

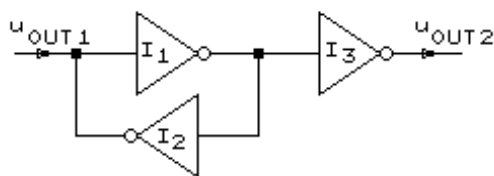
Когато входното напрежение расте, първо се отпушва транзисторът T_3 (при $U_{IN} = U_{TN}$), и токът през него и през T_2 започва да расте, а напрежението в т.а намалява. Геометричните размери на T_2 и T_3 се подбират така, че когато напрежението в т.а стане равно на половината от захранващото, транзисторът T_1 да се отпуши. Тогава стойността на входното напрежение е

$$(10.6) \quad U' = V_{TN} + \frac{E}{2},$$

и представлява първият праг на преобръщане, тъй като в този момент протича ток от захранването през транзисторите T_3', T_1', T_1, T_3 . Изходното напрежение започва да намалява. Едновременно протичат два лавинообразни процеса. Единият е в затворената верига на ПОВ образувана от T_1 и T_2 и завършва с отпушването на T_1 и запушването на T_2 .



фиг. 10.7а



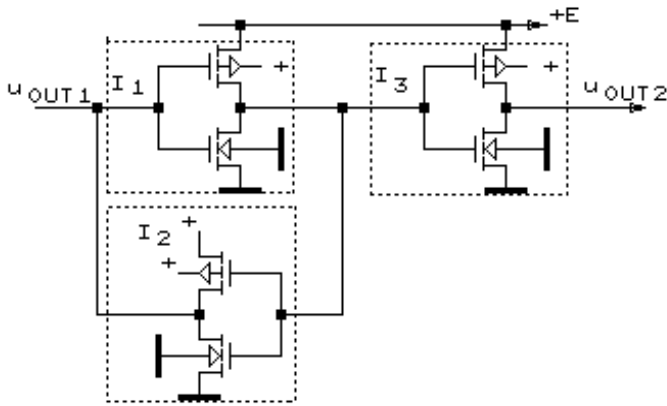
фиг. 10.7б

Вторият е в аналогичната верига на T_1' и T_2' и завършва със запушването на T_1' и отпушването на T_2' . При това изходното напрежение на схемата става равно на нула.

Тъй като схемата е симетрична, когато входното напрежение намалява, второто преобръщане настъпва при $U_{IN} = U''$, което е равно на

$$(10.7) \quad U'' = \frac{E}{2} - V_{TP}.$$

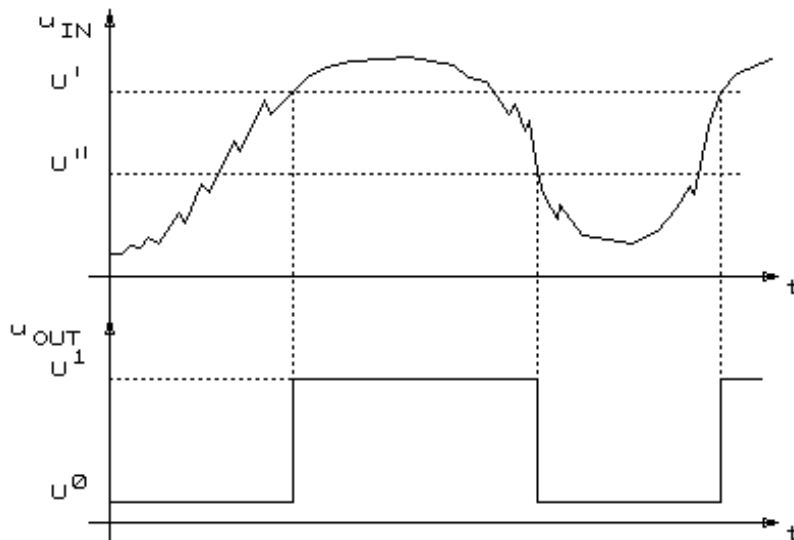
Тригерът на Шмит обикновено се използва с буфер, съставен от три инвертора (фиг.10.7б,в). С втория от тях (I_2) се внася допълнителна ПОВ, която увеличава скоростта на преобръщане и стабилизира праговете. Транзисторите в този инвертор имат много по-малки размери в сравнение с всички останали транзистори.



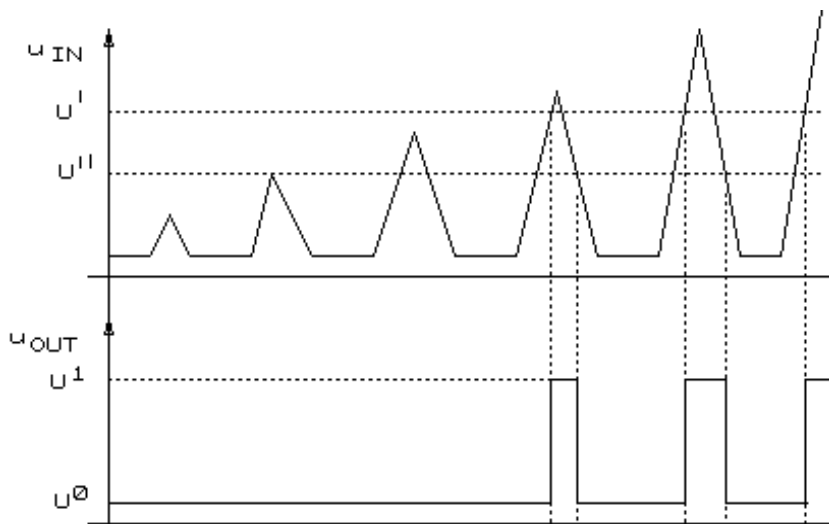
фиг. 10.7в

10.4. ПРИЛОЖЕНИЕ НА НЕСИМЕТРИЧНИТЕ ТРИГЕРИ

Наличието на две устойчиви изходни нива и на два строго фиксирани прага за преход между тях определя приложението на разгледаните схеми. То може да се обобщи като преобразуване на входен сигнал с произволна форма в правоъгълен сигнал с точно определени нива и стръмни фронтове, т.е. като формиране на импулси (фиг. 10.8а). В



фиг. 10.8а



фиг. 10.86

частност елементът с хистерезис позволява да се отделят от поредицата входни импулси само онези, чиято амплитуда е по-голяма от зададена стойност (U' на фиг. 10.86), т.е. работи като прагов детектор.

Логическите елементи с хистерезис се отличават с повишена шумоустойчивост (вж. фиг. 10.5). Освен това с тях лесно могат да се изградят генератори на импулси, като към входа на елемента се свързва времезадаващ кондензатор.

10.5. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Упражнението се състои в:

1. Реализиране на тригери на Шмит с биполярни транзистори, TTL елементи и с операционен усилвател;
2. Снемане на предавателните им характеристики при различни стойности на резисторите;
3. Снемане на предавателната характеристика на TTL елемент с тригер на Шмит, определяне на запасите от шумоустойчивост и сравнението им с тези за обикновена TTL схема (вж. упражнение ?3).
4. Снемане на осцилограми в различните схеми на несиметрични тригери при подаване във входа им сигнал с правоъгълна, синусоидална и тригонообразна форма.

Лабораторното упражнение **се провежда** върху лабораторен стенд или автоматизирана тестова система. За самостоятелна подготовка може да се използва обучаваща програма за несиметрични тригери.

10.6. ВЪПРОСИ И ЗАДАЧИ

1. Влияе ли стойността на захранващото напрежение (вж. фиг. 10.2) върху праговете на превключване?
2. Кои са причините за нестабилността на праговете напрежения (виж изразите 10.4 и 10.5)?
3. На какво се дължи голямата стръмност на наклонения участък от предавателната характеристика на несиметричния тригер?
4. В какви случаи е целесъобразно да се използва логически елемент с хистерезис?
5. Може ли да се получи схема с хистерезис без да се използва положителна обратна връзка?
6. Изчислете праговете на превключване в схемата от фиг.10.2 за $R_{C1}=2k\Omega$, $R_{C2}=1k\Omega$ и стойности на R_E от 100 до 1000 Ω . Възможно ли е изходният сигнал от тази схема да управлява стандартен TTL елемент?

УПРАЖНЕНИЕ №11

МУЛТИВИБРАТОРИ

11.1. ОБЩИ СВЕДЕНИЯ

Мултивибраторите са генератори на импулсни сигнали, чиято продължителност се определя от RC вериги наречени **времеопределящи, времезадаващи** или **хронирани** (от гръцки *chronos* - време).

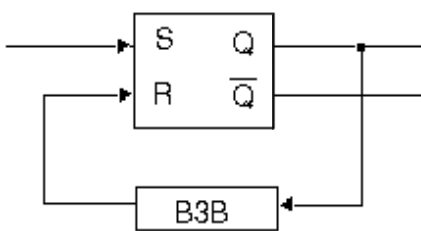
В зависимост от начина на действие (работния режим) мултивибраторите могат да бъдат **чакащи** и **автогенераторни**. **Чакащият** (еднотактен) **режим** се характеризира с едно устойчиво и едно временно устойчиво състояние. В първото схемата може да остане неограничено дълго време. При постъпване на пусков импулс тя преминава в квазиустойчиво състояние. Времетраенето му се определя само от хронирания елементи и обикновено не зависи от продължителността на пусковия импулс. След завършване на временно устойчивото състояние схемата самостоятелно се връща в началното си устойчиво състояние и остава в него до постъпването на нов пусков сигнал. **Автогенераторните мултивибратори** имат две квазиустойчиви състояния. Чрез тяхното редуване се генерират периодични импулсни сигнали, без да е нужно външно пускане.

11.2. ЧАКАЩИ МУЛТИВИБРАТОРИ

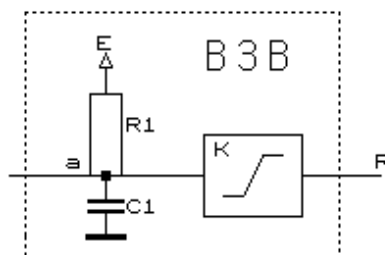
В настоящето упражнение се изследват интегралните чакащи мултивибратори (**ЧМ**) от сериите 54/74. Такива схеми са 74121, 74122, 74123, 74221. Техните характерни особености са:

- външно включване на дискретни времезадаващи компоненти - кондензатор и резистор;
- наличие на няколко входа за задействане, свързани помежду си с определени логически функции;
- висока стабилност на продължителността на генерирания импулс при изменение както на захранващото напрежение, така и на температурата.

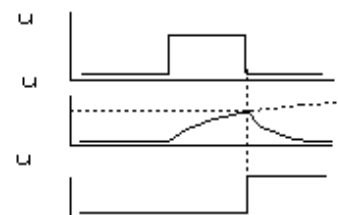
При синтезирането на ЧМ най-често се използва комбинацията от асинхронен RS-тригер, който обуславя устойчивото състояние на схемата и времезадаваща верига, която определя продължителността на квазиустойчивото състояние, съответно на генерирания импулс (фиг.11.1а). Времезадаващата верига (фиг.11.1б) действа на принципа на зареждане (разреждане) на кондензатор, който заедно с хронирания резистор R1 образува интегрираща (диференцираща) група. Когато напрежението върху кондензатора достигне прагово ниво, определено от формираща (компараторна) схема - К, се формира импулс на входа R, който връща тригера в устойчиво състояние.



фиг. 11.1а



фиг. 11.1б



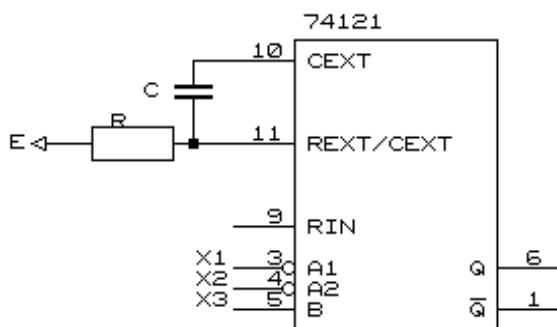
фиг. 11.1в

Чакащият мултивибратор 74121 има три управляващи входа - X_1 , X_2 и X_3 , свързани с логическата зависимост:

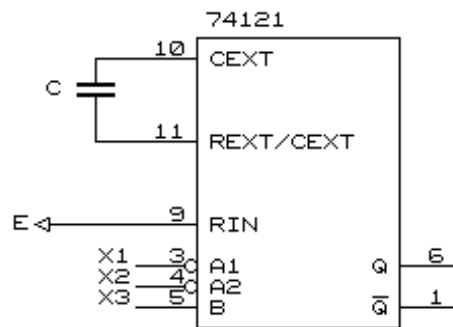
$$(11.1) \quad (\overline{X_1} \cup \overline{X_2}) \cdot X_3 .$$

Мултивибраторът се пуска от положителния фронт (прехода 0-1) на сигнала на входа X_3 , като при това е необходимо поне на един от входовете X_1 и X_2 нивото да е 0. Сигналите на входовете

X_1 и X_2 пускат мултивибратора със своя отрицателен фронт (прехода 1-0), при $X_3 = 1$. Продължителността на пускащите импулси трябва да е не по-малка от 50ns. Фронтовете на сигналите на входовете X_1 и X_2 трябва да нарастват не по-бавно от 1 V/ms. Във входа X_3 е включен тригер на Шмит и затова там минималната допустима скорост на нарастване на фронта на пускащите импулси X_3 е значително по - ниска - до 1 V/s. Дискретните елементи R и C на времезадаващата верига се включват към изводите на ИС. Начините за включване на чакащия мултивибратор 74121 са дадени на фиг 11.2а. В случая на фиг.11.2б. е използван вътрешния резистор, чиято стойност е 2к Ω . и външно е включен само кондензаторът C.



фиг. 11.2а



фиг. 11.2б

Продължителността t_i на формирувания импулс се определя от зависимостта

$$(11.2) \quad t_i = 0,7.RC.$$

За бързо ориентировъчно определяне на съпротивлението на резистора R и капацитета на кондензатора C при зададена продължителност на импулса t_i може да се използват номограми дадени в [8].

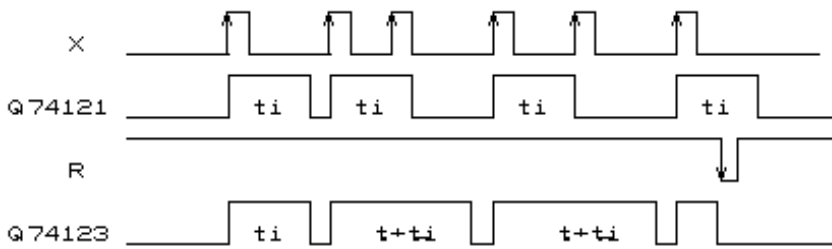
Съпротивлението R може да се изменя от 1,4к Ω до 40к Ω , а кондензаторът C - от 10pF до 1000 μ F. Продължителността на импулса се характеризира с висока стабилност и може да бъде в границите от 40ns до 28s.

Схемата 74221 съдържа два ЧМ от разгледания тип (74121) с тази разлика, че те имат само по един вход за задействане от отрицателен фронт и нямат вграден времезадаващ резистор. Освен това чакащите мултивибратори 74221 притежават допълнителен вход за нулиране (R): За да функционира мултивибраторът, сигналът във входа R трябва да е 1. Когато мултивибраторът е задействан ($Q=1$) и сигналът R стане 0, мултивибраторът се нулира ($Q=0$). Импулс на входа R за нулиране на мултивибратора може да постъпи не по-рано от 50ns след пускане на мултивибратора от входния сигнал. Стабилността на продължителността на формирувания импулс при 74221 е по-ниска в сравнение с 74121 при еднакво изменение на захранващото напрежение и температура.

Чакащите мултивибратори 74122 и 74123 притежават следните допълнителни възможности:

а) при постъпване на втори входен импулс, преди да е завършил генерираният импулс, процесът на генерирането му започва отново, като продължителността на изходния импулс се увеличава с интервала между двата входни импулса. Това разширяване може да се извърши неограничен брой пъти ;

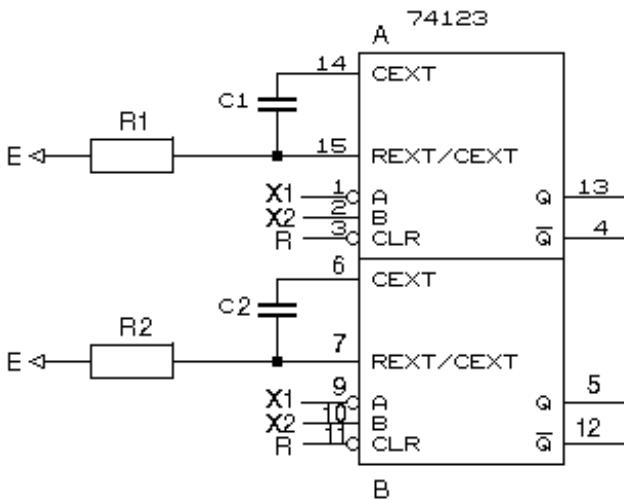
б) при подаване на определено логическо ниво на допълнителен (нулиращ) вход R генерирането на импулса се прекратява и чакащият мултивибратор се връща в стабилното си състояние. Докато е приложен нулиращият импулс постъпващите входни импулси не могат да го задействуват. Тези възможности са пояснени на фиг.11.3.



фиг. 11.3

Схемата 74122 има четири управляващи входа, а 74123 само два. В 74123 няма предвиден вътрешен резистор за времезадаващата верига. Това намалява броя на изводите на мултивибратора и позволява в един корпус с 16 извода да се поместят два еднотипни чакаци мултивибратора. Свързването на времезадаващите вериги към изводите на 74123 е показано на фиг.11.4.

Пускането на ЧМ 74123 става от положителния фронт на сигнала X_2 (преход от 0 към 1) при условие, че $X_1 = 0$ и $R = 1$, или от отрицателния фронт на сигнала X_1 при условие, че $X_2 = 1$ и $R = 1$. Формиране на импулс може да се стартира и чрез положителния фронт(преход от 0 към 1) на допълнителния вход R при условие, че $X_1 = 0$ и $X_2 = 1$.



фиг. 11.4

Продължителността на импулса t_i формиран от чакация мултивибратор 74123 се определя от зависимостта:

$$(11.3) \quad t_i = k \cdot RC \left(1 + \frac{0,7}{R} \right),$$

където, ако R е в [kΩ] и C в [pF], t_i е в [ns], а коефициентът k има следните стойности:

k = 0,28 - за нормалната серия и C < 1000pF;

k = 0,33 - за серия L и C < 1000pF;

k = 0,25 - за нормалната серия и C > 1000pF;

k = 0,29 - за серия L и C > 1000pF.

За определяне на продължителността на генерирания импулс за ЧМ от серия LS и C > 1000pF се прилага зависимостта:

$$(11.4) \quad t_i = 0,45RC.$$

Ограничителни условия за избор на стойността на R са:

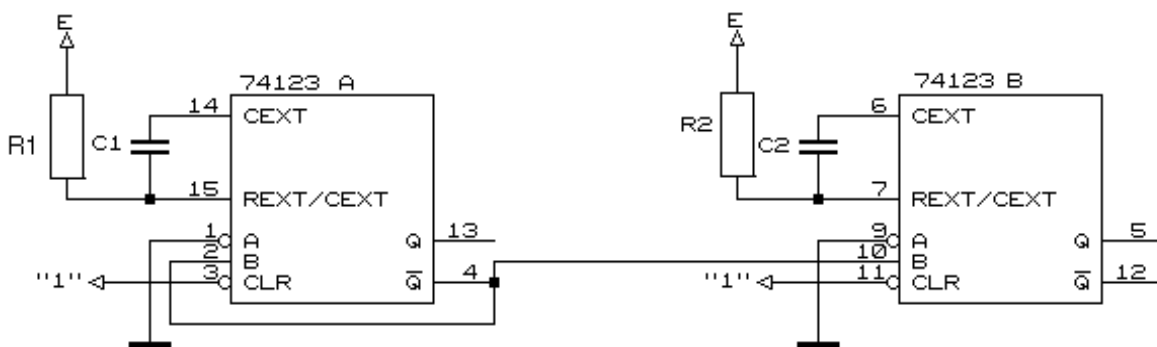
$$5k\Omega < R < 50k\Omega \text{ за } C < 1000pF;$$

$5k\Omega < R < 30k\Omega$ за $C > 1000\mu F$ за нормалната и за серия L;
 $5k\Omega < R < 260k\Omega$ за серия LS.

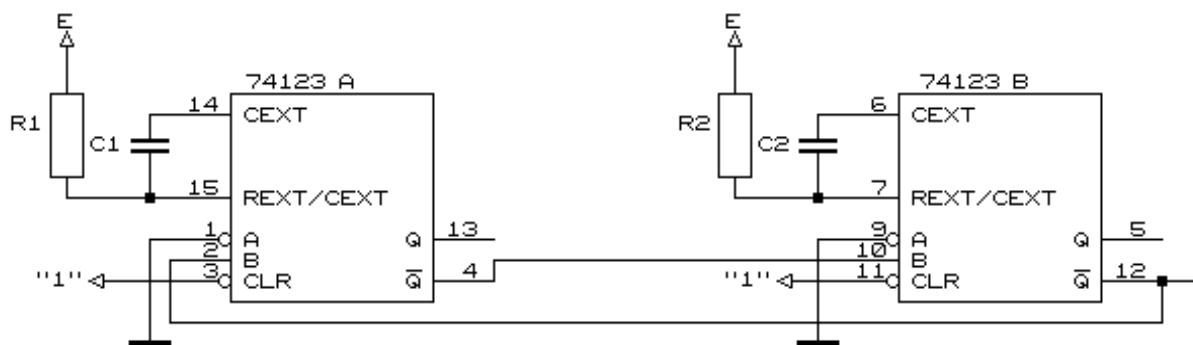
11.3. АВТОГЕНЕРАТОРНИ МУЛТИВИБРАТОРИ

Характеризират се с две квазиустойчиви състояния. При включване на захранването се преминава непрекъснато от едното в другото състояние и се генерират правоъгълни импулси.

Най-подходящи за осъществяване на автогенераторни мултивибратори (АМ) са схемите 74123, или 74211, в които има два чакани мултивибратора. Съществуват два начина на свързване на схемата 74123, за да се образува АМ. При единия начин (фиг.11.5а) инверсният изход на първия ЧМ се свързва с входа му X_2 . В резултат на това включване той започва да работи като АМ - след завършването на изходния импулс с положителния фронт мултивибраторът отново се пуска и в инверсия му изход се получава кратък положителен импулс. Този импулс пуска втория ЧМ. Следователно първият мултивибратор определя периода на повторение, а вторият - коефициента на запълване, т.е. периодът на повторение на импулсите се определя от времезадаващата верига $R_1 C_1$, а коефициентът на запълване - от времезадаващата верига $R_2 C_2$. За да функционира АМ, трябва да се спазва условието $R_1 C_1 > R_2 C_2$, т. е. периодът на повторение на краткотрайните импулси от първия чакан мултивибратор да бъде по-голям от продължителността на импулса, формиран от втория чакан мултивибратор.



фиг. 11.5а



фиг. 11.5б

В случаите, когато се допуска коефициентът на запълване на импулсите да е много малък, като автогенериращ мултивибратор може да се използва само първата половина от схемата на фиг.11.5а.

Автогенериращият мултивибратор от фиг.11.5б е съставен от два чакани мултивибратора, които взаимно последователно се пускат един друг. Времезадаващата верига $R_2 C_2$ определя продължителността на положителния полупериод на изходния импулс (в изхода Q на втория чакан мултивибратор), а времезадаващата верига $R_1 C_1$ - на отрицателния полупериод.

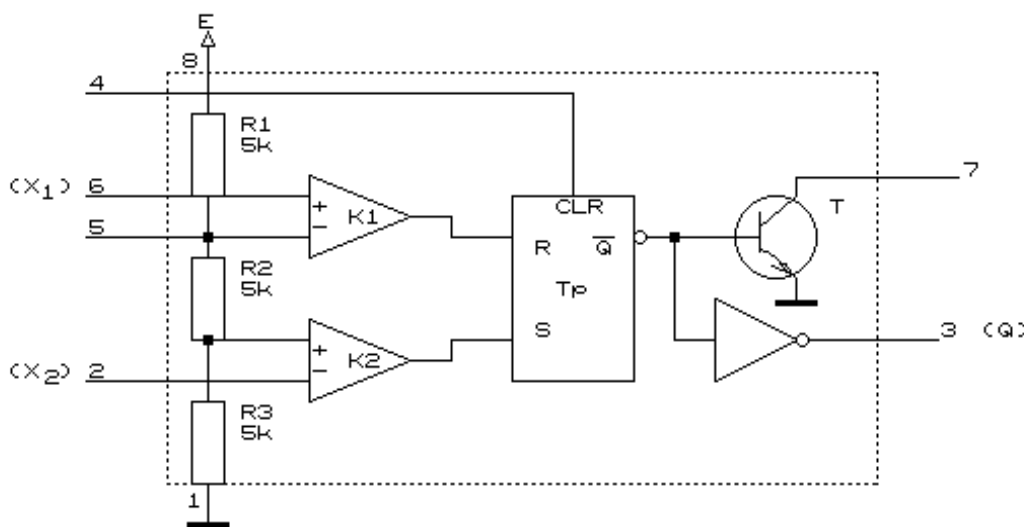
Генериране на правоъгълни импулси и задаване на времеинтервали с висока стабилност на параметрите можем да получим и със специализирани ИС - интегрални таймери 555, 556, 558.

Структурата им дава възможност да се използват като чакащи или автогенераторни мултивибратори.

11.4. ТАЙМЕР 555

Таймерът 555 има смесена аналогово - цифрова структура. Той работи със захранващи напрежения в диапазона от +4,5V до +15V. Таймерът съдържа два компаратора (K_1 и K_2), управляващи състоянието на един R - S тригер (Tr), чиито инверсен изход управлява транзистор (Т) включен в схема с отворен колектор, а това означава, че за неговата работа е нужна външна схема. Чрез транзистора Т се разрежда времезадаващия кондензатор в края на всеки цикъл. Резистивният делител R_1, R_2, R_3 определя потенциалите на инвертиращия вход на компаратора K_1 ($U_{(-)1} = \frac{2E}{3}$) и на неинвертиращия вход на компаратора K_2 ($U_{(+2)} = \frac{E}{3}$). Инвертиращият усилвател на изхода гарантира изходни сигнали с нива на напрежение 0V или E. Изходът на таймера се съгласува с ТТЛ ИС, ако захранващото напрежение е равно на +5V. На фиг.11.6. е показан таймерът 555, със следните изводи:

- а) извод 1 - захранващо напрежение 0V;
- б) извод 2 - вход(X_2) за включване на таймера (при подаване на отрицателен импулс) и установяване на изхода на високо напрежение;
- в) извод 3 - изход Q;
- г) извод 4 - вход за нулиране CLR. При CLR = 1 таймерът функционира, а при CLR = 0 действието на таймера се блокира и $u_{OUT}(Q) = 0$;



фиг. 11.6

д) извод 5 - управляващо напрежение, което може да променя опорните напрежения на входовете на компараторите, чрез външен резистор между изводи 5 и 8; или да гарантира стабилност на опорните напрежения като отстранява шумовете постъпващи от захранването, чрез свързване на кондензатор между извод 5 и 1 със стойност 10nF;

е) извод 6 - вход(X_1) управляващ състоянието на първия компаратор (K_1). Докато напрежението на входа X_1 е по-ниско от $2E/3$ ($u_X = U_{(+1)} < U_{(-)1}$), в изхода на K_1 има логическа нула и той не оказва влияние на състоянието на тригера (Tr). При $u_X > 2E/3$ компараторът K_1 се превключва и установява тригера в състояние 0, при което на изхода на таймера също се получава логическа 0;

ж) извод 7 - за външно свързване на времезадаващата верига С и R, чрез която се определя продължителността на генерираните импулси;

з) извод 8 - захранващо напрежение +E.

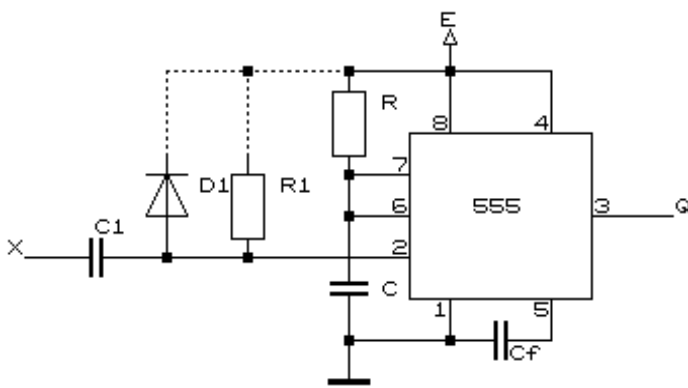
В настоящото упражнение ще използваме ИС 555 като чакащ и автогенераторен мултивибратор.

На фиг.11.7а е дадено свързването на ИС 555 като чакащ мултивибратор. При този режим на работа външно се включва резистор R и кондензатор C. Към общата точка на резистора и кондензатора се свързва входът (X₁) на компаратора K₁ и колекторът на транзистора (Т).

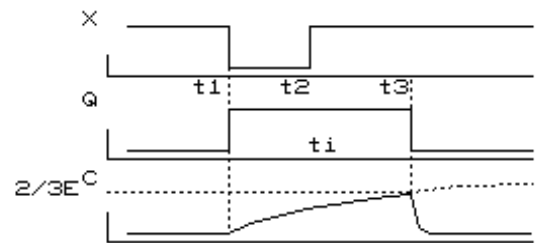
Задействането на чакащия мултивибратор става през входа X₂. Схемата се пуска от отрицателния

фронт (преход от 1 в 0) на сигнала на входа X₂, който трябва да достигне $u_x < U_{(+2)} = \frac{E}{3}$. Тогава компараторът K₂ се превключва, S=1 и тригерът се установява в състояние 1. Получава се Q=1 (инверсия изход = 0), транзисторът Т се запуща, а кондензаторът С започва да се зарежда през резистора R и напрежението върху него нараства. Когато u_C достигне праговото ниво $U_{(-1)} = \frac{2E}{3}$ (t₃

фиг.11.7б), компараторът K₁ се превключва, R=1, тригерът се установява в състояние 0 и транзисторът Т се отпушва, с което изходният импулс се прекратява, а кондензаторът С бързо се разрежда през транзистора Т.



фиг. 11.7а



фиг. 11.7б

Продължителността на генерирания импулс t_i се определя за u_C = 2E/3 от зависимостта (11.5):

$$(11.5) \quad u_C = E \left(1 - e^{-\frac{t}{RC}} \right);$$

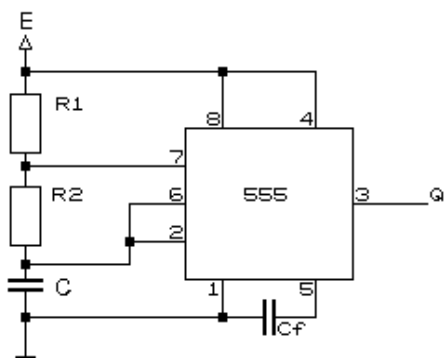
$$(11.6) \quad t_i = 1,1RC.$$

За нормалната работа на ИС 555 като чакащ мултивибратор входният импулс трябва да завърши преди момента t₃. Действително, за да може сигналът R=1 да превключва тригера Tr в състояние 0, е необходимо S=0, което се получава при u_X > U₍₊₂₎. За да се осигури изпълнението на това изискване, пускащите импулси се подават често пъти през входа на диференцираща верига C₁,R₁ и D₁, показана на фиг.11.7а с прекъснатата линия. Резисторът R₁ свързан с E, осигурява високо логическо ниво на входа X₂ в паузата между входните импулси (u_X=E). Диодът D₁ ограничава положителния отскок на напрежението u_X при прекратяване на входния импулс (неговото разтрептяване в този момент може да предизвика повторно задействане на чакащия мултивибратор). Времеконстантата R₁ C₁ на входната верига трябва да се избира значително по-малка от тази на времезадаващата група. При тази входна верига пускащите импулси трябва да имат амплитуда, по-голяма от 2E/3.

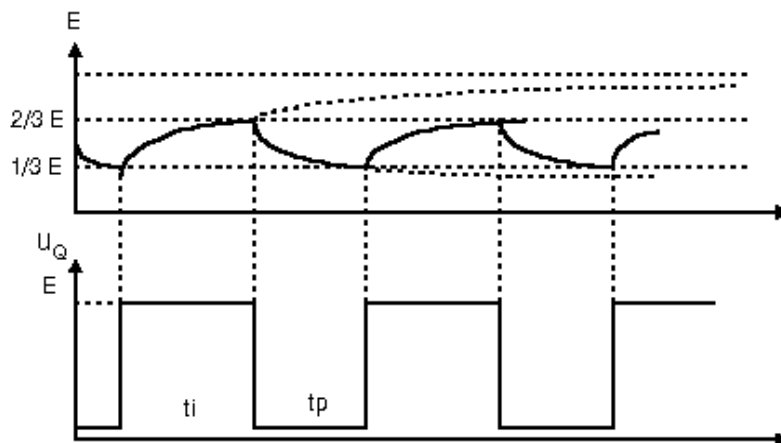
Голямо значение за стабилността на генерирания импулс имат качествата на времезадаващите компоненти: резисторът R и кондензаторът C. Препоръчва се минимална стойност на резистора 5кΩ, а максималната при E=15V е 20MΩ и при E=5V - 6,6MΩ. Кондензаторът C може да се избира от няколко pF до хиляди μF. Чрез избор на R и C могат да се получат стойности на t_i от 10μs до 100s.

На фиг.11.8а е показано свързване на външните елементи, при което таймерът работи като автогенераторен мултивибратор. Разликата от фиг.11.7а е, че резисторът R е разделен на два

резистора R_1 и R_2 , а извод 7 е свързан към общата им точка. Външният кондензатор се зарежда чрез резисторите R_1 и R_2 , а се разрежда само чрез R_2 . Освен това в автогенераторен режим вход не е нужен, затова извод 2 се свързва към извод 6. Изходният сигнал е показан на фиг.11.8б.



фиг. 11.8а



фиг. 11.8б

Продължителността на импулса е $t_i = 0,7(R_1+R_2)C$, а продължителността на паузата $t_p = 0,7 R_2 C$. Оттук за периода на генерираните импулси се получава:

$$(11.6) \quad T = t_i + t_p = 0,7(R_1+2R_2)C.$$

Когато е необходима точна и стабилна във времето честота на генерирания сигнал, се използват мултивибратори с кварцова стабилизация на честотата. В тези схеми вместо времезадаващ кондензатор се включва кварцов резонатор. Кварцово стабилизирани мултивибратори се реализират с ИС 74LS124, 74S124, 74LS320 и 74LS321.

11.5. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Упражнението се състои в:

1. Реализиране на чакащи мултивибратори чрез ИС 74121 и 74123;
 - а) Изследване на условията за запускане;
 - б) Влияние на времезадаващата верига.
2. Реализиране на автогенераторни мултивибратори чрез ИС 74123;
 - а) Изследване на възможностите за генериране на импулси;
 - б) Влияние на времезадаващата верига.
3. Реализиране на чакащ мултивибратор с интегрален таймер 555;
4. Реализиране на автогенераторен мултивибратор с интегрален таймер 555 по зададени t_i и t_p .

Упражнението се провежда експериментално - чрез лабораторен стенд и/или автоматизирана тестова система.

11.6. ВЪПРОСИ И ЗАДАЧИ

1. Каква е разликата между тригер и мултивибратор?
2. От какво зависи стабилността на генерираните импулси?
3. От какво зависи амплитудата на генерираните импулси?
4. Проектирайте чакащ мултивибратор чрез ИС 74121 и 74123 по зададена продължителност на импулса t_i .

5. Какви са възможностите за генериране на правоъгълни импулси е един чакащ мултивибратор?
6. От какво се ограничава минималното и максималното захранващо напрежение E_c в таймер 555?

УПРАЖНЕНИЕ №12

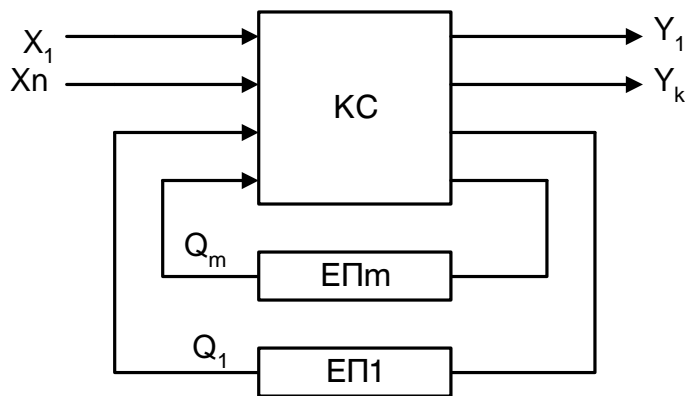
СИНТЕЗ НА ПОСЛЕДОВАТЕЛНОСТНИ СХЕМИ

12.1. ОБЩИ СВЕДЕНИЯ

За разлика от комбинационните схеми, изходните сигнали на последователностните схеми (ПС) в даден момент от времето зависят не само от входните сигнали в този момент, но и от техните предишни стойности. Оттова следва, че ПС реализират функционална връзка не между отделните входни и изходни сигнали, а между тяхните последователности. Затова трябва да разглеждаме работата на ПС във времето.

Тъй като изходните сигнали зависят от предишни значения на входните сигнали, то ПС трябва да се състои от памет, в която да се съхранява информацията за предишните входни въздействия. Тази информация се използва в схемата във вид на съвкупност сигнали, съхранявани в паметта и наричани вътрешни състояния.

Общият модел на всяка ПС може да се представи във вид на комбинационна схема (КС) и съвкупност от елементи памет (ЕП) свързани помежду си по определен начин (фиг.12.1). За елементи памет се използват тригери, с един, два и повече входа.



фиг 12.1

Математическият модел на последователностната схема е т.нар. краен автомат (КА) (в инж. практика обикновено двата термина се използват като синоними). КА е система с краен брой входове, изходи, входни състояния, изходни състояния и вътрешни състояния, способна да преминава под въздействие на входните сигнали от едно състояние в друго и да дава на изхода си изходни сигнали. ПС се счита за определена, ако са зададени:

а) Множество от входни сигнали;

$$X = \{X_n, \dots, X_2, X_1\}, \text{ където } X_i = 0 \text{ или } 1.$$

б) Множество от изходни сигнали;

$$Y = \{Y_k, \dots, Y_2, Y_1\}, \text{ където } Y_i = 0 \text{ или } 1.$$

в) Множество от възможните вътрешни състояния;

$$A = \{A_m, \dots, A_1, A_0\}, \text{ където вътрешно състояние } A_0 \text{ се счита за начално.}$$

г) Функция на преходите, определяща състоянието на автомата $A(t+1)$ в дискретния момент $(t+1)$ в зависимост от състоянието му и входния сигнал в момента t .

$$A(t+1) = f\{A(t), X(t)\};$$

д) Функцията на изходите.

Взависимост от дефинирането на тази функция определяме два вида схеми:

1) **Автомат на Мили**, при който изходният сигнал се определя от вътрешното състояние на системата и от входния сигнал в даден момент.

$$(12.1) \quad Y(t) = f\{A(t), X(t)\};$$

2) **Автомат на Мур**, при който изходният сигнал зависи само от вътрешното състояние в даден момент.

$$(12.2) \quad Y(t) = f\{A(t)\}.$$

Една ПС, колкото и сложна да е, може да се синтезира чрез елементарни автомати и комбинационни логически елементи. Елементарният автомат се характеризира със следните общи черти:

- а) Има две и само две различни състояния;
- б) Има един, два или три входа;
- в) Входните и изходните сигнали са от еднакъв тип, и по-точно потенциални;
- г) Да бъде автомат на Мур.

Тригерите, тип D и T (с 1 вход), R-S и J-K (с 2 входа) отговарят на тези условия, следователно тях ще използваме като елементарни автомати и елементи памет.

Крайните автомати могат да се класифицират най-общо като: синхронни и асинхронни:

а) Един краен автомат е синхронен, ако всички изменения на състоянието на неговите изходи $\{Y_1, Y_2, \dots, Y_k\}$ стават само в строго определени моменти от време (дискретно време). Тези моменти се определят от един генератор на тактови импулси и тогава се казва, че системата е синхронизирана с тактова честота. В този случай, трябва времето между два импулса на генератора да бъде по-голямо от времето за промяна на състоянието на най-бавния елементарен автомат;

б) При асинхронните системи състоянията на различните елементарни автомати започват да се променят в различни моменти. Обикновено едно изменение на входния сигнал предизвиква ред преходни изменения на състоянията на елементарните автомати (а следователно и на цялата система), докато накрая достигне до едно устойчиво състояние. При това времето за установяване на състоянието на схемата е различно и зависи от вида на входния сигнал.

12.2. СИНТЕЗ НА ПС

В настоящето лабораторно упражнение ще разгледаме структурен синтез на синхронна последователностна схема - тригерен брояч. Под синтезиране на тригерен брояч се разбира определяне на оптимална структура на брояча, изразяваща се в минимален брой тригери и връзки между тях. За синтезирането на брояч е необходимо да се зададе:

- а) Коефициент K на броене (капацитет на брояч);
- б) Режимът на броене (сумиращ, изваждащ, реверсивен);
- в) Редът на изменение на състоянията на брояча;
- г) Времето за установяване на кода в брояча;
- д) Бързодействието (максималната честота на превключване).

В зависимост от зададеното време за установяване на кода, се избира типът на брояча - синхронен или асинхронен. След приемане типа на брояча се избира типът на тригерите - T или J-K. Броят на тригерите в брояча се определя с $N = \lceil \log_2 K \rceil$, където $\lceil \log_2 K \rceil$, е двоичен логаритъм на числото K, закръглен до най-близкото по-голямо цяло число.

12.2.1. СТРУКТУРЕН СИНТЕЗ

1. Синтезирането на брояча започваме най-напред по зададения режим на броене и ред на изменение на състоянието на брояча. Съставя се таблица на преходите на брояча. В тази таблица се вписват състоянието на всеки тригер до и след постъпване на входните импулси. Друга една възможност за задаване на автомата е графическо, чрез помощта на граф. Графът се строи по следния начин. Избират се възли в пространството, които изобразяват различни състояния на автомата. На всяко състояние отговаря един възел. Пространственото положение може да се избере произволно. Възлите се свързват с помощта на клонове. Всеки клон е представител на един входен сигнал (за автомат на Мур), който се записва до клона. Всеки клон е ориентиран, т.е. посоката му е избрана. При автомат на Мур всеки възел се означава с изходен сигнал, който ще се определя еднозначно от съответното вътрешно състояние.

2. След съставяне на графа извършваме кодиране на вътрешните състояния и съответните изходни сигнали, и така получаваме кодирана таблица на преходите и изходите на последователностната схема. Елементарните автомати са зададени с техните кодирани таблици.

3. Задачата ни е да определим начина, по който трябва да се свържат логическите елементи и елементарните автомати, така че в резултат да се получи искания краен автомат. Тогава тази задача се свежда до това, да определим функциите на възбуждане на входовете на елементарните автомати и функцията на изходите, които се реализират чрез комбинационни схеми.

12.2.2. ТАБЛИЧЕН МЕТОД НА СИНТЕЗ

По този метод синтезът протича в следния ред:

1. На всеки разряд на състоянията в кодираната таблица на преходите съпоставяме по един елементарен автомат. Действително всеки разряд може да има стойност 0 или 1, а автоматът също може да има на изходите си 0 или 1. Вместо първи разряд, втори разряд и т.н. в кодираната таблица записваме елементарния автомат, който го определя.

2. Избираме типа на крайния автомат и допълваме таблицата на преходите с колони, отговарящи на входовете на всеки елементарен апарат (табл.12.1).

Таблица 12.1.

входен сигнал	състояние на автом.	състояние на автом.	Елементар. автомат		Елементар. автомат		...
$X_n \dots X_1$	$Q_k^t \dots Q_1^t$	$Q_k^{t+1} \dots Q_1^{t+1}$	VX_2^t	VX_1^t	VX_2^t	VX_1^t	...

3. Запълваме колоните на входовете на елементарните автомати, като използваме тяхната таблица на преходите. Например, ако в даден ред $Q_1(t) = 1$, а $Q_1(t+1) = 0$ и използваме тригер тип Т, то в същия ред и в колоната Т на тригера Q_1 записваме 1.

4. От таблицата, за всеки един от входовете записваме съответната СДНФ (или СКНФ) на възбудителните функции. Така получаваме функции

$$(12.3) \quad b_i(t) = f\{X_n(t), \dots, X_1(t), Q_k(t), \dots, Q_1(t)\}, \text{ т.к. } A_i(t) = Q_i(t);$$

5. От таблицата за изходите (където предварително сме заместили разрядите на състоянията със съответния краен автомат Q_i) намираме СДНФ (или СКНФ) на изходите. Така получаваме функциите:

а) при автомат на Мили

$$(12.4) \quad Y_i(t) = f\{X_n(t), \dots, X_1(t), Q_k(t), \dots, Q_1(t)\}, \text{ т.к. } A_i(t) = Q_i(t);$$

б) при автомат на Мур

$$(12.5) \quad Y_i(t) = f\{Q_k(t), \dots, Q_1(t)\}, \text{ т.к. } A_i(t) = Q_i(t).$$

6. Минимизираме функциите, получени в т.4 и т.5.

7. С помощта на елементите И, ИЛИ и НЕ начертаваме необходимата КС, която ще реализира функциите b_i и Y_i . С това структурният синтез е завършен.

12.2.3. АНАЛИТИЧЕН МЕТОД НА СИНТЕЗ

В общия случай състоянието на даден елементарен автомат Q_i в момента $(t+1)$ е функция на състоянията на всички елементарни автомати в момента (t) и на входовете в момента (t) .

$$(12.6) \quad Q_i(t+1) = f\{X_n(t), \dots, X_1(t), Q_k(t), \dots, Q_i(t), \dots, Q_1(t)\}$$

1. Тази функция може да се запише в СДНФ, като се използва кодираната таблица на преходите, и така получаваме логическото уравнение на преходите за всеки един от тригерите.

2. Тези уравнения се минимизират и се представят във вид, подобен на характеристичното уравнение на използваните тригери. Например, при използване на J-K тригери, те трябва да се представят във вида:

$$(12.7) \quad Q_i^{t+1} = (\dots)\overline{Q_i^t} \cup (\dots)Q_i^t.$$

3. Логическата функция в скобите пред $\overline{Q_i^t}$ определя сигнала, който трябва да се подаде на входа J на първия тригер, а логическата функция в скобите пред Q_i^t - сигнала (след инвертиране) на входа K.

4. По същия начин се определят и сигналите, а съответно и връзките на входовете J и K на останалите тригери. Така определяме възбудителните функции.

5. След определяне на връзките между тригерите се прави проверка на бързодействие и на времето за установяване на кода в брояча. С това се завършва синтезирането на брояча.

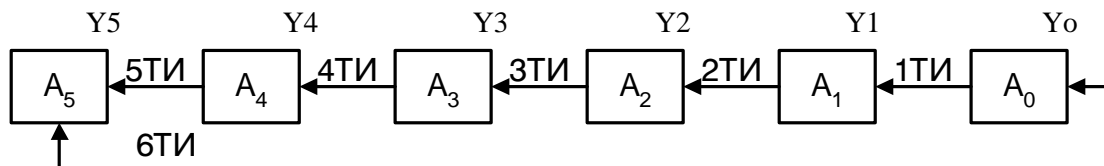
12.3. ПРИМЕРИ

ПРИМЕР 1: Да се синтезира синхронен брояч с коефициент на броене 6, работещ в режим на сумиране. Броячът да се осъществи с J-K тригери от типа 7472.

1) Броят на тригерите на брояча е:

$$N = \lceil \log_2 6 \rceil = 3.$$

2) Съставяме граф, описващ действието на брояча:



3) Кодираме вътрешните състояния и получаваме кодирана таблица на преходите (табл.12.2). Началното състояние A_0 се кодира с 000.

Със знак (X) са показани неизползваните (забранените) състояния на брояча. Те, обаче могат да се използват за минимизиране на възбудителните и изходни функции.

Извършваме аналитичен метод на синтез и получаваме логическото уравнение на преходите за съответните тригери във вида:

$$Q_0^{t+1} = \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot \overline{Q_0^t} \cup \overline{Q_2^t} \cdot Q_1^t \cdot \overline{Q_0^t} \cup \overline{Q_2^t} \cdot Q_1^t \cdot Q_0^t$$

Таблица 12.2.

Номер на състояние	Q_2^t	Q_1^t	Q_0^t	Q_2^{t+1}	Q_1^{t+1}	Q_0^{t+1}
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1

5	1	0	1	0	0	0
6	1	1	0	X	X	X
7	1	1	1	X	X	X

$$Q_1^{t+1} = \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot Q_0^t \cup \overline{Q_2^t} \cdot Q_1^t \cdot \overline{Q_0^t}$$

$$Q_2^{t+1} = Q_2^t \cdot Q_1^t \cdot Q_0^t \cup Q_2^t \cdot Q_1^t \cdot \overline{Q_0^t}$$

5) Използуваме карти на Вейч, за да минимизираме тези уравнения:

$\underbrace{Q_2^t}$
 $Q_1^t \left\{ \begin{array}{|c|c|c|c|} \hline X & X & & 1 \\ \hline 1 & & & 1 \\ \hline \end{array} \right.$
 $\underbrace{Q^t}$

$\underbrace{Q_2^t}$
 $Q_1^t \left\{ \begin{array}{|c|c|c|c|} \hline X & X & & 1 \\ \hline & & 1 & \\ \hline \end{array} \right.$
 $\underbrace{Q^t}$

$\underbrace{Q_2^t}$
 $Q_1^t \left\{ \begin{array}{|c|c|c|c|} \hline X & X & 1 & \\ \hline 1 & & & \\ \hline \end{array} \right.$
 $\underbrace{Q^t}$

$$Q_0^{t+1} = \overline{Q_0^t}$$

$$Q_1^{t+1} = \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot Q_0^t \cup Q_1^t \cdot \overline{Q_0^t}$$

$$Q_2^{t+1} = Q_2^t \cdot Q_0^t \cup Q_1^t \cdot Q_0^t$$

6) Представяме ги във вид, подобен на характеристичното уравнение на J-K тригера (9.9):

$$(Q_{J-K}^{t+1} = \underline{J} \cdot \overline{Q^t} \cup \overline{K} \cdot Q^t)$$

$$Q_0^{t+1} = \underline{1} \cdot \overline{Q_0^t} \cup \overline{0} \cdot Q_0^t$$

$$Q_1^{t+1} = \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot Q_0^t \cup Q_1^t \cdot \overline{Q_0^t} \cdot Q_1^t$$

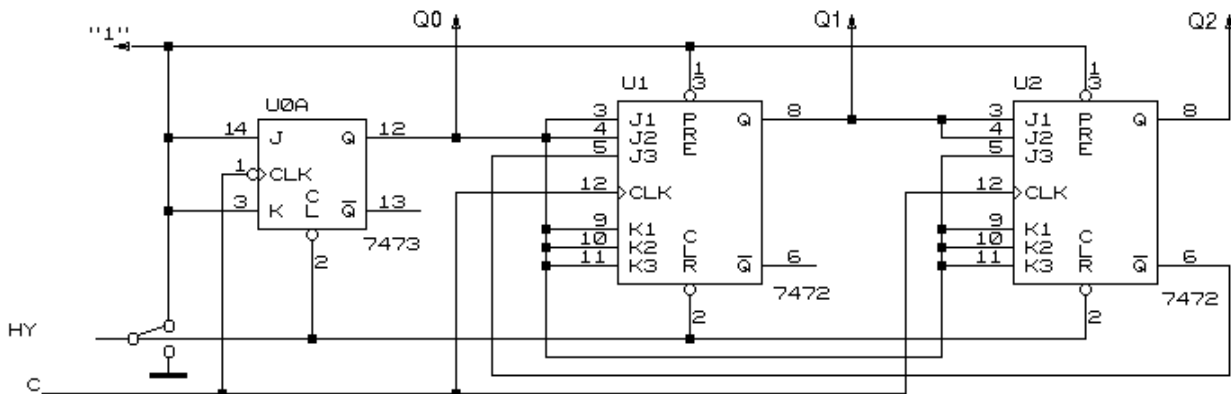
$$Q_2^{t+1} = Q_1^t \cdot Q_0^t \cdot Q_2^t \cup Q_0^t \cdot Q_2^t$$

7) От тези уравнения се определя:

$$J_0^t = 1 \quad \text{и} \quad K_0^t = 1$$

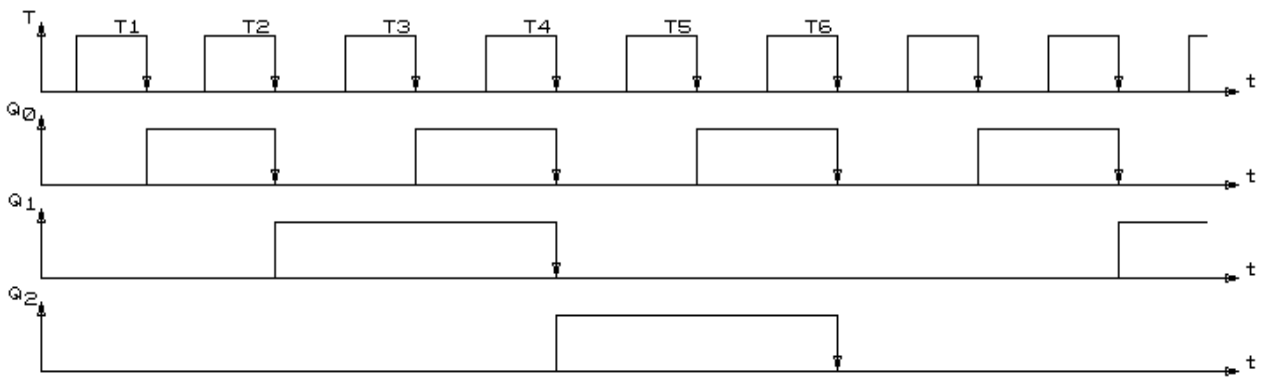
$$J_1^t = \overline{Q_2^t} \cdot Q_0^t \quad \text{и} \quad K_1^t = Q_0^t$$

$$J_2^t = Q_1^t \cdot Q_0^t \quad \text{и} \quad K_2^t = Q_0^t$$



фиг. 12.2

- 8) Схемата на брояча е дадена на фиг.12.2.
- 9) Времедиagramата на синхронния брояч има вида:



фиг. 12.3

ПРИМЕР 2: Да се синтезира синхронен брояч с коефициент на броене 6, работещ в режим на сумиране. Броячът да се осъществи с Т тригери чрез ИС 7472 (синхронен J-К тригер). Точки 1, 2 и 3 са същите както в пример 1.

4) Извършваме табличен метод на синтез, като допълваме таблицата на преходите, в съответствие с елементарния автомат Т тригер (табл.12.3).

Таблица 12.3.

Номер на състояние	Q_2^t	Q_1^t	Q_0^t	Q_2^{t+1}	Q_1^{t+1}	Q_0^{t+1}	T_2^t	T_1^t	T_0^t
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	0	0	1	1
2	0	1	0	0	1	1	0	0	1
3	0	1	1	1	0	0	1	1	1
4	1	0	0	1	0	1	0	0	1
5	1	0	1	0	0	0	1	0	1
6	1	1	0	X	X	X	X	X	X
7	1	1	1	X	X	X	X	X	X

5) За всеки един от входовете записваме в СДНФ логическото уравнение на възбудителните функции.

$$T_0^t = \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot \overline{Q_0^t} \cup \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot Q_0^t \cup \overline{Q_2^t} \cdot Q_1^t \cdot \overline{Q_0^t} \cup \overline{Q_2^t} \cdot Q_1^t \cdot Q_0^t \cup Q_2^t \cdot \overline{Q_1^t} \cdot \overline{Q_0^t} \cup Q_2^t \cdot \overline{Q_1^t} \cdot Q_0^t$$

$$T_1' = \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot Q_0^t \cup \overline{Q_2^t} \cdot Q_1^t \cdot Q_0^t$$

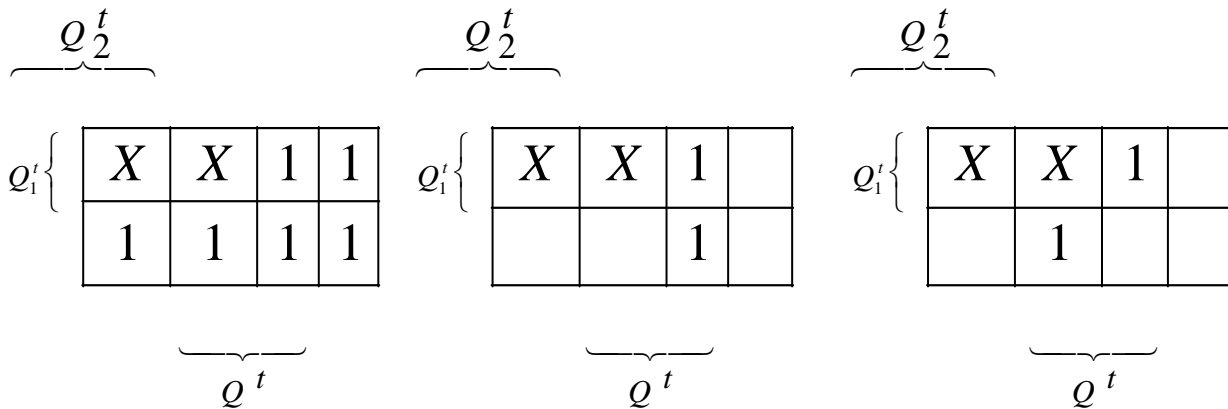
$$T_0' = \overline{Q_2^t} \cdot Q_1^t \cdot Q_0^t \cup \overline{Q_2^t} \cdot \overline{Q_1^t} \cdot Q_0^t$$

6) Минимизиране възбудителните функции чрез карти на Вейч.

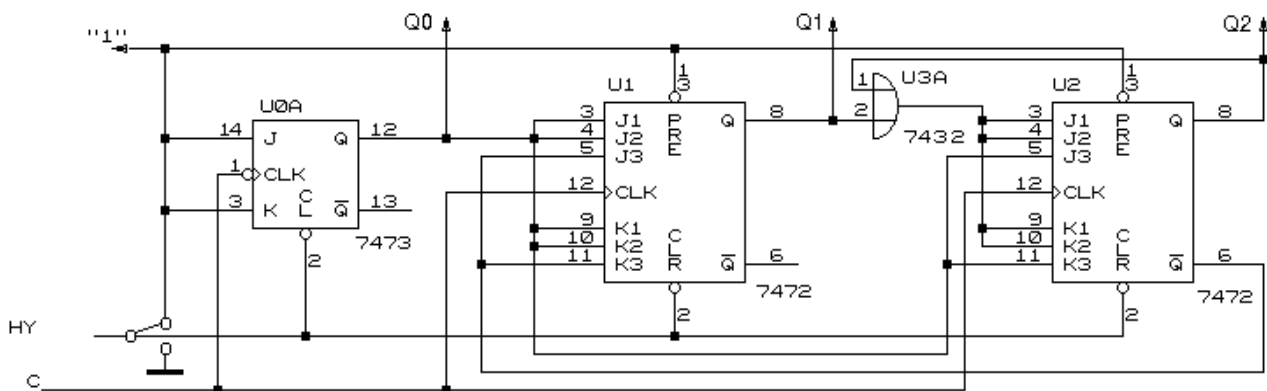
$$T_0' = 1$$

$$T_1' = \overline{Q_2^t} \cdot Q_0^t$$

$$T_2' = \overline{Q_2^t} \cdot Q_0^t \cup Q_1^t \cdot Q_0^t = Q_0^t (Q_2^t \cup Q_1^t)$$



7) Схемата на брояча е дадена на фиг.12.4.



фиг. 12.4

8) Времедиagramата на синхронния брояч има вида, както на фиг.12.3:

12.4. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Първата част на упражнението се състои в синтез на конкретни последователности схеми (аналогични на разглежданите в т.12.3), а втората част - в експериментална проверка на действието им. Последната се извършва на лабораторен стенд и/или автоматизирана тестова система.

12.5. ВЪПРОСИ И ЗАДАЧИ

1. С какво се характеризират последователностните схеми?
2. Как се задава ПС с граф?
3. Каква е разликата между автомат на Мур и автомат на Мили?

4. Как типът на елементите памет влияе върху вида на възбудителните функции?
5. Обяснете взаимната връзка между типа на елементите памет и избора на подходящо кодиране на вътрешните състояния?
6. На какво се дължи наличието на неопределени стойности за ПС?
7. Може ли да се определи новото състояние и изходна реакция, ако ПС е поставена в забранено вътрешно състояние?
8. Да се синтезират и реализират синхронни броячи с произволен коефициент на броене различен от 2^n при използването на различни елементарни автомати.

УПРАЖНЕНИЕ №13

РЕГИСТРИ И БРОЯЧИ

В настощото лабораторно упражнение се разглеждат интегрални ТТЛ преместващи регистри и синхронни двоични броячи.

13.1. ПРЕМЕСТВАЩИ РЕГИСТРИ

Регистрите са тригерни схеми, предназначени за запомняне на n разредни двоични числа и за осъществяване на някои преобразувания с тях. Броят на тригерите в регистъра се равнява на броя n на разредите на двоичното число, което трябва да се запомни. В зависимост от начина за въвеждане и извеждане на информацията регистрите биват:

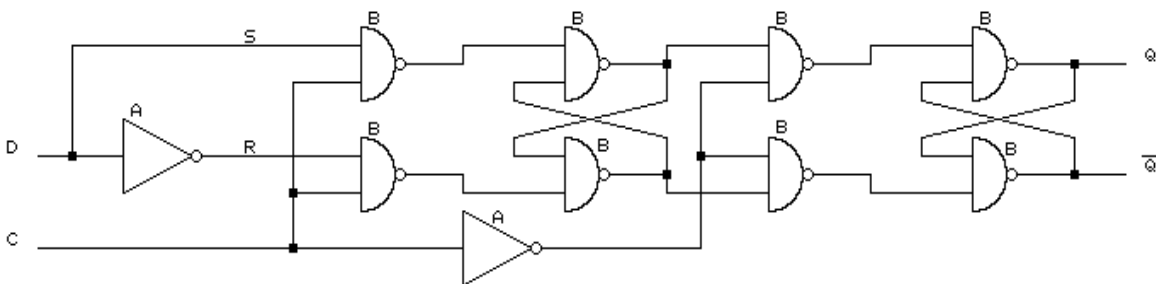
- а) паралелни;
- б) последователни (серийни);
- в) паралелно-последователни и последователно-паралелни.

Преместващият регистър (ПР) представлява група от последователно свързани най-често D тригери, връзките между които са осъществени така, че при подаване на тактов импулс, информацията от всеки тригер се пренася в съседния. Тези регистри се изграждат с тригери от тип управляващ- управляван (Master Slave - MS). При това управляващият тригер се превключва от предния фронт на тактовия импулс, а състоянието му се пренася в управлявания от задния фронт. Затова не се налага да се използват два отделни тактови импулса. Основния D тригер фиг.13.1 е изграден на базата на MS RS-тригер, чийто входове са:

$$(13.1) \quad S^t = D^t \quad \text{и} \quad R^t = \overline{D^t},$$

а изходите

$$(13.2) \quad Q^{t+1} = S^t \cup \overline{R^t} \cdot Q^t = D^t \cup D^t \cdot Q^t = D^t$$



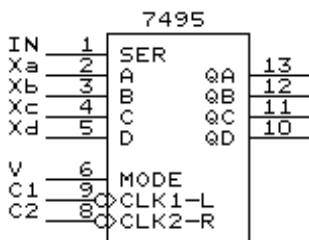
фиг. 13.1

Всички регистри имат вход за последователно записване на информацията и изход за последователното ѝ извеждане. В някои от тях са изведени изходите Q на всички тригери и така получаваме ПР с последователен вход и паралелен изход - ИС 74164, 74594, 74595, 74596, 74599. В други са предвидени допълнителни входове за паралелно записване на информацията - ПР с паралелен вход и последователен изход. Такива схеми са 7494, 74165, 74166, 74597. А трети имат и двете възможности - ПР с паралелен вход и паралелен изход, като ИС 7495, 7496, 7499, 74178, 74179, 74194, 74195, 74198, 74199, 74295, 74299, 74323, 74395.

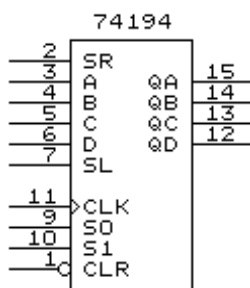
Паралелният запис на информацията в ПР може да се извършва по два начина: асинхронно - в момента на подаване на входния сигнал - ИС 7494, 7496, 74165, и синхронно - по първия постъпил

след входния сигнал тактов импулс ИС 7495, 74166, 74178, 74179, 74194, 74195, 74198, 74199, 74295, 74299, 74395.

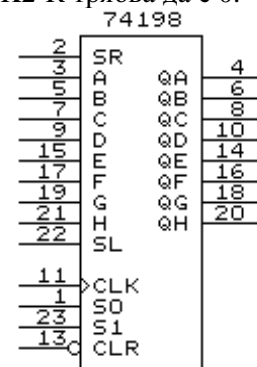
Регистърът **7495 (K155ИР1)** е четириразреден (фиг.13.2) с последователен вход IN (SER), с паралелни входове X_a, X_b, X_c, X_d (A,B,C,D) и паралелни изходи Q_a, Q_b, Q_c, Q_d . Въвеждането на входния сигнал както от последователните, така и от паралелните входове става синхронно под действие на тактови импулси. Сигналят на входа V (MODE) определя режима на работа - при $V = 0$ регистърът работи в режим на преместване отляво надясно и входната информация може да се въвежда от последователния вход IN (SER). Въвеждането и преместването на информацията става под действие на отрицателния фронт на тактовите импулси C_1 (CLK1-L). При $V = 1$ в регистъра се въвежда информация от паралелните входове X_a, X_b, X_c, X_d (A,B,C,D). Въвеждането става от отрицателния фронт на тактовите импулси C_2 (CLK2-R). Ако входът X_a се свърже с изхода Q_b , входът X_b с изхода Q_c и X_c с Q_d , регистърът ще работи в режим на преместване отляво надясно с последователен вход X_d . При смяна на нивото на сигнала V, нивото на входовете CLK1-L и CLK2-R трябва да е 0.



фиг. 13.2

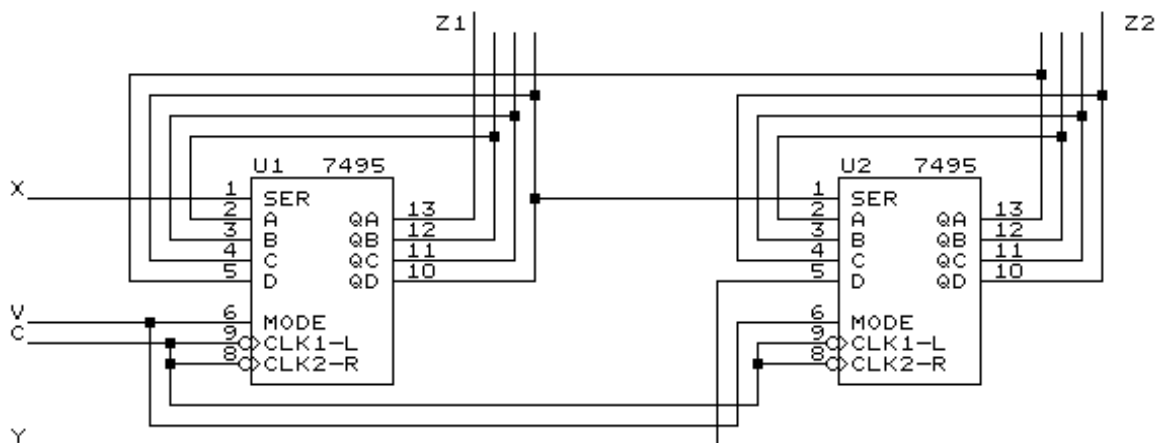


фиг. 13.4



фиг. 13.5

С тази ИС може да се реализира реверсивен ПР, ако за преместване отляво надясно се използват входовете X_i , предназначени за паралелен синхронен запис. На фиг.13.3 е показан 8-разреден реверсивен преместващ регистър, изпълнен от две ИС 7495. За преместване отляво надясно се използва тактовият вход CLK1-L, а за преместване отляво надясно - тактовият вход CLK2-R. От изходите Z_1 и Z_2 се извежда последователният код при преместването наляво и надясно.



фиг. 13.3

Аналогичен по действие на регистъра 7495 е 74LS295 (K555ИР16П). Той се различава по това, че тактовият вход C е един и изходите са с три състояния, което позволява той да работи с паралелни изходни линии, с други регистри и памет. Изходното състояние се управлява от входа X_z - при $X_z = 1$ изходното ниво се определя от състоянието на тригерите на регистъра (регистърът се "чете"). При $X_z = 0$ изходите са високоомни (състояние Z).

На фиг.13.4 е дадено означението на реверсивния 4-разреден регистър **74S194 (K531IP11П)** с последователни входове SR(използува се при работа в режим на преместване отляво надясно) и SL(при работа в режим на преместване отдясно наляво), паралелни входове от А до D и паралелни изходи от Q_a до Q_d. Режимът на работа на регистъра се управлява с помощта на сигналите, подадени на входовете S₀ и S₁ съгласно таблица 13.1.

Таблица 13.1

S ₀	S ₁	Режим
0	0	Тактовият вход е забранен
0	1	Преместване отляво надясно
1	0	Преместване отдясно наляво
1	1	Въвеждане на информация от паралелни входове X _i

Общият нулиращ вход CLR е асинхронен. При работа на регистъра сигналът в този вход трябва да е 1. Тригерите на регистъра се установяват в положение 0 при подаване на ниво 0 на входа CLR.

Регистърът **74198 (K155IP13)** (фиг.13.5) функционира по същия начин както 74194, с тази разлика, че тригерите в регистъра са осем. Схемата е с 24-изведен корпус.

Приложение разгледаните схеми могат да намерят при преобразуване формата на представяне на числата от последователна в паралелна и от паралелна в последователна.

В справочниците за интегрални схеми са дадени основните статични и динамични параметри на ТТЛ ПР. Времето за подготовка t_s и времето за задържане t_h се отнасят за паралелните входове. Времената на превключване t₃₀₁ и t₃₁₀ се отнасят за тактовия входен сигнал CLK към изходите Q.

13.1. БРОЯЧИ

Броячът е схема, регистрираща броя на постъпилите на входа ѝ импулси. Този брой поределя съхранената в даден момент стойност. При постъпването на всеки следващ импулс тя е променя и се запомня. Запомнянето се осъществява от отделни звена (клетки) на брояча, всяко от които може да запомня толкова различни числа (има толкова различни състояния), колкото е основата на използваната система на броење.

Според типа на използваните в отделните звена елементи класифицираме броячите като:

- а) тригерни броячи - образуват се чрез подходящо свързване на Т тригери. Това е основния тип броячи поради простото устройство, високата сигурност и ниската цена на тригерите.
- б) броячи с преместващи регистри. При тях за отделните звена се използват ПР, свързани най-често като кръгови броячи. Предимство на подобни броячи е, лесната индикация на резултата, а недостатък - по-големия брой тригери.

Тригерните броячи според начина на въздействие на входните импулси биват:

- а) асинхронни - отделните тригери не се превключват строго едновременно, а с малко закъснение един спрямо друг.
- б) синхронни - структурата им осигурява едновременно превключване на всички тригери в брояча.
- в) броячи с комбинирано действие. При тях броячът е разделен на части, като тригерите в отделните части са свързани по единия начин (напр. синхронно), а самите части - по другия начин (напр. асинхронно).

13.2.1 СИНХРОННИ ДВОИЧНИ БРОЯЧИ

Броячите са много разнообразни по схемните си варианти. Независимо от това, във всички схеми на брояча има общи принципи в логическата структура и действието им.

Основният елемент в броячите е тригерът тип Т, който в интегрална елементна база се получава чрез съответно свързване на тригер тип J-K, 3J-3K или D.

Логическите схеми, които свързват тригерите в брояча, се наричат вериги за пренос. Те формират и разпространяват сигналите за междуразредния пренос при зададения закон и модул на

броене. От реализацията им зависят съществено сложността на структурата и бързодействието на брояча.

Синхронните броячи се изграждат главно на тетраден принцип - един корпус съдържа 4-разреден брояч. При синтезирането се предлага паралелно непосредствено свързване на четирите тригера. В схемата се предвиждат допълнителни входове и изходи, необходими за изграждане на синхронни броячи с повече разреди. Обикновено всеки брояч има един т.нар. броячен вход, на който постъпват сигналите за броене, както и управляващи и спомагателни входове - за управление на режима на броене, за установяване на начално състояние (нулиране) и др. Синхронните реверсивни броячи имат по два отделни броячни (тактови) входа - за събиране и за изваждане.

Изходи на броячите най-често са единичните изходи на тригерите. Тригерът, съответстващ на двоичния разред с най-малкото тегло $2^0=1$ се нарича младши, а тригерът в разреда с най-голямо тегло - $2^{n-1}=1$ - старши. Понякога изходите на брояча се означават с теглата на съответните разреди - $2^0, 2^1, 2^2$ и т.н. Някои броячи имат специален изход за пренос, чрез който се осъществява различно свързване между няколко ИС при коефициент на броене по-голям от 16, като се гарантира различно бързодействие.

Интегрални ТТЛ синхронни броячи работещи само в режим на сумиране са:

74160 (К155ИЕ9) - синхронен двоично-десетичен брояч,

74161 (К155ИЕ10) - синхронен четириразреден двоичен брояч,

74162 - синхронен двоично-десетичен брояч със синхронен нулиращ вход X_n ,

74163 - синхронен четириразреден двоичен брояч със синхронен нулиращ вход X_n .

По-голяма универсалност притежават синхронните реверсивни броячи. Такива схеми са:

74168 - синхронен реверсивен двоично-десетичен брояч,

74169 - синхронен реверсивен брояч до 16,

74190 - синхронен реверсивен двоично-десетичен брояч,

74191 - синхронен реверсивен брояч до 16,

74192 (К155ИЕ6) - синхронен реверсивен двоично-десетичен брояч,

74193 (К155ИЕ7) - синхронен реверсивен брояч до 16.

Броячът **74193** (фиг.13.6) има следните входове:

а) два тактови входа $C+(UP)$ и $C-(DN)$ за работа съответно в режим на събиране и изваждане.

При работа в режим на събиране трябва на входа UP да се подаде положителен фронт на импулса и $DN = 1$, а в режим на изваждане - на входа DN да се подаде положителен фронт на импулса и $UP = 1$.

б) входовете $X_a, X_b, X_c, X_d(A,B,C,D)$ служат за подаване на сигнали за установяване на изходите на брояча в определено състояние при $X_s(Load) = 0$.

в) вход $X_s(Load)$ служи за установяване на брояча в определено от сигнала на входовете X_a до X_d състояние - установяването се осъществява при $X_s = 0$, при работа на брояча в режим на броене нивото на входа X_s трябва да е 1.

г) вход $R(CLR)$ е нулиращ вход независимо от състоянието на входовете $C+, C-$ и X_s .

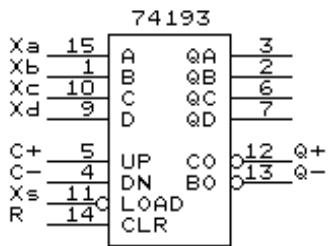
Тригерите се нулират при $R = 1$, а броячът работи при $R = 0$.

Броячът 74193 има следните изходи:

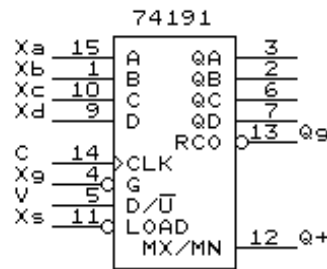
а) изходите Q_a, Q_b, Q_c, Q_d от четирите тригера;

б) изход $Q+(CO)$ за получаване на сигнал за пренос към следващи броячи в режим на събиране. $CO=0$ през времето, когато 15-тия тактов импулс $C+$ е 0 и всички тригери са в състояние 1. Нивото на сигнала в изхода $CO=1$.

в) изход $Q_n-(BO)$ за получаване на сигнал за пренос към следващи броячи в режим на изваждане. $BO=0$ през времето, когато 15-тия тактов импулс $C-$ е 0 и всички тригери са в състояние 0. Нивото на сигнала в изхода $CO=1$.



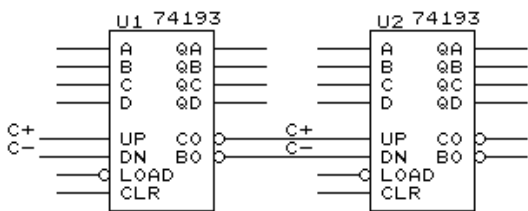
фиг.13.6



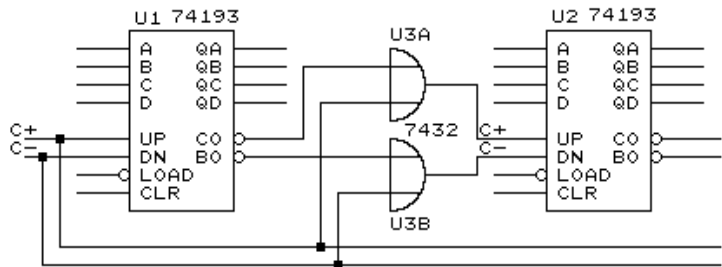
фиг. 13.8

Броячът **74192** има същите входове и изходи както брояча 74193, с тази разлика, че благодарение на въведените допълнителни връзки, коефициентът на броене е 10. Броячът 74192 работи в код 8-4-2-1.

За получаване на брояч с коефициент на броене по-голям от 16 (съответно по-голям от 10) броячите 74192/193 могат да се свържат с асинхронни връзки (фиг.13.7а) или с последователно пренасяне между отделните интегрални схеми (фиг.13.7б).



фиг. 13.7а



фиг. 13.7б

Максимално бързодействие при използването на повече от две интегрални схеми може да се получи ако връзката между схемите е синхронна и броячите притежават изходи позволяващи такава връзка. Такъв брояч е 74191.

На фиг.13.8 е дадена схемата на реверсивния синхронен брояч от типа **74191**. Той е съставен от четири MS J-K тригера. Тригерите се превключват от прехода 0-1 на тактовите импулси C (CLK). Броячът има следните входове:

а) един тактов вход C (CLK);

б) вход $V(D/\bar{U})$ за управление на вида на работата на брояча - при $V = 0$ броячът работи като сумиращ, а при $V = 1$ - като изваждащ. Сигналят $V(D/\bar{U})$ не трябва да се изменя, когато нивото на входа CLK е 0;

в) вход $X_g(G)$ при $G = 0$ броячът работи, а при $G = 1$ броячът не може да се превключва под действие на тактовите импулси (забранява се);

г) вход $X_s(LOAD)$, който служи за установяване на брояча в състояние определено от сигналите на входовете $X_a - X_d$ - установяването се осъществява при $X_s = 0$, а при работа на брояча $X_s = 1$.

д) входовете X_a, X_b, X_c и X_d служат за установяване на тригерите на брояча в определено състояние при $X_s = 0$.

Броячът 74191 има следните изходи:

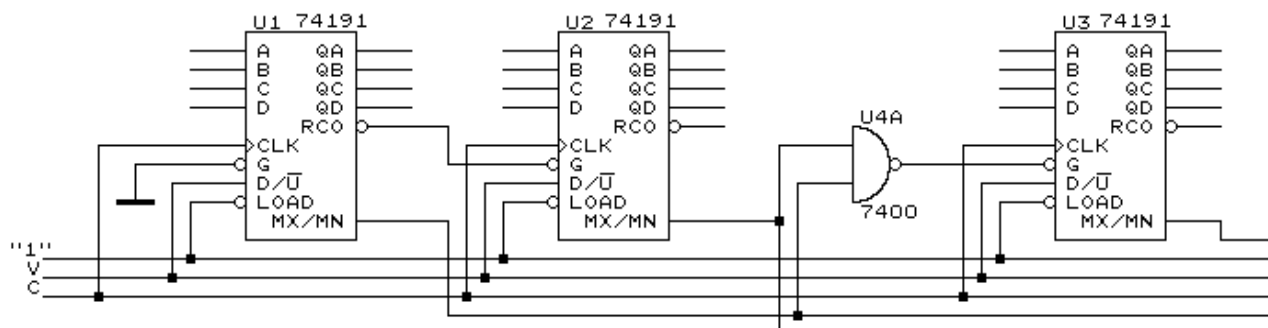
а) изходите Q_a, Q_b, Q_c, Q_d от четирите тригера;

б) изход $Q+(MX/MN)$, от който се получава сигнал за пренос, който е импулс с активно ниво 1 необходим за превключване на следващи броячи. В режим на сумиране $Q+ = 1$, когато всички тригери на брояча са в състояние 1, а в режим на изваждане $Q+ = 1$, когато всички тригери едновременно са в състояние 0;

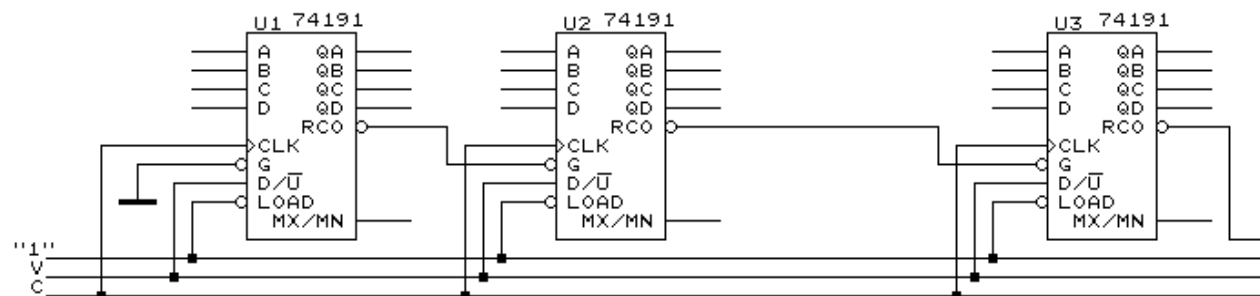
в) изход $Q_g(RCO)$ представлява импулс с активно ниво 0, който се появява ,когато тактовият импулс е 0 през време на съществуването на импулса $Q+(MX/MN)$, т е сигнал за пренос, който е отрицателен краткотраен импулс (с два пъти по-малка продължителност от $Q+$).

Броячът **74190** има същите входове и изходи както брояча 74191, с тази разлика, че благодарение на въведените допълнителни връзки, коефициентът на броене е 10. Броячът 74190 работи в код 8-4-2-1.

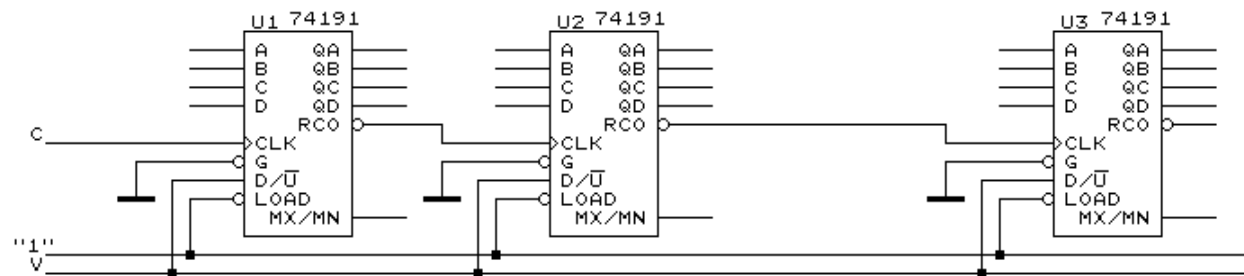
За получаване на брояч с коефициент на броене по-голям от 16 (съответно по-голям от 10) броячите 74190/191 могат да се свържат по три начина (фиг.13.9).



фиг. 13.9а



фиг. 13.9б



фиг. 13.9в

В схемата на фиг.13.9а връзките между отделните броячи са паралелни. Общо броячът работи като синхронен и честотата на превключване е максимално висока. Недостатък на схемата е, че са необходими допълнителни логически елементи за осъществяване на връзките между броячите.

Броячът, изпълнен по фиг.13.9б е с последователна връзка между отделните броячи. Поради което максималната честота на превключване е по-малка в сравнение с тази на схемата от фиг. 13.9а.

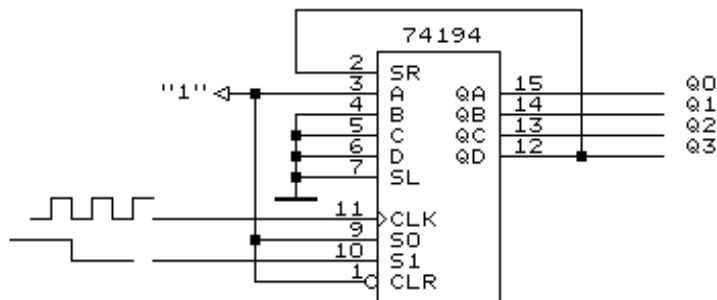
Връзките между отделните броячи в схемата на фиг.13.9в са асинхронни и схемата се характеризира с най-ниско бързодействие.

Наличието на входове за установяване на отделните тригери в броячите 74190/191 позволява да се осъществяват делители на честота с програмируем коефициент на делене.

13.2.2. БРОЯЧИ С ПРЕМЕСТВАЩИ РЕГИСТРИ КРЪГОВИ БРОЯЧИ

За построяването на такива броячи е необходимо да се използва специално кодиране на вътрешните състояния. Въвежда се и се премества една единствена единица (или нула) и броят на

регистрираните импулси се определят от местоположението на тази единица в регистъра. Схемата на кръговият брояч представлява ПР, чийто изход е свързан към входа (фиг.13.10).



фиг. 13.10

Действието му се вижда от таблица 13.2. В начално състояние първият тригер е в състояние 1, а всички останали - в състояние 0. Всеки следващ входен импулс премества единицата с един разред. Поради това номерът на тригера, който в даден момент е в състояние 1, съответствува на броя на постъпилите входни импулси. Тъй като последователният изход на ПР се свързва с последователния му вход, когато сигналът 1 достигне последния тригер, следващия входен импулс го въвежда отново в първия тригер. Оттук произлиза и наименованието "кръгов" брояч - след свързването на изхода с входа ПР се превръща в затворен кръг, в който информацията може да се премества неограничен брой пъти.

Таблица.13.2

Номер на вх. импулс	Q_0	Q_1	Q_2	...	Q_{n-1}	Q_n
0	1	0	0	...	0	0
1	0	1	0	...	0	0
2	0	0	1	...	0	0
...
n-1	0	0	0	...	1	0
n	0	0	0	...	0	1
n+1	1	0	0	...	0	0

Кръговите броячи могат да бъдат с преместване на сигнала както отляво надясно, така и отдясно наляво, а също и реверсивни. За целта се използват регистри, чийто последователен вход се свързва с последователния изход.

Кръговите броячи могат да се използват и като делители на честота с коефициент на деление $K = n$.

БРОЯЧИ НА ДЖОНСЪН

Броячите на Джонсън са разновидност на кръговите броячи, при които последователният вход на регистъра се свързва с неговия инверсен последователен изход. Те се характеризират с това, че с n тригера се получават $2n$ състояния на брояча. Ако първоначално всички тригери са установени в състояние 0, последователността на състоянията на ПР след всеки тактов импулс ще бъде, както е показано в таблица.13.3.

Таблица.13.3.

Номер на вх. импулс	Q_0	Q_1	Q_2	Q_3	...	Q_{n-1}	Q_n
0	0	0	0	0	...	0	0

1	1	0	0	0	...	0	0
2	1	1	0	0	...	0	0
3	1	1	1	0	...	0	0
...
n-1	1	1	1	1	...	1	0
n	1	1	1	1	...	1	1
n+1	0	1	1	1	...	1	1
n+2	0	0	1	1	...	1	1
n+3	0	0	0	1	...	1	1
...
2n-1	0	0	0	0	...	0	1
2n	0	0	0	0	...	0	0

TTL интегрални схеми, съдържащи броячите на Джонсън, не се произвеждат, но се предлагат голям брой такива CMOS броячи[6].

13.3. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Упражнението се състои в:

1. Изследване на възможните режими на работа на четириразредните преместващи регистъри 7495 (K155ИР1) и 74194 (K531ИР11).
2. Реализиране на 8-разреден реверсивен преместващ регистър чрез две ИС 7495.
3. Изследване на възможните режими на работа на реверсивните синхронни броячи 74193 (K155ИЕ7) и 74191.
4. Реализиране на брояч с коефициент на броене по-голям от 16 с две ИС74193 или 74191 свързани синхронно.
5. Реализиране на кръгов брояч или брояч на Джонсън чрез използването на ИС74194 .

Упражнението се провежда експериментално - чрез лабораторен стенд и/или автоматизирана тестова система.

13.4. ВЪПРОСИ И ЗАДАЧИ

1. Кой вид от разгледаните регистри е с минимален брой изводи?
2. Възможно ли е паралелно въвеждане на информацията в схемата от фиг.13.3? Защо?
3. Какви видове броячи са известни и с какво се характеризират те?
4. Защо при броячите на Джонсън изходният дешифратор се получава значително по-прост, в сравнение с този при двоичните броячи, когато трябва да се управлява индикатор?
5. Кръговият брояч и броячът на Джонсън могат ли да работят сигурно без начално установяване (нулиране)?
6. Съставете схеми на броячи с произволен коефициент на броене по-голям от 16 и различен от 2n.

УПРАЖНЕНИЕ №14

БУФЕРНИ СХЕМИ

14.1. ОБЩИ СВЕДЕНИЯ

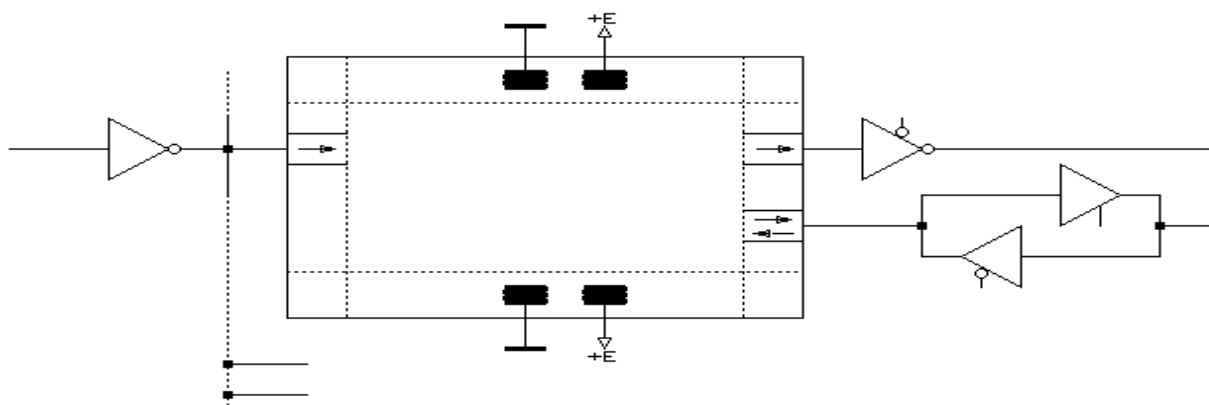
Буферните схеми са съществени елементи в комуникацията между функционалните възли на цифровите устройства, както и между устройствата в цифровите системи. Основните им функции са свързани с необходимостта от а) голяма мощност, за да се ускори разпространението на сигналите по съединителните шини; б) управление на тези шини в системите с магистрална структура (т.нар. "обща шина").

Магистралната структура на съвременните микропроцесорни системи позволява да се намали значително броят на съединителните шини, а с това и площта, която те заемат върху печатната платка или върху кристала на ГИС.

Буферите най-общо могат да се разделят на три вида:

- входни;
- изходни;
- комбинирани - двупосочни (входно-изходни), със запомнящи елементи (тригери) и т.н.

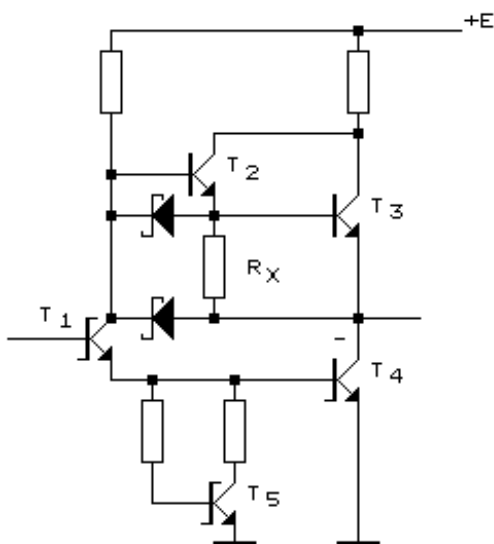
В големите интегрални схеми (ГИС) буферите, аналогично на контактните площадки за захранването, са разположени по периферията на кристала (фиг.14.1). Входните буфери подават сигнали по вътрешните шини на ГИС, а изходните буфери - по външните (много по-дълги, съответно с много по-голям капацитет, от вътрешните).



фиг. 14.1

Изискването за голяма изходна мощност от буферите води до увеличаване на размерите им. С това се намалява площта от кристала, предназначена за реализиране на основните цифрови и логически функции. Ето защо буферните схеми вградени в ГИС имат ограничени размери. Това важи особено за изходните буфери. Те се проектират компромисно така, че да могат да управляват с нужната скорост шини с малък капацитет (от порядъка на сто пикофарада) или входа на един буфер намиращ се вън от ГИС.

В лабораторното упражнение се изследват буфери, реализирани като самостоятелни интегрални схеми. По принцип те изпълняват същите функции както буферните схеми в ГИС, но ги превъзхождат значително по мощността на изходните сигнали. Последните най-често се формират от противотактни стъпала (сложни инвертори) съдържащи съставни транзистори (Дарлингтон). Такава схема (фиг.4.2) бе разгледана в УПРАЖНЕНИЕ №4, а неин подобрен вариант е показана на фиг.14.2. Свързването на R_x към изхода (вместо към маса) намалява консумацията, а двата диода на Шотки ускоряват разреждането на капацитетите в емитерите на транзисторите T_2 и T_3 .



фиг. 14.2

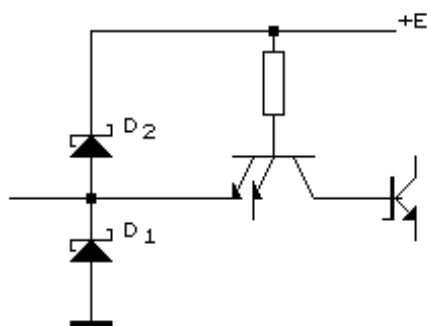
Съвременните буферни интегрални схеми се произвеждат главно по две бързодействащи технологии - биполарна с диоди на Шотки или CMOS. Съчетаването на техните предимства в новата BiCMOS технология е особено перспективно за създаване на нови буферни схеми.

14.2 ВХОДНИ БУФЕРИ

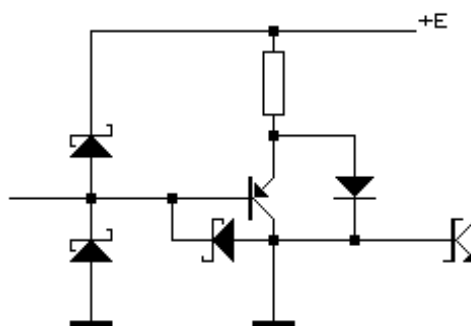
Те са необходими, за да се намали натоварването на шината, особено когато тя е свързана с входовете на няколко ГИС. Наред с усилването по мощност от входните буфери се изисква:

- **защита от напрежения**, извън работния диапазон (0-5V), които могат да повредят ГИС.

Осъществява се от двустранен ограничител с диодите D_1 и D_2 (фиг.14.3);



фиг. 14.3

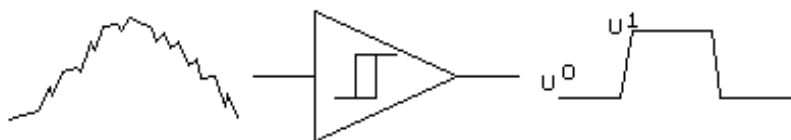


фиг. 14.4

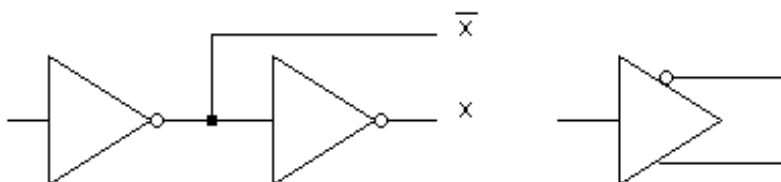
- **малки входни токове** съответно висок входен импеданс. За целта традиционният еммитерен транзистор често се замества от стъпало с PNP транзистор (фиг.14.4), при което входните токове са много малки - под $20\mu A$ и за двете стойности на входния сигнал (логическа нула и логическа единица).

- **формиране на постъпващите сигнали**. Постига се с тригери на Шмит (фиг.14.5).

Входните буфери реализирани върху кристала на ГИС, освен посочените по-горе функции, трябва да осигурят всяка входна променлива и нейната инвертирана стойност (фиг.14.6а,б).



фиг. 14.5



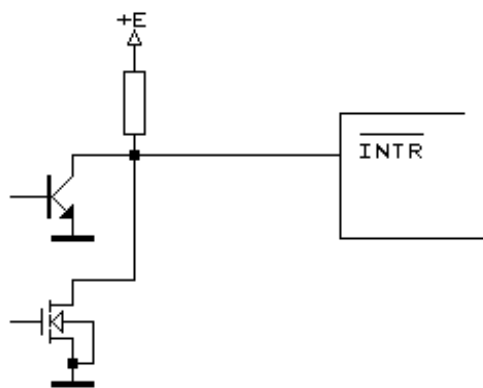
фиг. 14.6а

фиг. 14.6б

14.3 ИЗХОДНИ БУФЕРИ

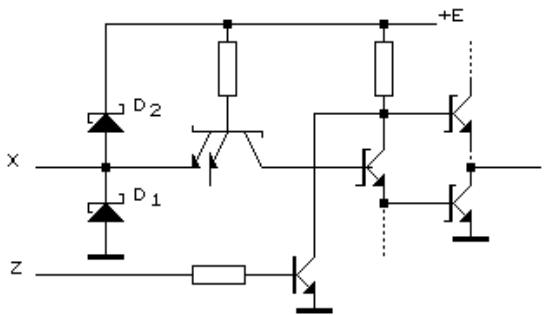
Много често се налага изходите на няколко устройства да се свържат към една обща шина. Възможните схемни решения са две:

Първото е с т.нар. схеми с отворен колектор (Open Collector - OC), разгледани в УПРАЖНЕНИЕ №3 (фиг.3.3). Тяхното предимство спрямо схемите със сложен инвертор е в простата схема, а недостатъкът им - в по-ниската скорост на зареждане на изходния кондензатор през общия резистор. Ето защо, този начин на свързване се използва и когато не се изисква много високо бързодействие, напр. при микропроцесорната шина за прекъсване от периферни схеми (устройства) - фиг.14.7. Към тази шина се включват изходи и на MOS ГИС (напр.ПИА) с отворен дрейн (Open Drain - OD). Предполага се, че в даден момент работи само едно устройство.

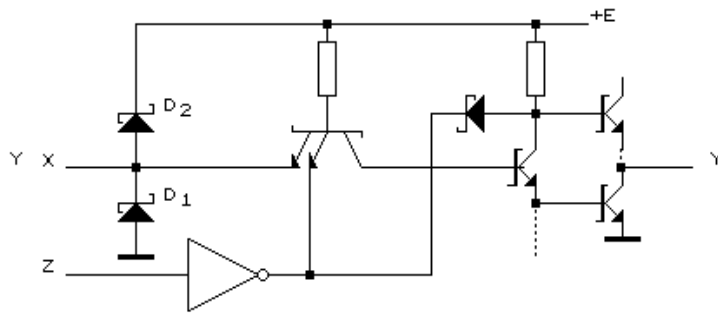


фиг. 14.7

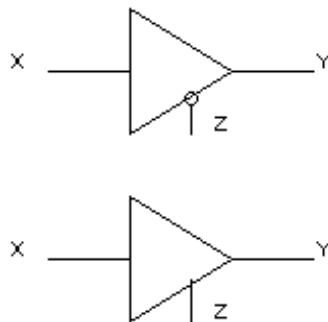
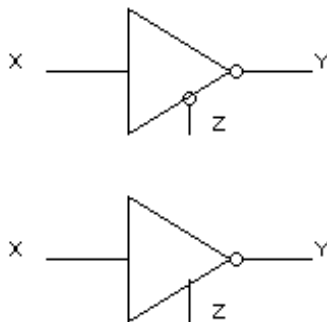
Второто - по-съвършено решение - е в използването на противотактно изходно стъпало (сложен инвертор) фиг.14.2. За да може управляващият сигнал да изключи такава схема от общата шина е необходимо да се запустат и двата изходни транзистора. Тогава схемата има много голям изходен импеданс. Наред с логическа нула и логическа единица, изходът може да бъде и изключен от шината, поради което тези схеми се наричат буфери с "три състояния" (Three State - TS). Две примерни схемни решения са показани на фиг.14.8 и 14.9. Втората схема бе изследвана в УПРАЖНЕНИЕ №4. Нейното предимство е, че при изключване на изхода във входа X не протича ток. На фиг.14.10 са показани графичните символи на инвертиращ и неинвертиращ буфер при управление на "третото състояние" от активно ниво логическа нула ($Z=0$) или логическа единица ($Z=1$).



фиг. 14.8



фиг. 14.9



Фиг. 14.10

Наред с времето за разпространение на сигнала от входа до изхода, важен динамичен параметър е закъснението, с което изходният сигнал реагира на сигнала във входа Z. То има две стойности - при преход от активно ниво (логическа единица или логическа нула) в "трето" състояние (т.е. при включване) и обратно (изключване).

На фиг.14.11 е показана структурата на ИС НС/НСТ240 съдържаща 8 буфера с "трето" състояние.

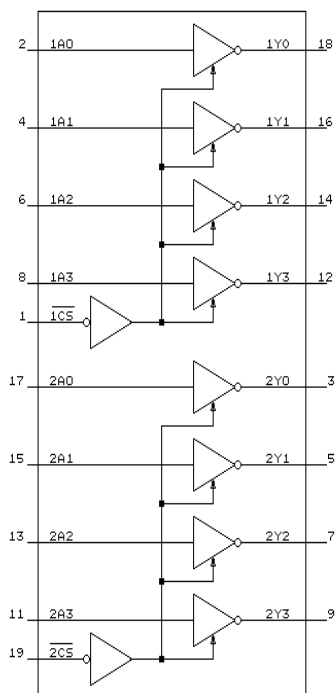
14.4 КОМБИНИРАНИ БУФЕРИ

Когато по един проводник се подават сигнали и в двете посоки (такива са примерно шините за данни на микропроцесорите) се налага използването на т. нар. **двупосочни** буфери. Те се реализират чрез свързването на два буфера с "трето" състояние. Обикновено посоката се определя от един управляващ сигнал, така че двата буферни канала да не бъдат включени едновременно. Допълнително удобство представляват и сигнали разрешаващи входа (Enable Input - EI) и изхода (Enable Output - EO), които най-често се обединяват в един общ управляващ сигнал EIO (понякога се означава и като CS).

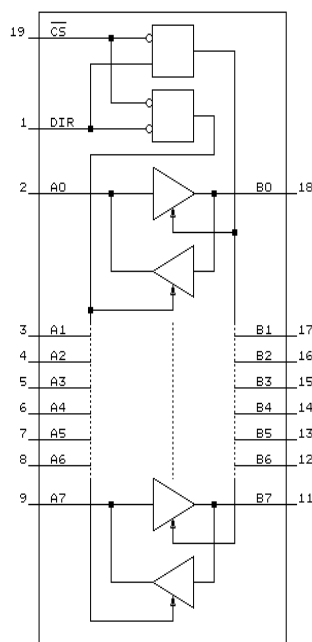
Изискванията към динамичните параметри на двупосочните буфери са твърде бисоки. Изходът трябва да преминава в "трето състояние" много бързо, за да не влияе върху входа на другия буфер, който се включва в този момент. За тази цел е удобно да се използват и сигналите EI, EO или EIO (CS). Структурната схема на двупосочния буфер 74 НС245 е показана на фиг.14.12.

В много случаи обменът на информация се улеснява ако сигналите могат да се запомнят вътре в буфера. Една такава структура е показана на фиг.14.13. Сигналят LE (Load Enable) управлява записа в D - тригерите синхронизирайки го по ниво или фронт. В интегралните схеми от типа 373 (напр. 74 НС373) данните се въвеждат в тригерите при високо ниво на сигнала LE, а в схеми от типа 374 - по време на предния му фронт.

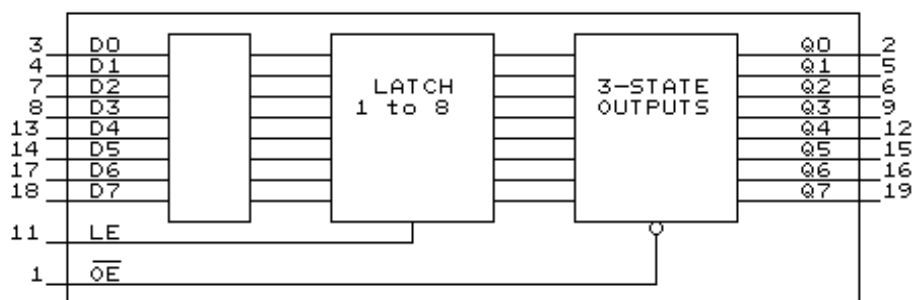
По същия принцип - със запомнящ регистър - се изграждат и двупосочни буфери - например ИС от типа 646 [8].



фиг. 14.11



фиг. 14.12



фиг. 14.13

14.5. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи в упражнението са:

1. Снемане предавателните характеристики на инвертиращ и неинвертиращ буфер и сравняването им с предавателната характеристика на обикновена ТТЛ схема;
2. Проверка на действието на двупосочен буфер чрез предаване на сигнали в двете посоки;
3. Изследване на преходните процеси в буферни схеми с отворен колектор и с "трето състояние". Измерване на закъсненията при преминаване в "трето състояние" и обратно.
4. Проверка на функционирането на буферна схема, съдържаща тригерен регистър.

Упражнението може да се проведе чрез:

- а) лабораторен стенд и измервателна апаратура;
- б) автоматизирана тестова система.

14.6. ВЪПРОСИ И ЗАДАЧИ

1. Защо изходните буфери трябва да бъдат по-мощни от входните?
2. Коя от изучените едностъпални логически схеми има два инвертирани изхода (фиг.14.6б)?
3. От какво се определя изходния импеданс на схема поставена в "трето състояние"?
4. Съставете схема на CMOS инвертиращ буфер с "трето състояние" (TS).
5. Съставете времедиаграма на сигналите Z и CS в двупосочен буфер, така че да няма застъпване в активните състояния на схемите в двата клона на буфера.

УПРАЖНЕНИЕ №15

ЦИФРОВО - АНАЛОГОВИ И АНАЛОГОВО - ЦИФРОВИ

ПРЕОБРАЗОВАТЕЛИ

Приложението на съвременните цифрови системи е свързано с методите и средствата за тяхното "общуване", т.е. обмен на информация с обектите от околната среда. В преобладаващия брой случаи сигналите от тези обекти са в непрекъсната (аналогова) форма. Тогава връзката с компютрите се осъществява (фиг. 15.1) чрез т.нар. преобразуватели на формата на информацията - аналогово-цифрови преобразуватели (АЦП), на англ. A-D Converter (ADC) и цифрово-аналогови преобразуватели (ЦАП), на англ. (DAC). Първите превръщат постъпващата аналогова величина в цифров код, а вторите преобразуват входния код в аналогов сигнал.

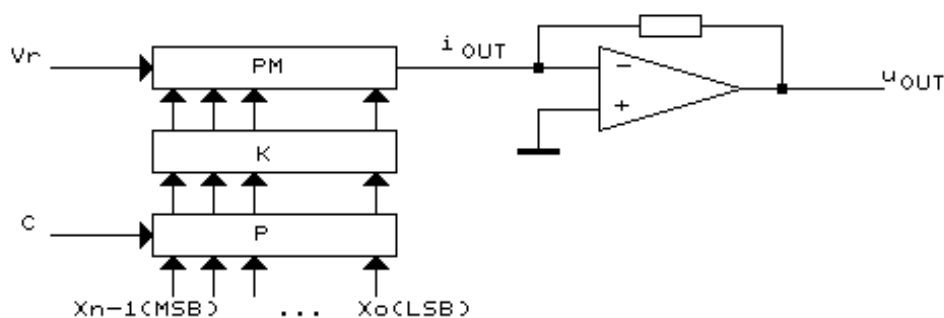


Фиг. 15.1

Най-разпространени са преобразувателите, в които аналоговата величина е напрежение или ток. Тук ще разгледаме някои основни схеми и параметри на ЦАП и АЦП. По подробно описание е направено в [9].

15.1.ЦИФРОВО - АНАЛОГОВИ ПРЕОБРАЗОВАТЕЛИ

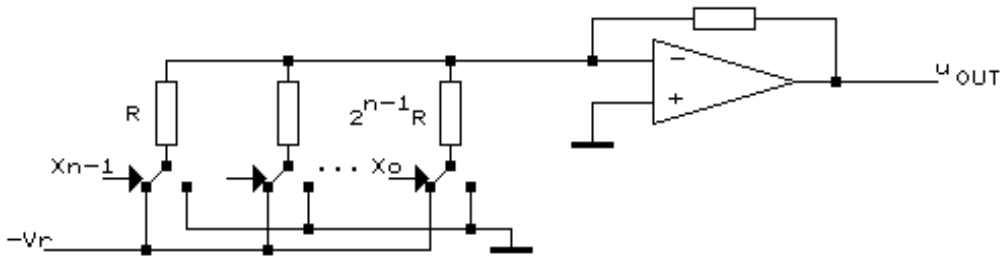
Цифрово-аналоговите преобразуватели се изграждат от блоковете показани на фиг. 15.2. Цифровият код постъпва на входовете на регистъра P. С X_0 е означен най-младшият (LSB - Least Significant Bit) а с X_{n-1} най-старшият бит (MSB - Most Significant Bit). Записът се синхронизира от сигнала C. Чрез n на брой ключове K, еталонното напрежение V_r се свързва към резисторната матрица PM. Токът изход обикновено се преобразува в напрежителен посредством буферен операционен усилвател.



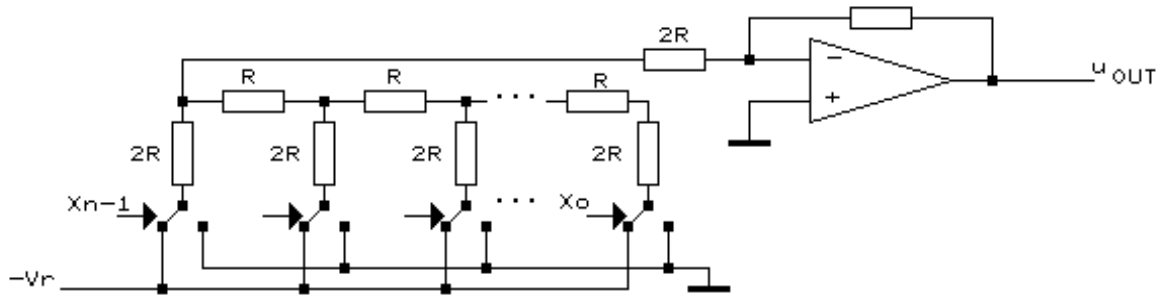
фиг. 15.2

Основният проблем при реализирането на интегралните ЦАП е постигането на нужната точност, която зависи най-вече от точността и стабилността на резисторите. За постигане на необходимите двоични зависимости в "теглата" на отделните разреди се използват три основни резисторни структури:

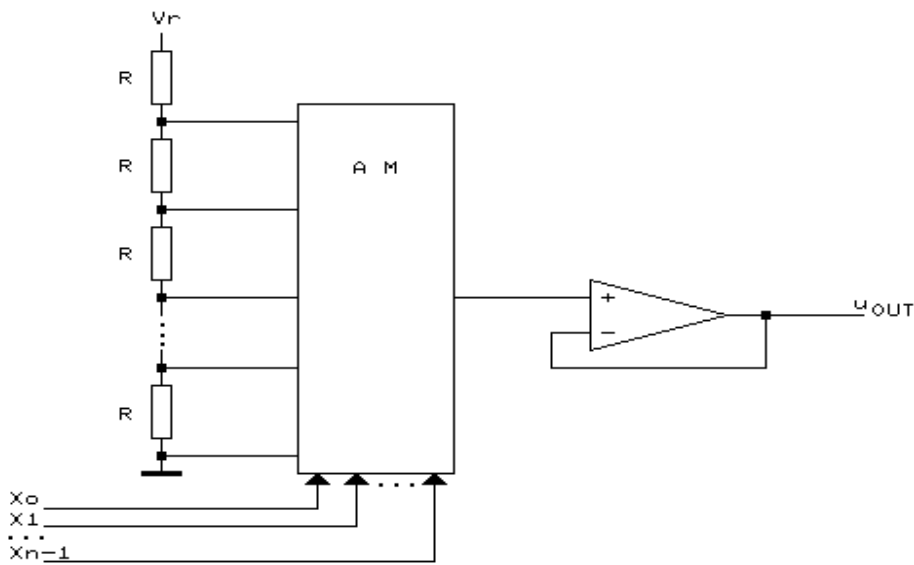
- a) n резистора със стойности $2^n R$ (матрица $2^n R$) - фиг.15.3а;
- б) $2n$ резистора със стойности R и $2R$ (матрица $R - 2R$) - фиг.15.3б;
- в) 2^n еднакви резистора (R матрица) - фиг.15.3в (AM е аналогов мултиплексор).



фиг. 15.3а



фиг. 15.3б



фиг. 15.3в

Основните параметри на ЦАП са следните:

- **дължина на входната дума** - брой на двоичните разреди n на ЦАП.
- **обхват на изменение на изходното напрежение** U_{fs} :

$$U_{fs} = \frac{(U_{0_{\max}} - U_{0_{\min}}) 2^n}{(2^n - 1)},$$

където $U_{0_{\max}}$ и $U_{0_{\min}}$ са максималните и минималните стойности на изходното напрежение.

- **разделителна способност** - реципрочната стойност на броя на изходните нива:

$$B_w = \frac{1}{2^n}$$

- **стъпка на ЦАП** - минималната стойност, с която може да се измени изходното напрежение:

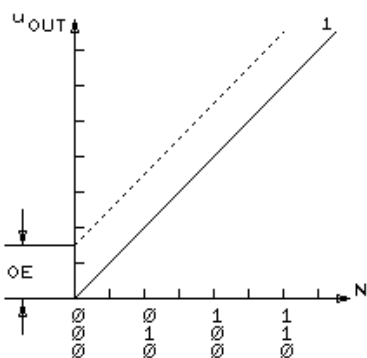
$$g = \frac{U_{fs}}{2^n}$$

Най - важна за ЦАП е **предавателната характеристика**. Тя представлява зависимостта на изходното напрежение от входния код $u_{OUT} = f(N)$. Различията между реалните предавателни характеристики и идеалната (права 1 на фиг.15.4) се дължат на следните три грешки (фиг.15.4а,б,в):

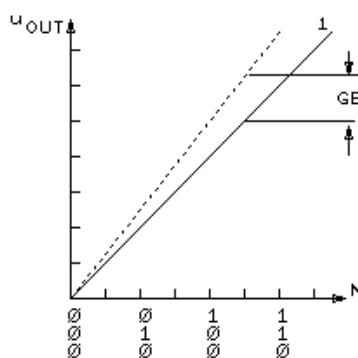
OE - грешка от отместване (фиг.15.4а);

GE - грешка от промяна на усилването (фиг.15.4б);

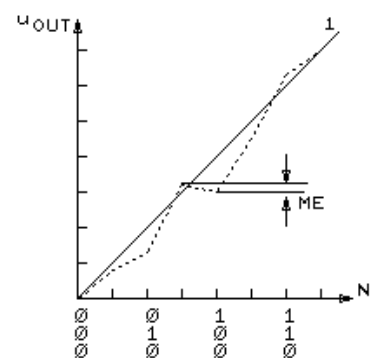
ME - грешка вследствие на немонотонност в характеристиката (фиг.15.4в).



фиг. 15.4а



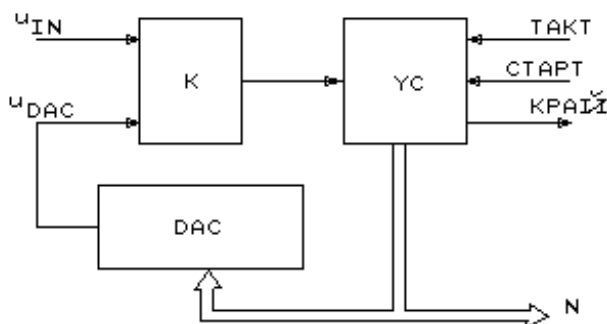
фиг. 15.4б



фиг. 15.4в

15.2.АНАЛОГОВО - ЦИФРОВИ ПРЕОБРАЗОВАТЕЛИ

Основната и най-често използвана структура на АЦП (фиг.15.5) е изградена на принципа на компенсиране (уравновесяване) на неизвестното преобразувано напрежение u_{IN} , с точно напрежение u_{OV} , генерирано във веригата на обратната връзка - обикновено от ЦАП. Компараторът К изработва двоичен сигнал, показващ кое от двете напрежения - u_{IN}

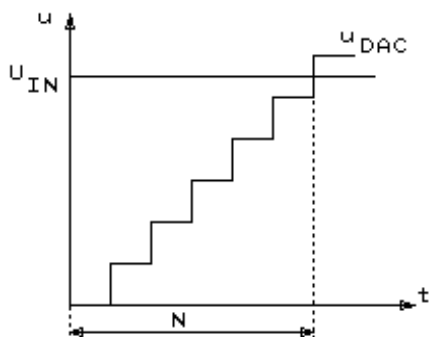


фиг. 15.5

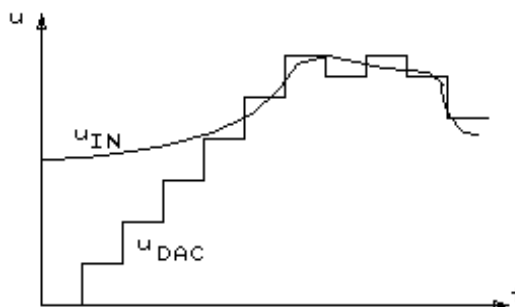
или u_{OV} е по-голямо. Когато те се изравнят (с грешка по-малка от "теглото" на най-младшия бит - LSB). При това числото N на входа на ЦАП е крайният резултат, т.е. N е и изходния код на аналогово-цифровия преобразувател.

В зависимост от алгоритъма (метода) на аналогово-цифровото преобразуване, управляващата схема (УС) изработва последователно във времето входните кодове на АЦП. Основните методи за аналогово-цифрово преобразуване са:

- **Броячен** (фиг.15.6а) - в този случай УС представлява брояч, чието съдържание расте до достигане на равенство на преобразуваното напрежение с компенсиращото;



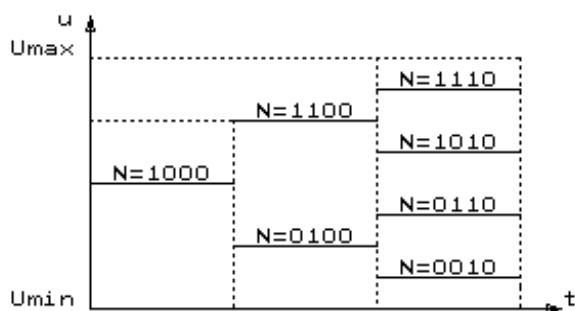
фиг. 15.6а



фиг. 15.6б

- **Следящ** (фиг.15.6б) - УС е реверсивен брояч чието съдържание расте или намалява в зависимост от изходния сигнал на компаратора, т.е. от знака на разликата между преобразуваното и компенсиращо напрежение;

- **Поразредно кодиране** (последователно приближение). Във всеки такт диапазонът, в който се намира неизвестното преобразувано напрежение u_{IN} се дели на две равни части и изходният сигнал на компаратора показва в коя от тях е u_{IN} . В следващия такт тя се дели отново на две и т.н. По подробно този метод е показан на фиг.15.7. В началото на преобразуването УС подава към ЦАП число, в което най- старшият разред a_{n-1} е равен на 1. В изхода на ЦАП напрежението се установява в средата на диапазона. В зависимост от знака на компаратора битът a_{n-1} се нулира (при $u_{OB} > u_{IN}$) или остава равен на 1 ($u_{OB} < u_{IN}$). Във втория такт се включва $a_{n-2} = 1$ (съответно напрежението от ЦАП се изменя с 1/4 от диапазона) и се повтаря същата процедура за отределяне стойността на a_{n-2} . По този начин за n такта се определят n разряда на резултатите от преобразуването N .

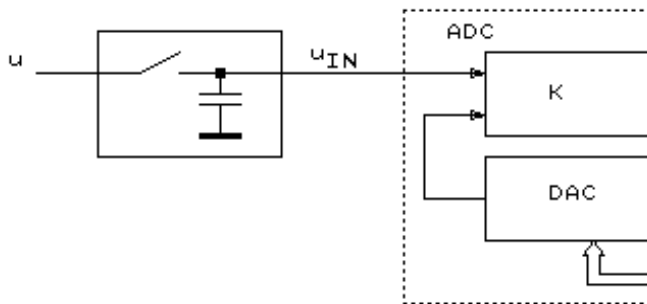


фиг. 15.7

При този метод на преобразуване УС е известна като SAR (Successive Approximation Register). В същност тя съдържа два регистъра. Първият е преместващ - в него от най-старшия (MSB) към най-младшия (LSB) разред "пъзли" единица, включваща съответните разреди след сравнението на u_{IN} и u_{OB} , техните окончателни стойности се записват във втори регистър (регистър на резултата).

Повечето от параметрите и характеристиките на АЦП напълно или по същество съвпадат с тези на ЦАП. Тук ще отбележим само:

- **време за преобразуване** - $T_{АЦП}$ - времето необходимо за едно аналогово - цифрово преобразуване. Тъй като през това време входният сигнал се мени, за да се избегнат динамични грешки, се използва т.нар. аналогова запомняща схема (схема "следене запомняне", "SAMPLE - HOLD"). В нейния кондензатор (фиг.15.8) се запомня стойността на входното напрежение в началния момент на преобразуването;



фиг. 15.8

- **предавателна характеристика:** - зависимостта на изходния код N от преобразуваното напрежение u_{IN} .

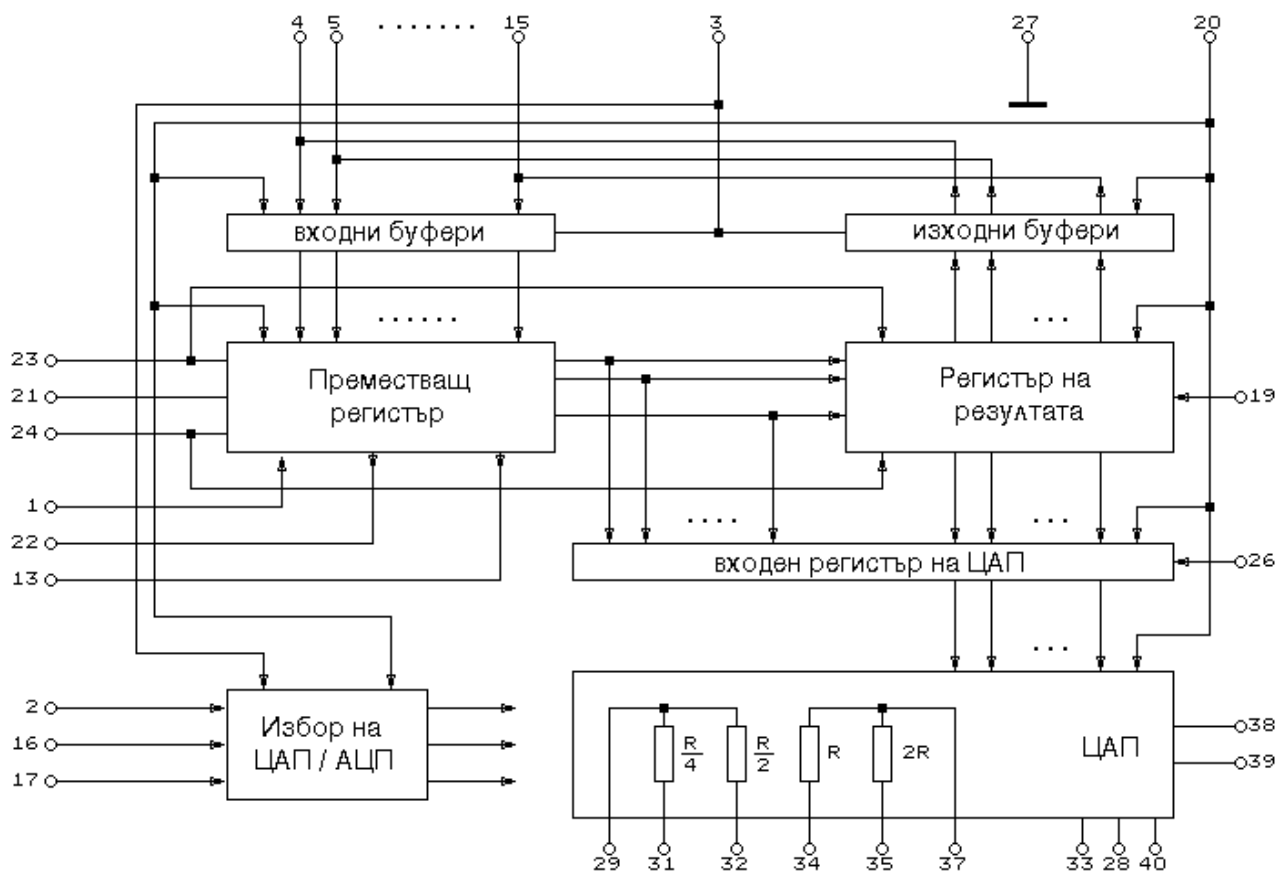
15.3. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

В лабораторното упражнение се използва интегралната схема К572ПВ1. Тя съдържа ЦАП с резисторна матрица $R-2R$, допълнителни резистори $R/4$, $R/2$, R и $2R$, входен регистър на ЦАП, управляваща схема включваща преместващ регистър и регистър на резултата, схема за избор на режим ЦАП/АЦП, входни и изходни буфери. Изводите на ИС са:

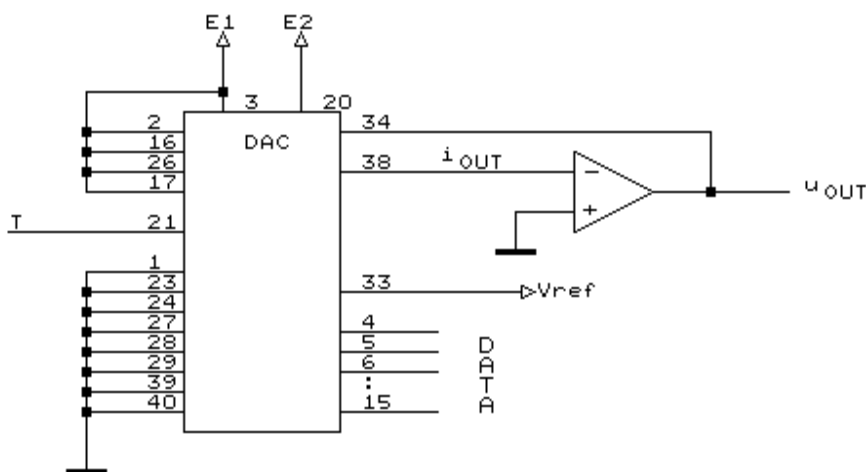
- 1 - последователен вход;
- 2 - вход за управление на старшия разред(MSB);
- 3 - захранващо напрежение $E_1=5V$;
- от 4 до 15 - цифрови входове/изходи;
- 16 - вход за управление на младшия разред(LSB);
- 17 - вход за управление на режима на работа;
- 18 - изход "Цикъл";
- 19 - вход за сравнение;
- 20 - захранващо напрежение $E_2=15V$;
- 21 - вход T (синхронизация);
- 22 - изход "Край на преобразуването";
- 23 - вход "Старт";
- 24 - вход "Цикъл";
- 26 - вход за стробиране в ЦАП;
- 27 - цифрова земя;
- 28 - извод на края на матрицата $R-2R$;
- 29 - общ извод на резисторите $R/2$ и $R/4$;
- 31 - извод на резистора $R/4$;
- 32 - извод на резистора $R/2$;
- 33 - опорно напрежение E_{ref}
- 34 - аналогов вход 1;
- 35 - аналогов вход 2;
- 37 - общ извод на резисторите на аналоговите входове 1 и 2;
- 38 - аналогов изход 1;
- 39 - аналогов изход 2;
- 40 - аналогова земя.

Блоквата схема е показана на фиг.15.9.

Преобразувателят се съгласува с ТТЛ ИС при $E_1=5V$. Схемата може да се съгласува с 8 разредната шина на микропроцесорна система. Изходите могат да се поставят в "трето" състояние. При работа със схемата е необходимо да се спазва следната последователност на включване на напреженията: - нулев потенциал, захранващи напрежения, опорно



фиг. 15.9



фиг. 15.10

напрежение, напрежения на цифровите входове. Последователността на изключване на напреженията е обратен.

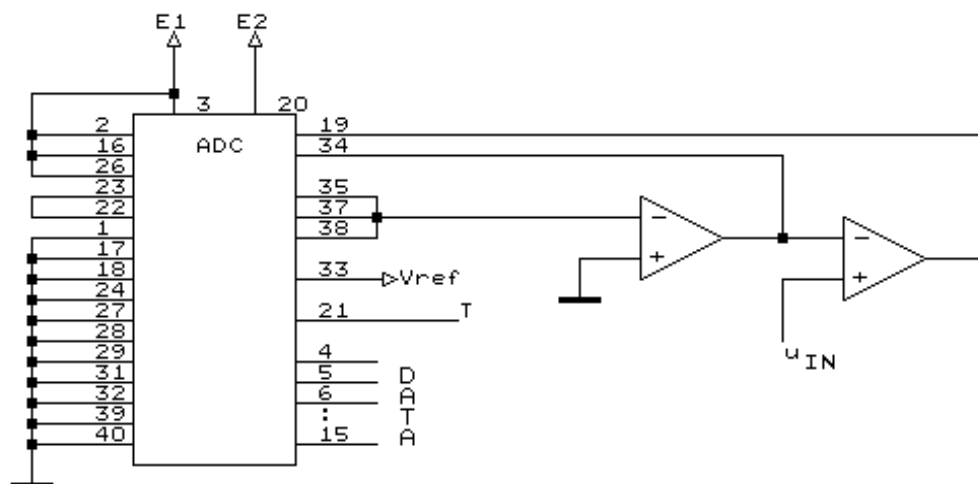
Изследванията се провеждат върху лабораторен стенд или с автоматизирана тестова система.

Състоят се в:

1. Свързване на схемата като ЦАП (фиг.15.10). На извод 17 трябва да се подаде високо ниво. Запис на информацията се осъществява при подаване на извод 21 на тактови импулси (с честота 20kHz) при наличие на ниско ниво на извод 23. При подаване на тактови импулси на извод 21 и напрежение с високо ниво на извод 23 информацията се изтрива. Запомняне на информацията се

извършва при подаване на високо ниво на извод 26. За въвеждане на информацията в последователен код се използва извод 1 синхронно с тактовите импулси към извод 21, започвайки с младшия разред.

2. Свързване на схемата като АЦП (фиг.15.11). Чрез показаната по-горе ИС К572ПВ1 може да се реализира АЦП с поразредно кодиране, благодарение на вградените в него регистри. За целта е необходимо да се свърже външен компаратор, източник на опорно напрежение и генератор на тактови импулси. На фиг.15.11. е показано свързване на ИС К572ПВ1 като 12 - разреден АЦП, характеризиращ се с повишена точност и стабилност на преобразуването. На 17 извод подаваме 0V, изводи 35,37 и 38 се свързват към инверсния вход на ОУ1(външна схема TL080), чиито изход се свързва към инверсния вход на ОУ2(компаратор) и към извод 34. Свързването на 22 и 23 извод определя цикличен режим на работа и дава възможност за измерване с осцилоскоп на времето за преобразуване.



фиг. 15.11

15.4.ВЪПРОСИ И ЗАДАЧИ

1. Коя от трите резисторни структури (фиг.15.3) е най-подходяща за реализиране в голяма интегрална схема?
2. Съставете схеми на транзисторни ключове за всяка от матриците на фиг.15.3.
3. Съставете схема за управление на АЦП по метода на поразредното кодиране.
4. Сравнете трите метода на аналогово-цифрово преобразуване по отношение на бързодействие и апаратура.
5. Необходима ли е аналогова запомняща схема в АЦП от "следящ" тип? Защо?

УПРАЖНЕНИЕ №16

ОПТРОННИ КЛЮЧОВИ СХЕМИ

Основните предимства на оптронните схеми са галваничното разделяне между вход и изход, еднопосочността на предаване на енергията (съответно информацията), нечувствителността спрямо електромагнитни смущения, широката честотна лента и др. Те обуславят приложението на ключови схеми с оптрони, главно в интерфейсните вериги на съвременните цифрови устройства.

Оптронът представлява прибор, в който конструктивно са обединени източник на светлина (светодиод - СД), оптична среда и фотоприемник. В момента са разпространени пет основни типа фотодиодни, фототранзисторни, фототиристорни и фотосимисторни оптрони. За предаване на цифрови сигнали най-подходящи са фототранзисторните оптрони. При фототранзисторните оптрони (ФТО) като приемник се използва фототранзистор (ФТ), а като източник на светлина СД. ФТ преобразува светлинната енергия на СД в електрическа. Най-често структурата на ФТ оптроните е от типа NPN. При осветяване на ФТ със светлина с подходяща дължина на вълната в базовата му област се генерират токоносители - електрони и дупки, които увеличават проводимостта на ФТ. Светлинният поток изпълнява функцията на базовия ток при обикновените биполарни транзистори. ФТ се включват най-често в схема с общ емитер при нулев базов ток. За разлика от фотодиода (ФД), ФТ е прибор с вътрешно усилване. Чувствителността на ФТ зависи от дължината на светлинната вълна, падаща върху него. ФТО съчетават сравнително голямо бързодействие (но около десет пъти по-малко от това при ФДО) с голям коефициент на предаване по ток (h_{21E} пъти по-голям от този на ФДО). Времената на включване и изключване на ФТО могат да се намалят до $1\div 2 \mu s$, а коефициентът им на предаване по ток може да достигне до $250\div 300\%$. Токът на тъмно на ФТ е h_{21E} пъти по-голям от този на ФД. ФТО се произвеждат както без, така и с изведен базов извод. Приборите с изведен базов извод имат по-големи функционални възможности. Базовият извод може да се използва за подобряване на честотните свойства на оптроните, за температурна компенсация, за линеаризиране на характеристиките им, за управление по електрически път, за използване на ФТ в различни режими на работа и др. Използването на ФДО с усилвателен транзистор е за предпочитане пред ФТО когато е необходимо по-голямо бързодействие на схемата и по-добра линейност на изходните характеристики.

Целта на упражнението е изследването на ключови схеми с фототранзисторни оптрони.

16.1. ХАРАКТЕРИСТИКИ И ПАРАМЕТРИ НА ФТО

Еквивалентната схема на ФТО е показана на фиг. 16.1. Параметрите на елементите в тази схема могат да се определят чрез известни изрази от теорията на полупроводниковите прибори. Дадените по-долу зависимости показват връзката между физичните параметри (параметрите на елементите в еквивалентната схема) и параметрите на ФТО, разгледан като четириполюсник, както и зависимостите на физичните параметри от постояннотоковия режим на прибора. Еквивалентната схема е по променлив ток и затова в нея не е показан генераторът на ток I_D (токът на тъмно).

1. Капацитет на СД

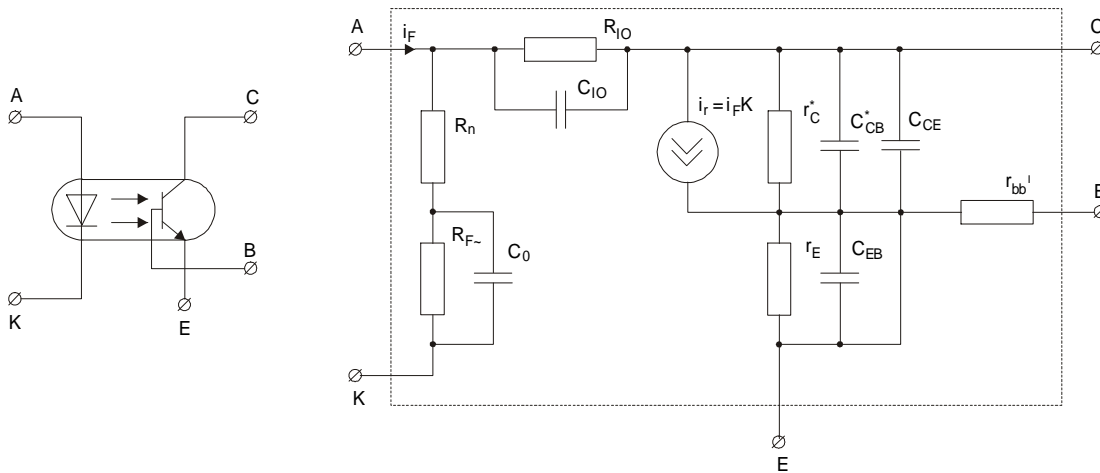
$$C_0, pF = 14.5 I_F, mA.$$

2. Променливотоково и постояннотоково съпротивление на СД

$$R_{F\sim} = \frac{\Delta U_F}{\Delta I_F}; \quad R_F = \frac{U_F}{I_F}.$$

3. Съпротивление на емитерния PN преход на ФТ

$$r_E, \Omega = \frac{26}{I_E, mA}.$$



Фиг. 16.1

4. Съпротивление на колекторния PN преход на ФТ в схема с общ емитер

$$r_C^* = \frac{\Delta U_{CE}}{\Delta I_C}, \quad I_F = \text{const}, \quad I_B = 0.$$

5. Входно съпротивление на ФТ

$$h_{11} = \frac{\Delta U_{BE}}{\Delta I_B}, \quad U_{CE} = \text{const}, \quad I_F = 0.$$

6. Обемно съпротивление на базата на ФТ

$$r_{bb}^I = h_{11} - (1 + h_{21E})r_E.$$

7. Капацитет на емитерния PN преход на ФТ

$$C_{EB}, pF = 3.8 I_E, mA.$$

8. Капацитет колектор - база на ФТ в схема с общ емитер

$$C_{CB}^* = C_{CB} (1 + h_{21E}),$$

където C_{CB} е капацитетът колектор – база на ФТ в схема с обща база.

9. Коэффициент на обратна връзка по напрежение на ФТ

$$h_{12} = \frac{r_E}{2r_C^*}.$$

10. Гранична честота на ФТ в схема с общ емитер

$$f_{h_{21E}} = \frac{f_{h_{21B}}}{1 + h_{21E}}.$$

11. Гранична честота на ФТ в схема с обща база

$$f_{h_{21B}} = \frac{1}{2\pi C_{EB} r_E}.$$

12. Връзки между коефициентите на усилване по ток в схеми с обща база и общ емитер

$$h_{21B} = \frac{h_{21E}}{1 + h_{21E}}; \quad h_{21E} = \frac{h_{21B}}{1 - h_{21B}}.$$

13. Честотна зависимост на коефициента на усилване по ток на ФТ в схема с общ емитер

$$h_{21Ef} = \frac{h_{21E}}{1 + p \frac{f}{f_{h_{21E}}}},$$

където p е операторът на Лаплас.

14. Съпротивление на колекторния PN преход в схема с общ емитер

$$r_C^* = \frac{r_C}{1 + h_{21E}},$$

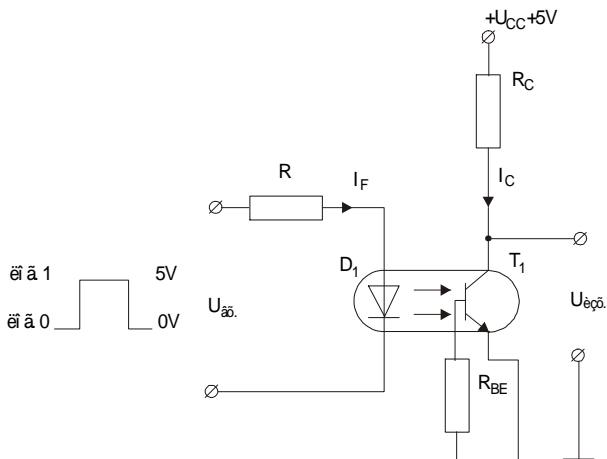
където r_C обемното съпротивление на колекторния PN преход на ФТ в схема с обща база.

15. Изходно съпротивление на ФТ в схема с общ емитер

$$\frac{1}{h_{22}} = \frac{\frac{r_C}{1+h_{21E}}}{1+pC_{CB}r_C} + \frac{r_E}{1+pC_{EB}r_E}$$

16.2. КЛЮЧОВ РЕЖИМ НА ФТО

Основната ключова схема с фототранзисторен оптрон е показана на фиг. 16.2.



Фиг. 16.2

Съществен параметър е коефициентът на предаване по ток (CTR - current transfer ratio). Той се определя от следния израз:

$$CTR = \frac{I_{изх}}{I_{вх}} = \frac{I_C}{I_F},$$

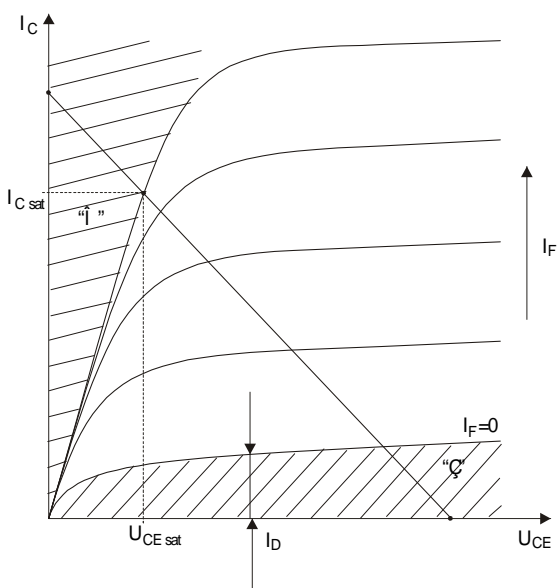
където:

I_C – колекторен ток през T_1

I_F - ток през светодиода D_1

Условието фототранзисторът да бъде наситен е следното:

$$I_F > \frac{U_{CC}}{CTR \cdot R_C}$$



Фиг. 16.3

При изпълнение на това условие напрежението между колектора и емитера на фототранзистора има стойност по-малка от един волт.

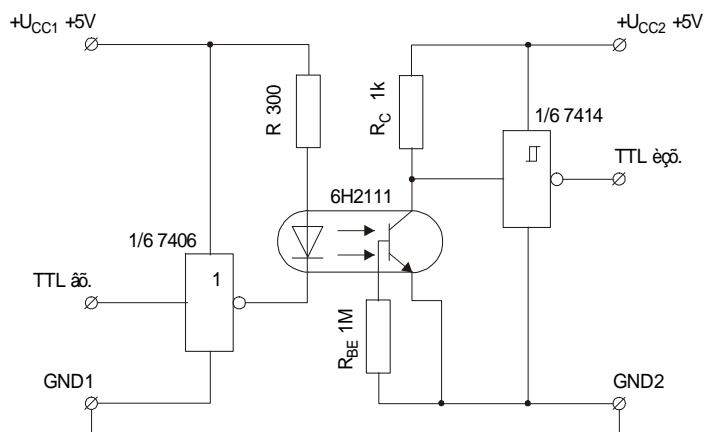
Една от основните характеристики на оптрона е неговата изходна характеристика. Тя представлява зависимостта между I_C и U_{CE} при параметър ток през светодиода I_F . Има вида показан на фиг. 16.3.

На фиг. 16.3 са показани двете работни области на ключовата схема с общ емитер от фиг. 16.2.

1. Запушено състояние - "З" (защрихованата област под $I_F = 0$). Тук с I_D е означен токът на тъмно на фототранзистора;
2. Насищане (вертикалната защрихована област). $I_{C\text{ sat}}$ е колекторния ток на ФТ в режим на насищане. $U_{CE\text{ sat}}$ е напрежението U_{CE} в режим на насищане.

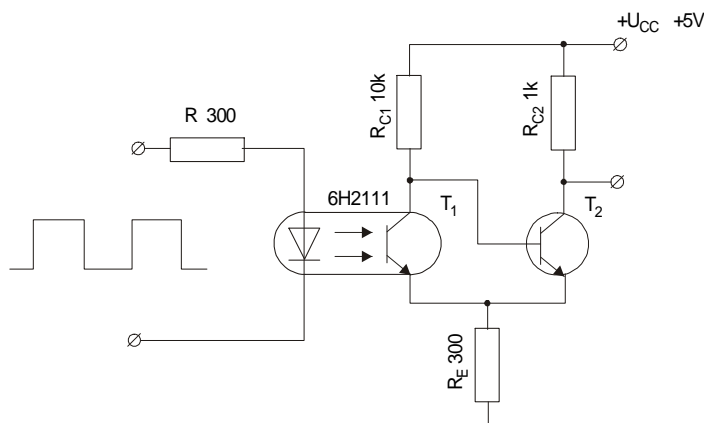
16.3. ПРАКТИЧЕСКИ СХЕМИ С ФТО

На фиг. 16.4 е показана схема за галванично разделяне, използвана в интерфейсите вериги на цифровите устройства. Необходими са два отделни захранващи източника за входната и изходната вериги. Интегралната схема 7414 - тригер на Шмит се използва за формиране на правоъгълни изходни импулси и за повишаване шумоустойчивостта на схемата.



Фиг. 16.4

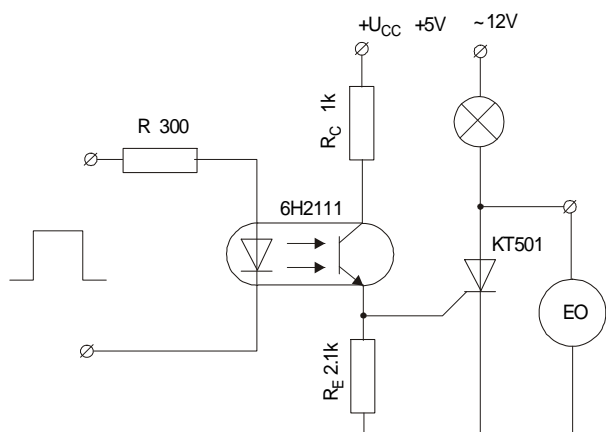
Една проста схема за галванично разделяне (фиг. 16.5) обединява оптрона с входната верига на тригера на Шмит. Нейният изходен сигнал обаче, поради високото ниво на логическата нула, не е директно съвместим с TTL и CMOS интегралните схеми.



Фиг. 16.5

На фиг. 16.6 е показано приложение на оптрон за управление на силови вериги с галванично развързване. Оптронът не може да бъде свързан директно за комутиране на товара, защото токът му през прехода колектор-емитер е твърде малък. Затова ФТ е свързан към управляващия електрод на

тиристор с подходящи за целта параметри. Галваничното разделяне при управлението на силови вериги осигурява безопасната работа на управляващите схеми.



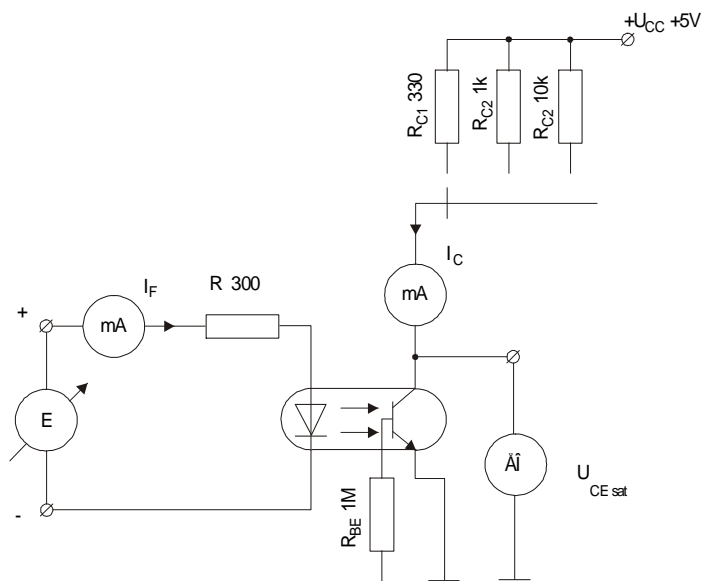
Фиг. 16.6

16.4. СЪДЪРЖАНИЕ НА ЛАБОРАТОРНОТО УПРАЖНЕНИЕ

Основните задачи в упражнението са:

1. Изследване на статичния режим на оптронна ключова схема.

От източника Е (фиг. 16.7) се подава постоянно напрежение в рамките от (0÷5 V). Отчитаме I_F с помощта на милиамперметър. При изменение на Е, в границите посочени по-



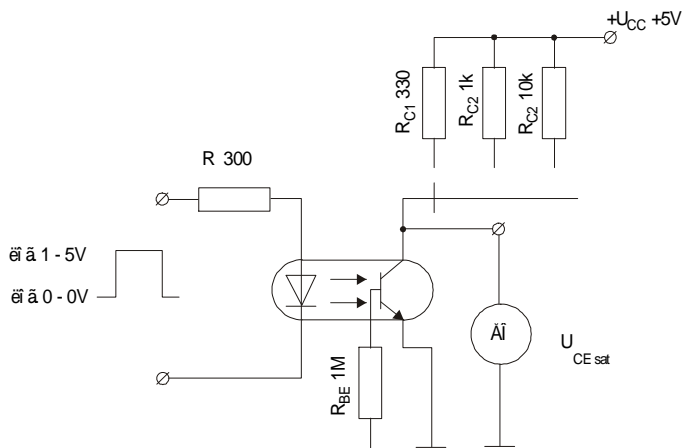
Фиг. 16.7

горе се наблюдава тока през колекторната верига и U_{CE} на фототранзистора. Тази постановка се изпълнява три пъти, съответно за всяка от посочените стойности на колекторния резистор R_C .

Построяват се предавателните характеристики $I_C = f(I_F)$ при параметър R_C и от опитните данни се определя режима на насищане на фототранзисторния оптрон.

2. Изследване на динамичния режим.

На входа на схемата (фиг. 16.8) се задава тактова поредица симетрични импулси с TTL ниво. Формата на изходния сигнал се следи с електронен осцилоскоп (ЕО). Входната честота се задава от 50 Hz до 200kHz. Измерванията се правят три пъти за всяка една от стойностите на колекторните съпротивления. Необходимо е да се определи влиянието на колекторния резистор върху честотната лента и граничните стойности на честотата на входния сигнал, при които започва изменение на формата на изходния сигнал.



Фиг. 16.8

3. Изследване на схемите от фиг. 16.4, 16.5 и 16.6.

Подават се входни симетрични импулсни сигнали с честота на повторение от 50 Hz до 200kHz. Изходният сигнал се наблюдава с електронен осцилоскоп. Определя се максималната работна честота.

16.5. ВЪПРОСИ И ЗАДАЧИ

1. Какви са режимите на работа на ФТО?
2. Какво представлява коефициентът на предаване по ток и в какви граници се измерва?
3. От какво зависят честотните свойства на оптронните схеми?
4. Какви приложения познавате?
5. Синтезирайте Ваша схема за галванично разделяне на входната и изходната вериги.

Изследвайте действието ѝ.

ЛИТЕРАТУРА

1. Horowitz, P., Hill W. The art of Electronics, Cambridge University Press, 1980. Превод на руски език: Изкуство схемотехники, М."Мир", 1983.
2. Вълков С., Микроелектронна схемотехника. С., Техника, 1987.
3. Попов, А., Д. Манова, Б. Трайков. Ръководство по цифрова схемотехника. Технически университет - филиал Пловдив, 1994, 1996.
4. Конов, К. Импулсни и цифрови схеми с интегрални TTL елементи. С., Техника, 1988.
5. Конов, К., М. Димитрова, А. Попов. Импулсни схеми (Наръчник по електронни схеми, част 7). С., Техника, 1984.
6. Конов, К. Кратък справочник по цифрови интегрални схеми. С., Техника, 1986.
7. Димитрова, М., И. Ванков. CMOS интегрални схеми. С., Техника, 1988.
8. Димитрова, М., И. Ванков. Импулсни схеми и устрйоства - ч. 1,2. С., Техника, 1989.
9. Попов, А., З. Каракехайов. Аналогови устрйоства за микропроцесорни системи. С., Техника, 1988.
10. Попов, А., Върху преходните процеси в някои полупроводникови логически схеми. Дисертация. ВМЕИ, София 1975.
11. Степаненко, И., Основ? теории транзисторов и транзисторн?х схем. М., ?нергия, 1977.
12. Berger H., Wiedmann S. Merged Transistor logic (MTL) - a low cost bipolar logic concept. IEEE J., 1972, v. SC -7, p. 346-351.
13. Hart K., Integrated Injection Logic - a new approach to LSI. IEEE J., 1972, v. SC - 7, p. 340-346.
14. Колев И. С., Т. С. Тодоров, Оптрони и приложението им, Техника, С 1988г.
15. Колев И. С. и колектив, Оптиелектронни схеми, Техника, С 1985г.