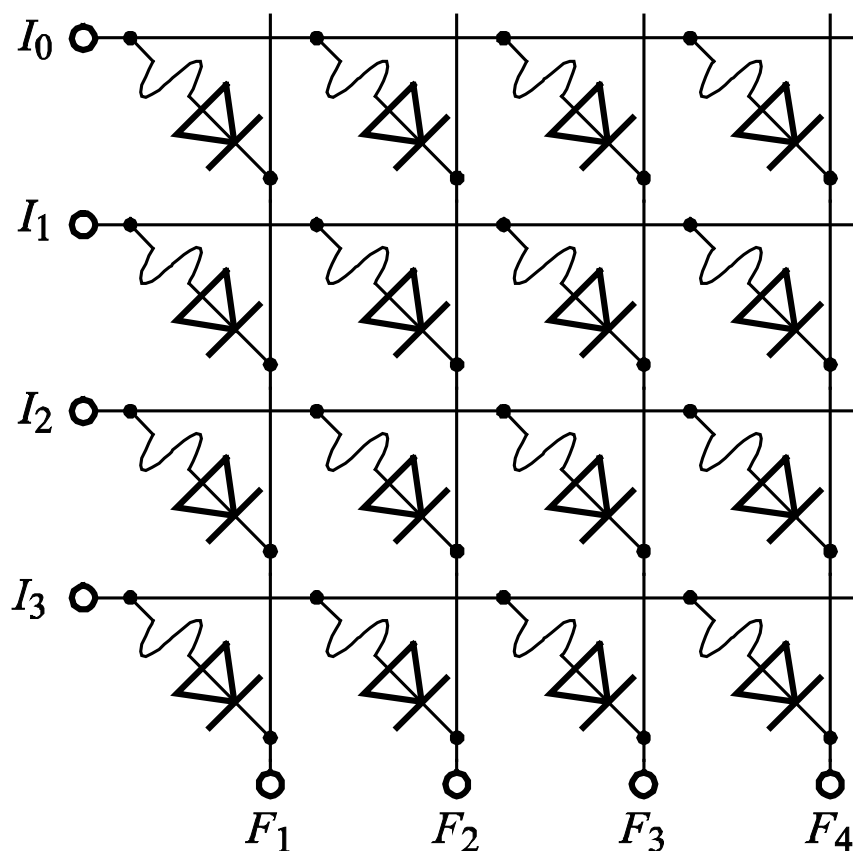


## 9. ПРОГРАМИРУЕМА ЛОГИКА

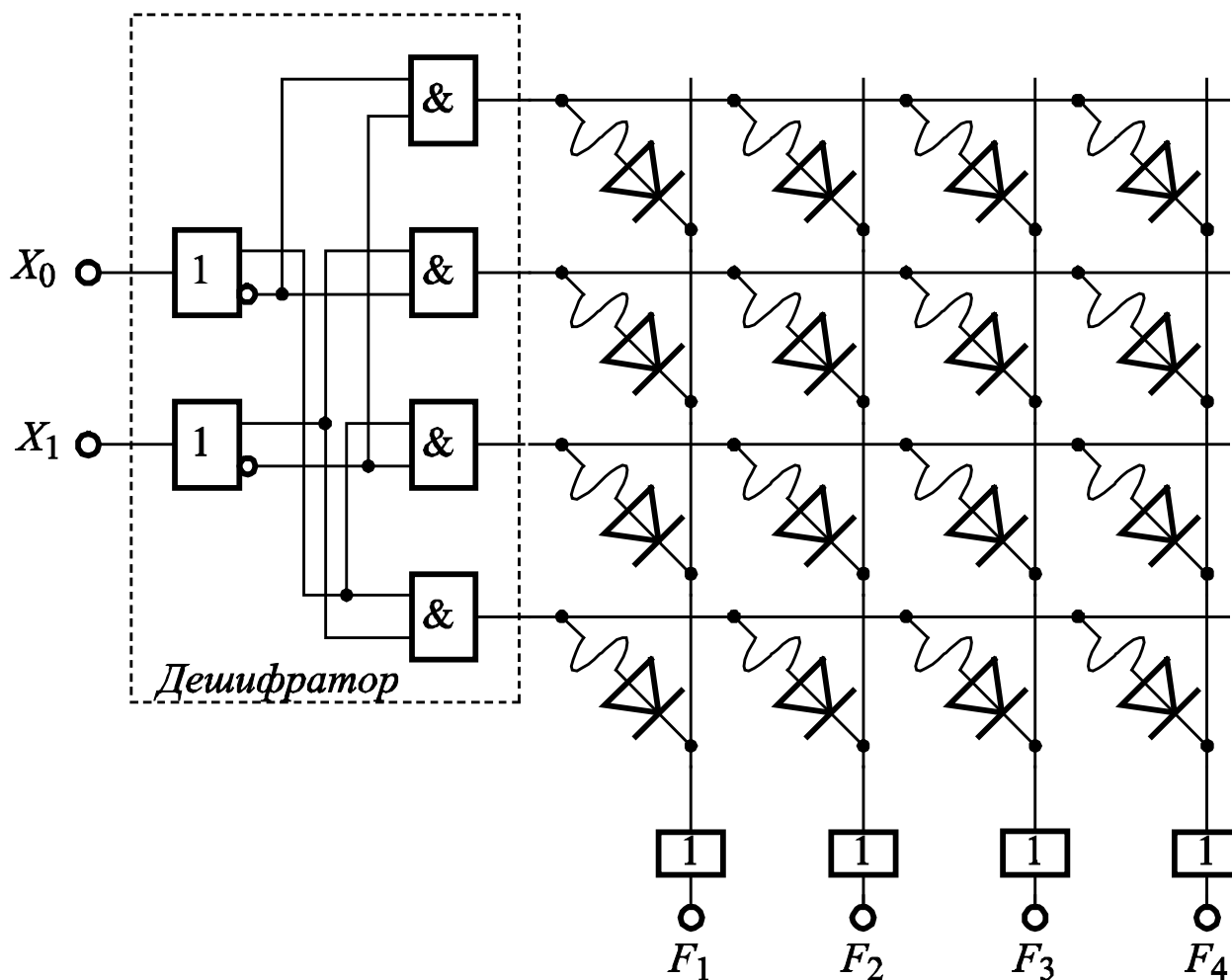
### 9.1. Програмируеми логически схеми – PLD



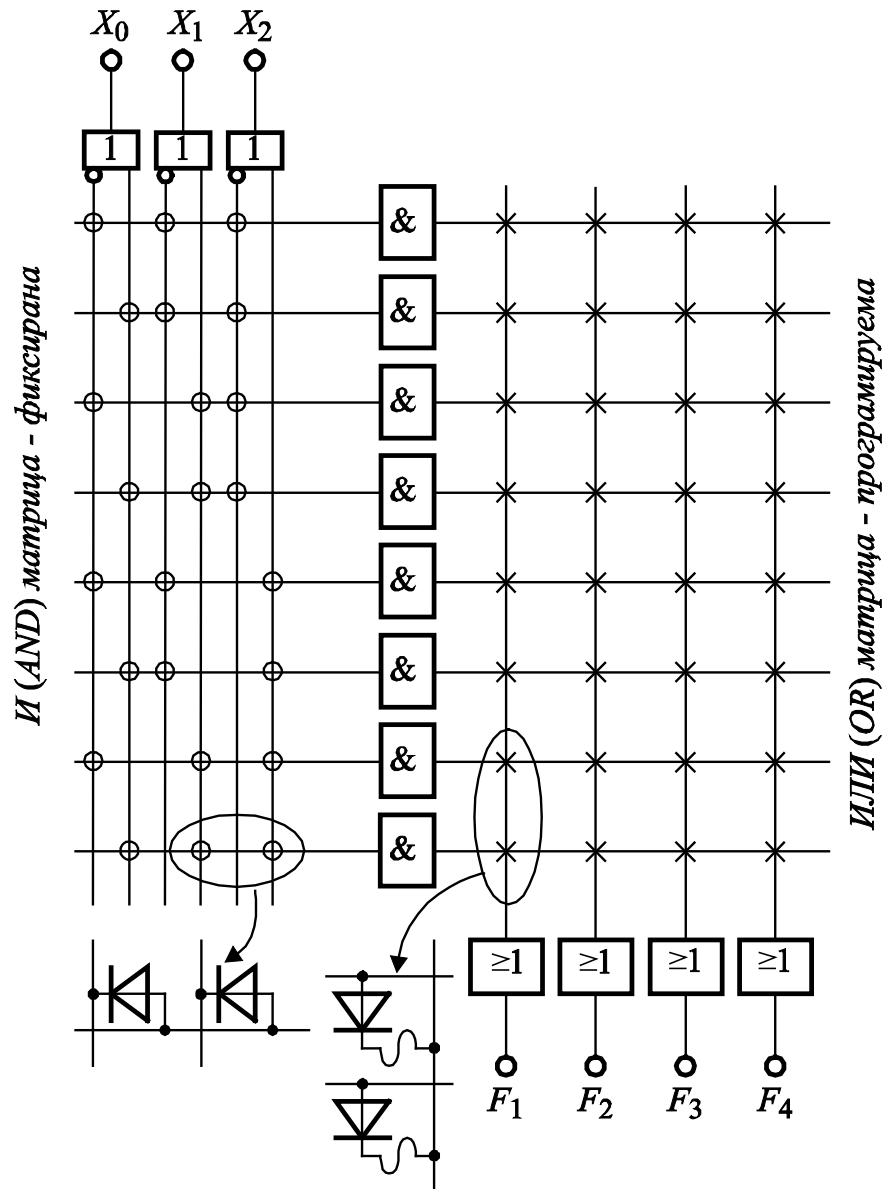
Програмируема схема на базата на диодна матрица.



# Цифрова схемотехника



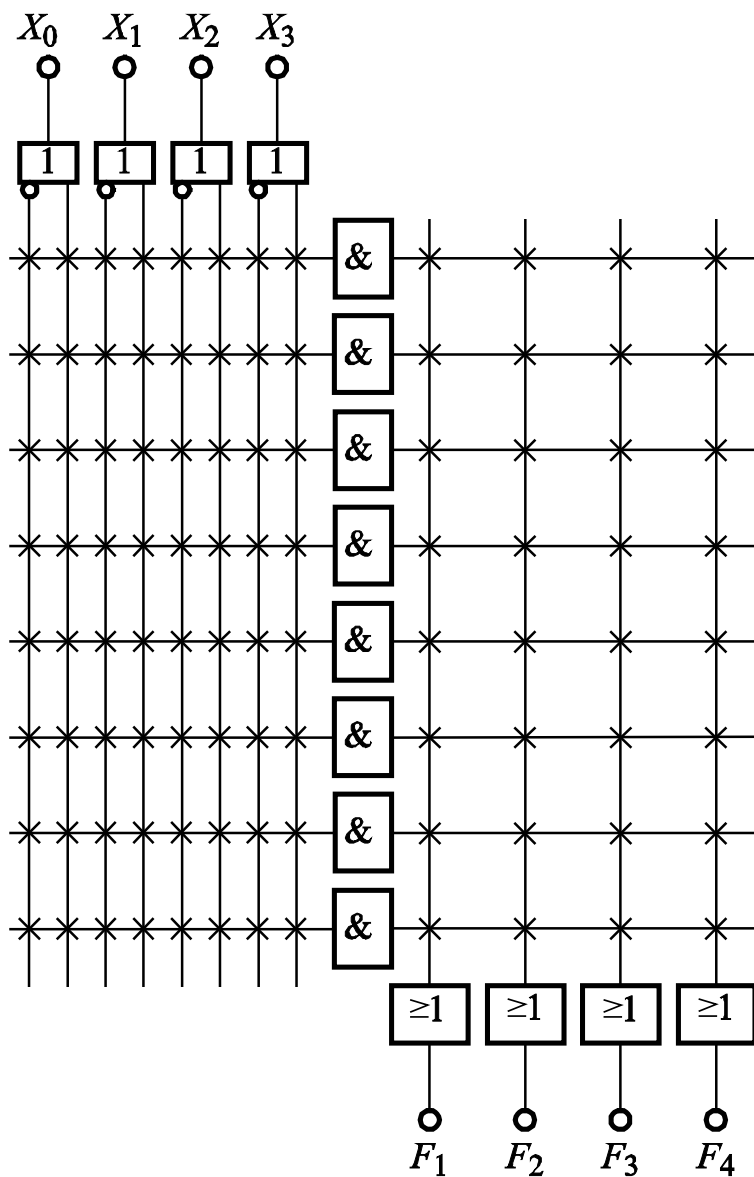
**Програмируема диодна логическа матрица за четири функции на две променливи.**



## 9.1.1. Програмираем логически елемент – PLE

$$F = \sum_0^{2^n - 1} (m_i \cdot f_i)$$

Структура на PLE (PROM) – пример с 8 думи по 4 бита.

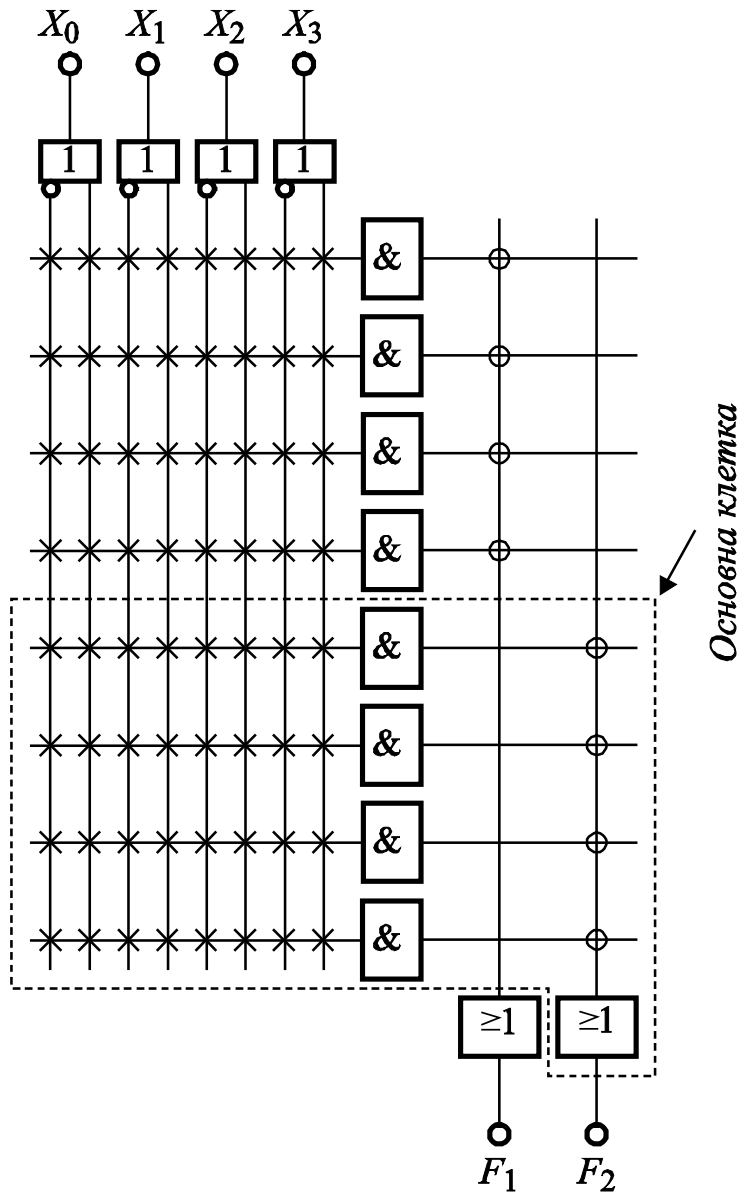


## 9.1.2. Програмируеми логически матрици – PLA

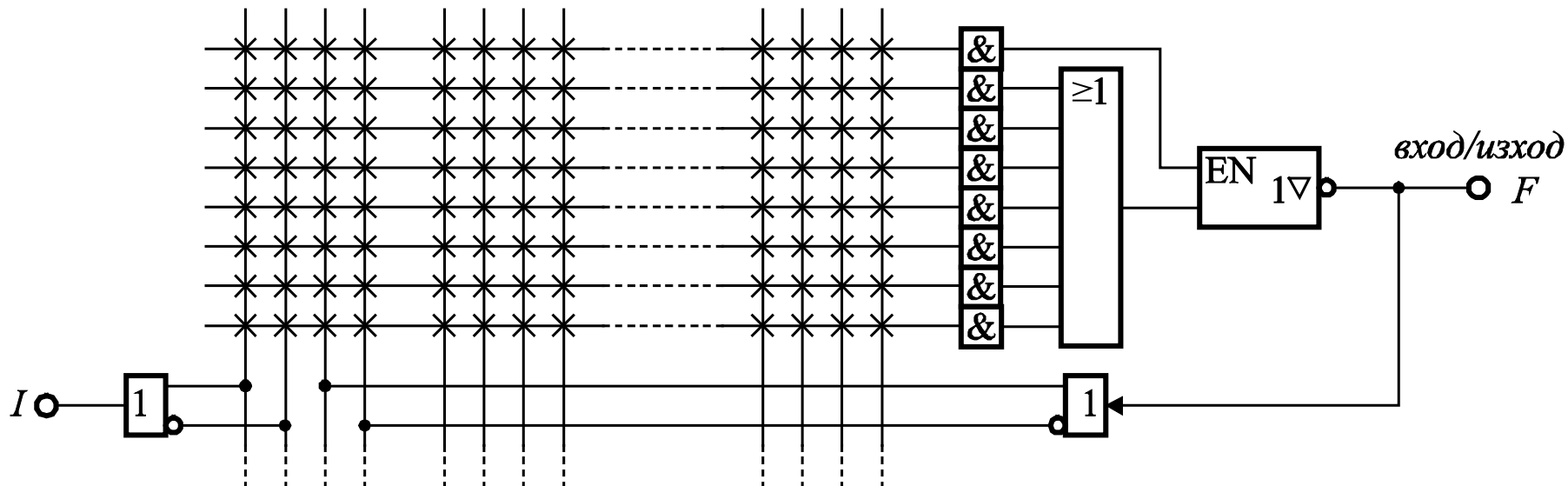
Структура на програмируема  
логическа матрица – PLA  
(FPLA)



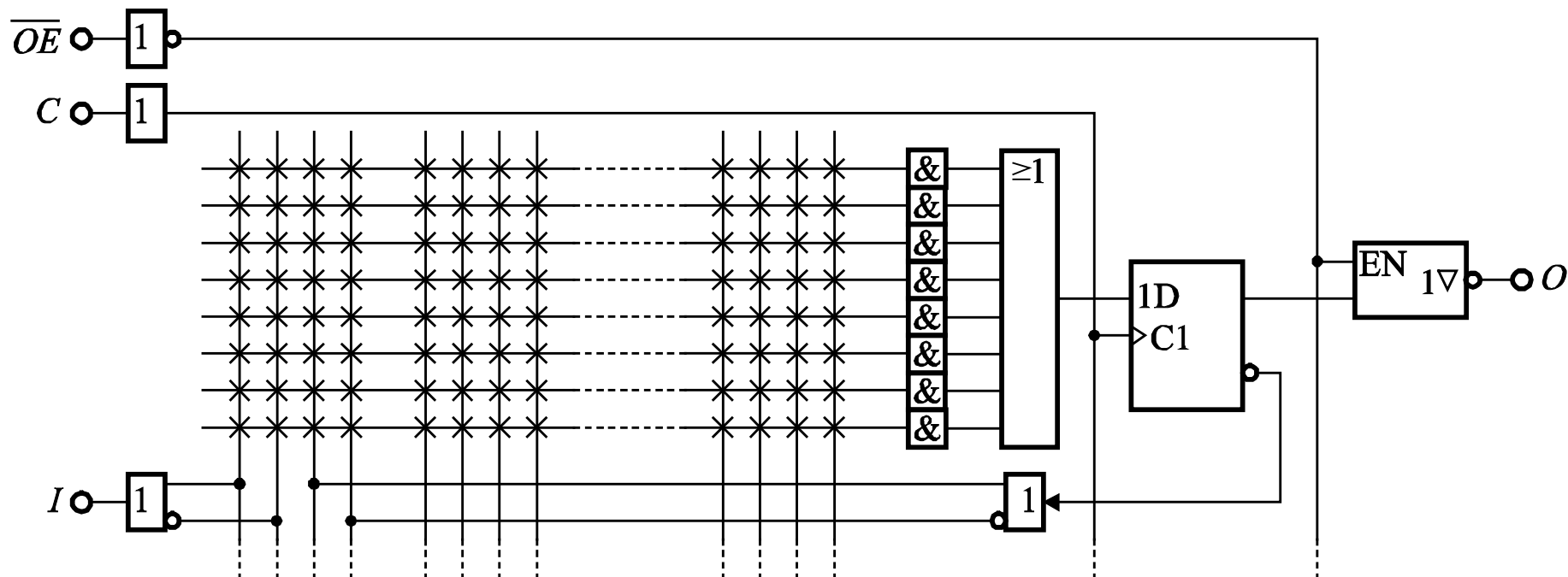
## 9.1.3. Програмируема матрична логика – PAL



Структурна схема на PAL.

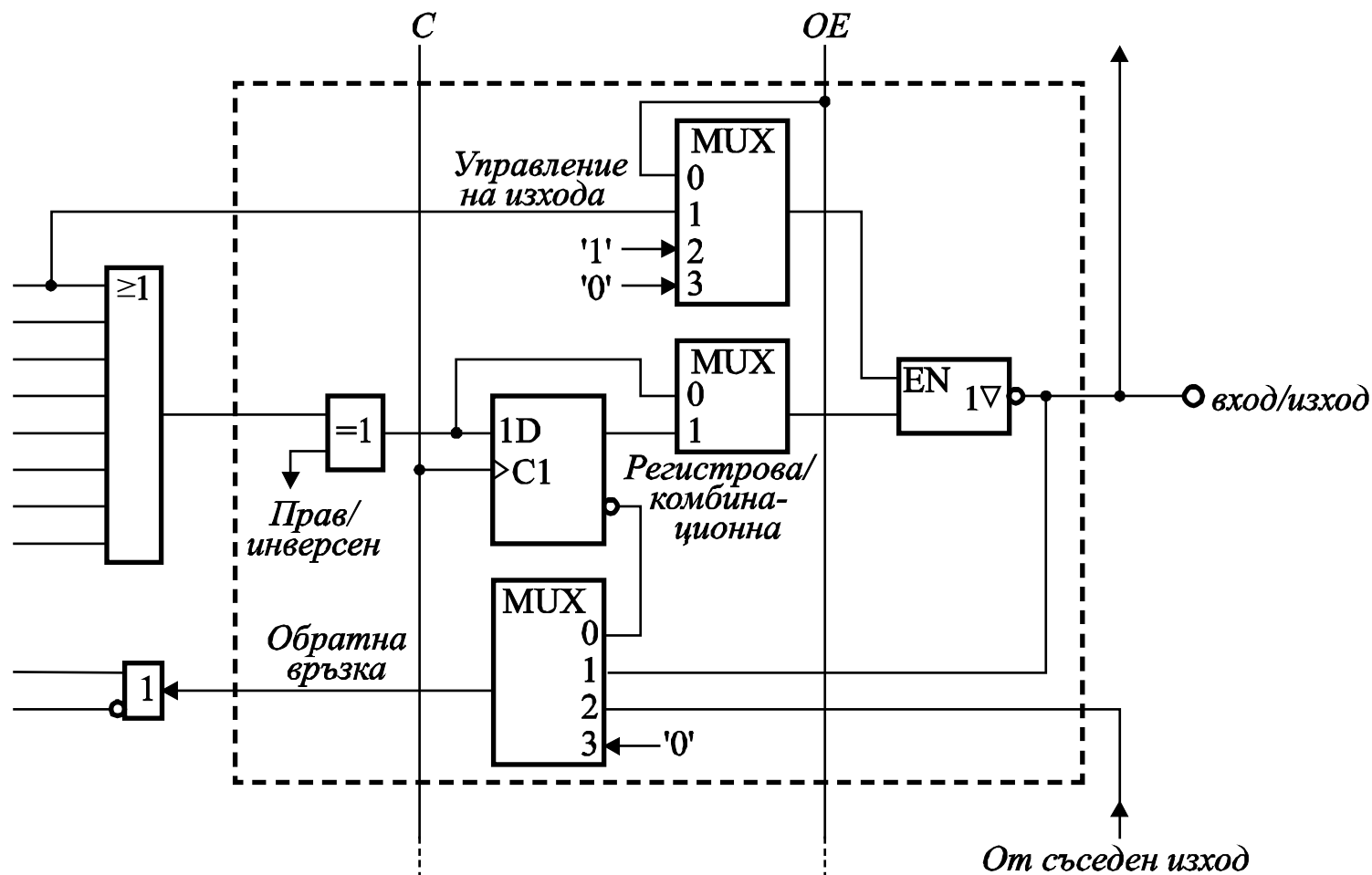


Основна клетка на PAL 16L8.



Основна клетка на регистрова PAL 16R8.

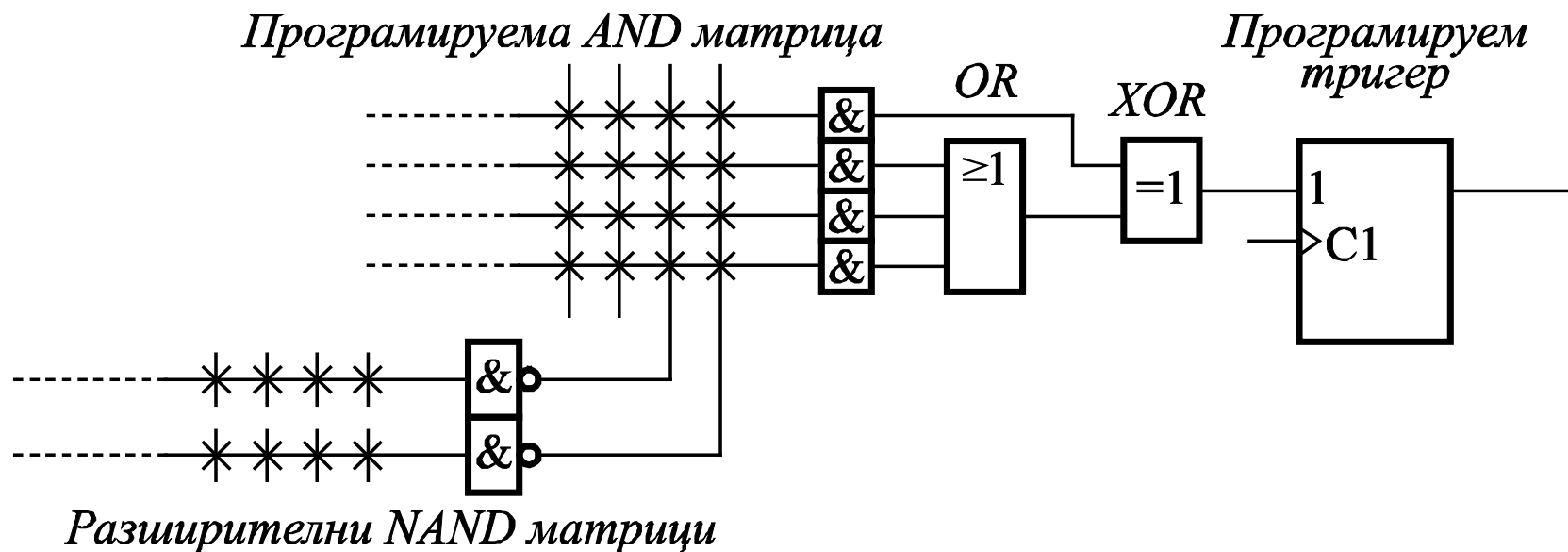
## 9.1.4. Базова матрична логика – GAL



Основна изходна клетка на GAL 16V8.



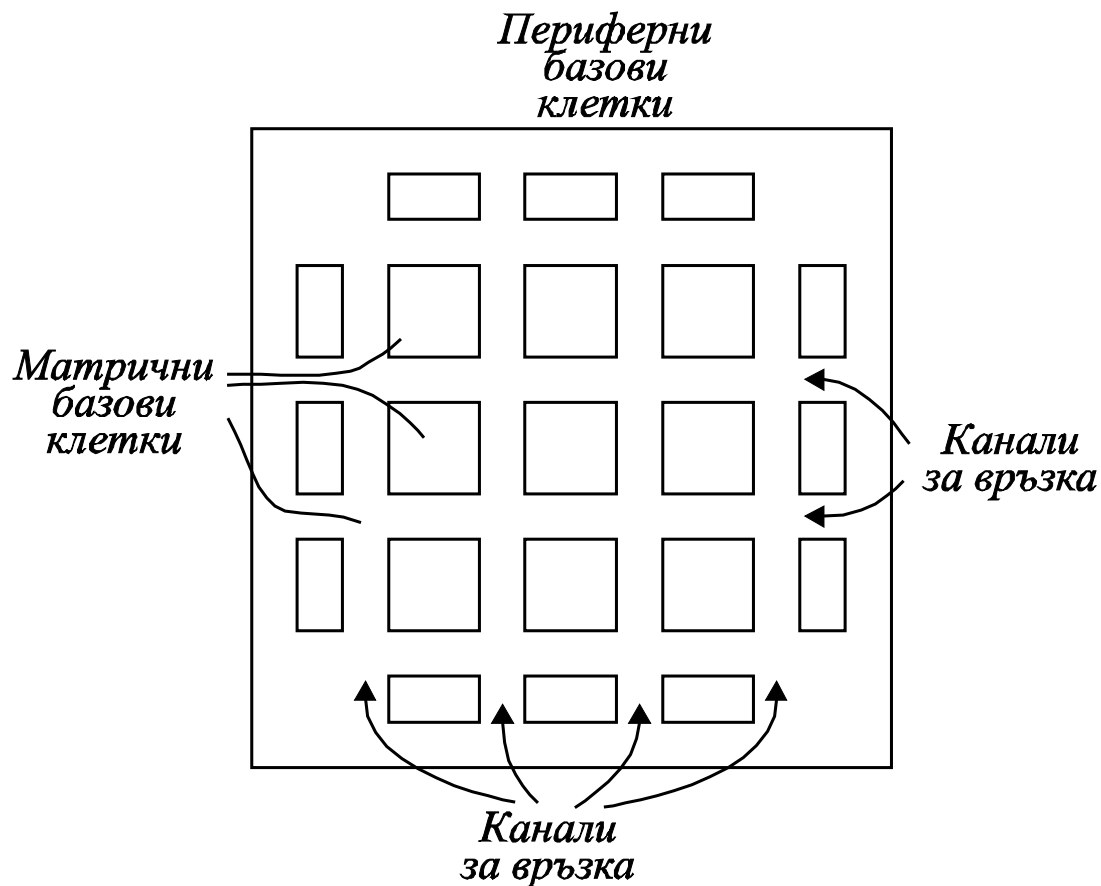
## 9.1.5. Многослойни логически матрици – MLA



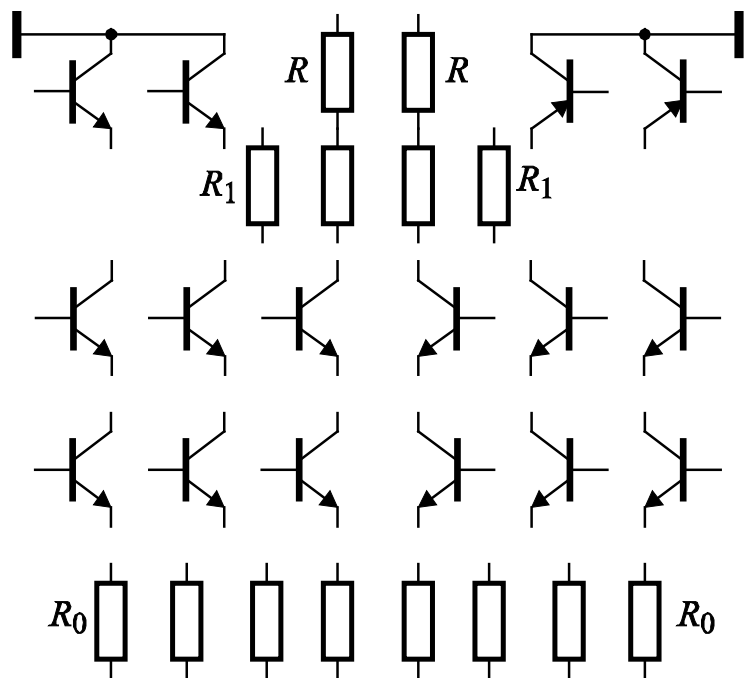
Архитектура на основна клетка на многослойна матрица.

## 9.2. Вентилни матрици – GA

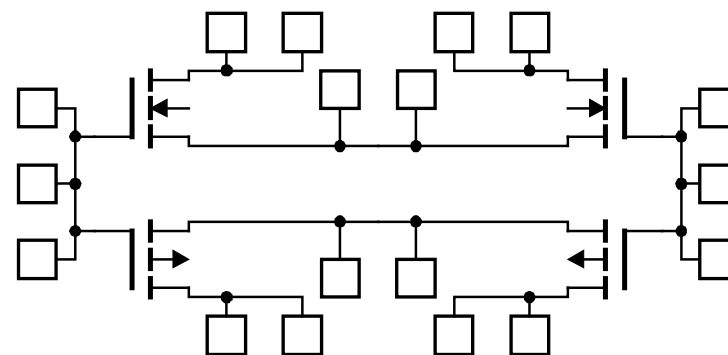
### 9.2.1. Архитектура на програмируемите вентилни матрици



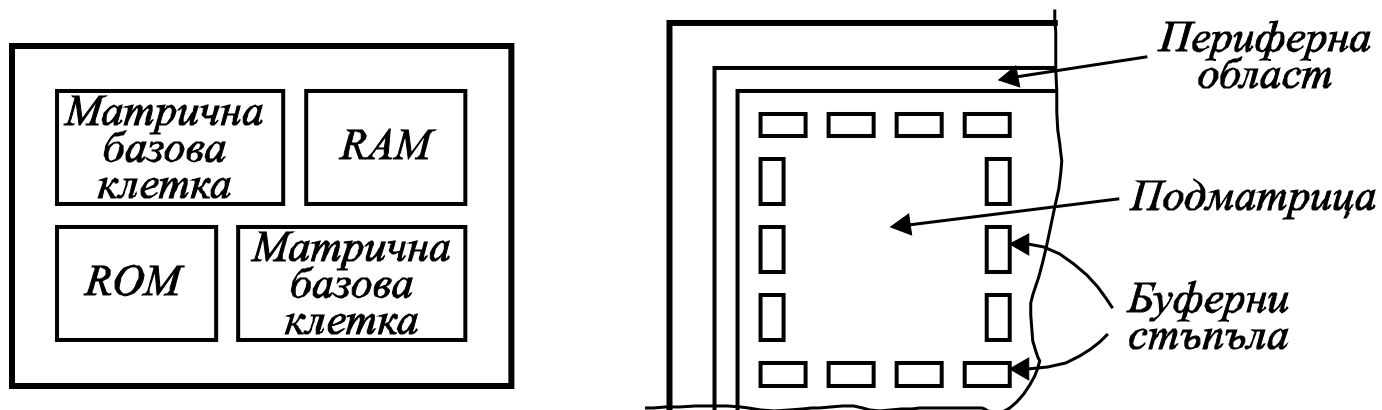
Структура на класическа MPGA.



Състав на ECL вентилна матрица.

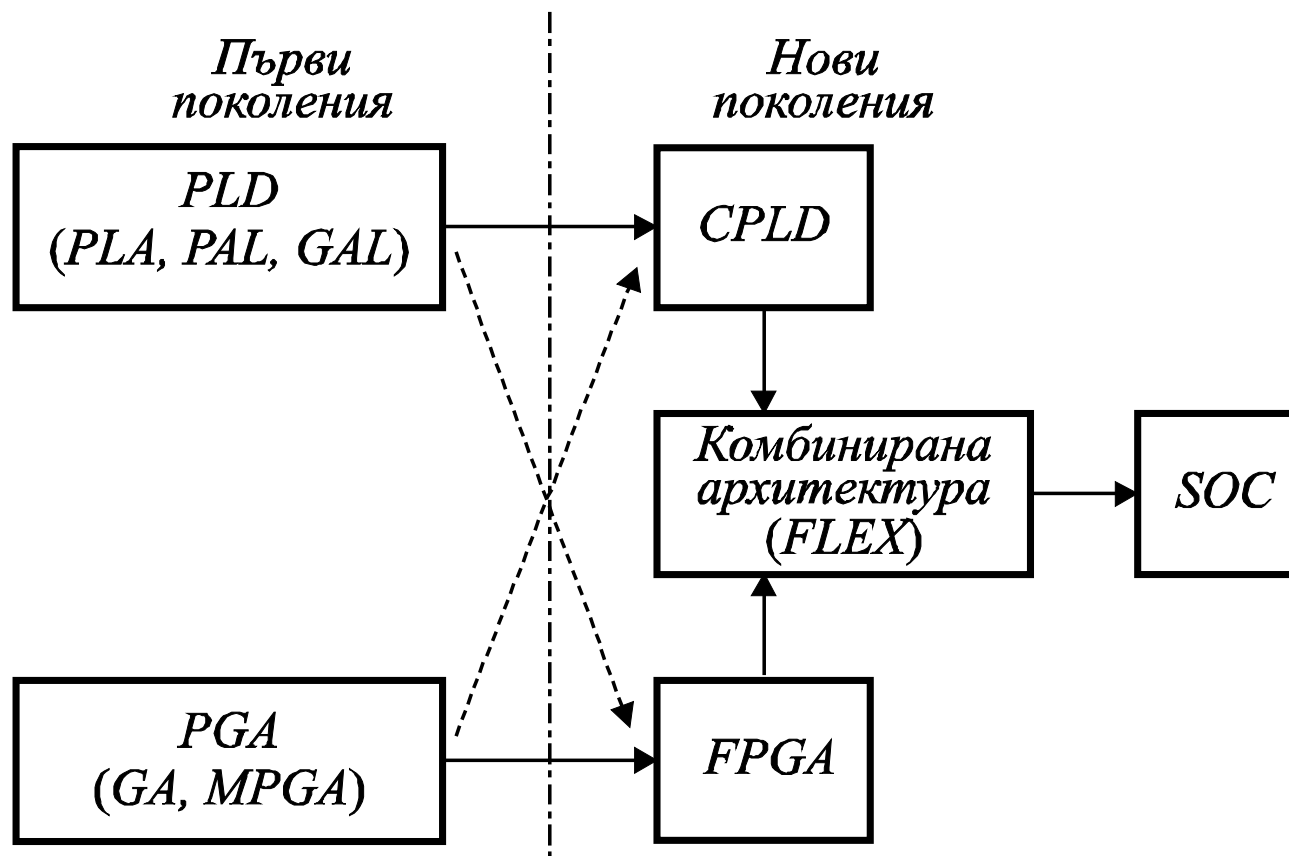


CMOS базова клетка от безканална FPGA.

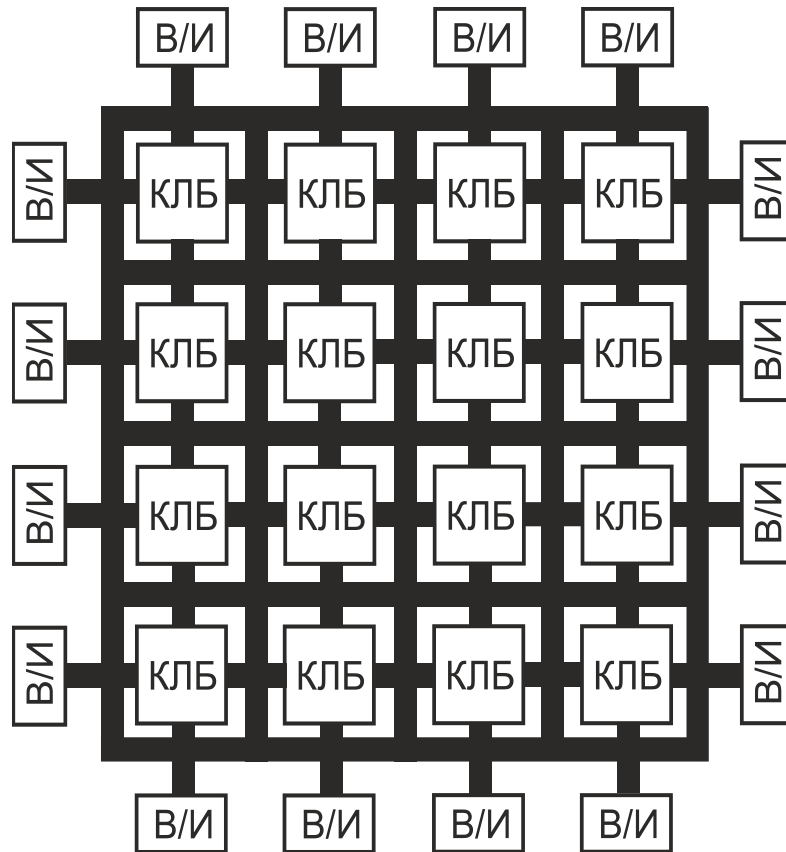


**Блокова структура на FPGA.**

## 9.3. Нови поколения на програмируемата логика



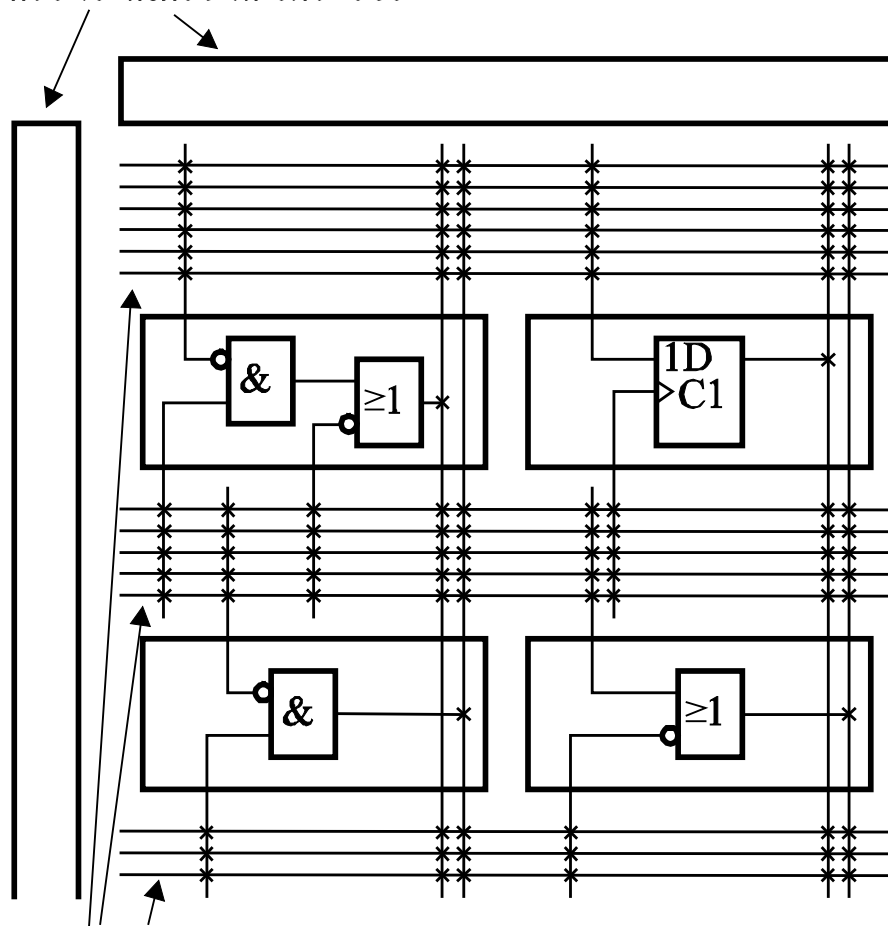
Развитие на програмируемата логика.



**Обобщена структура на FPGA  
конфигурируема матрица.**

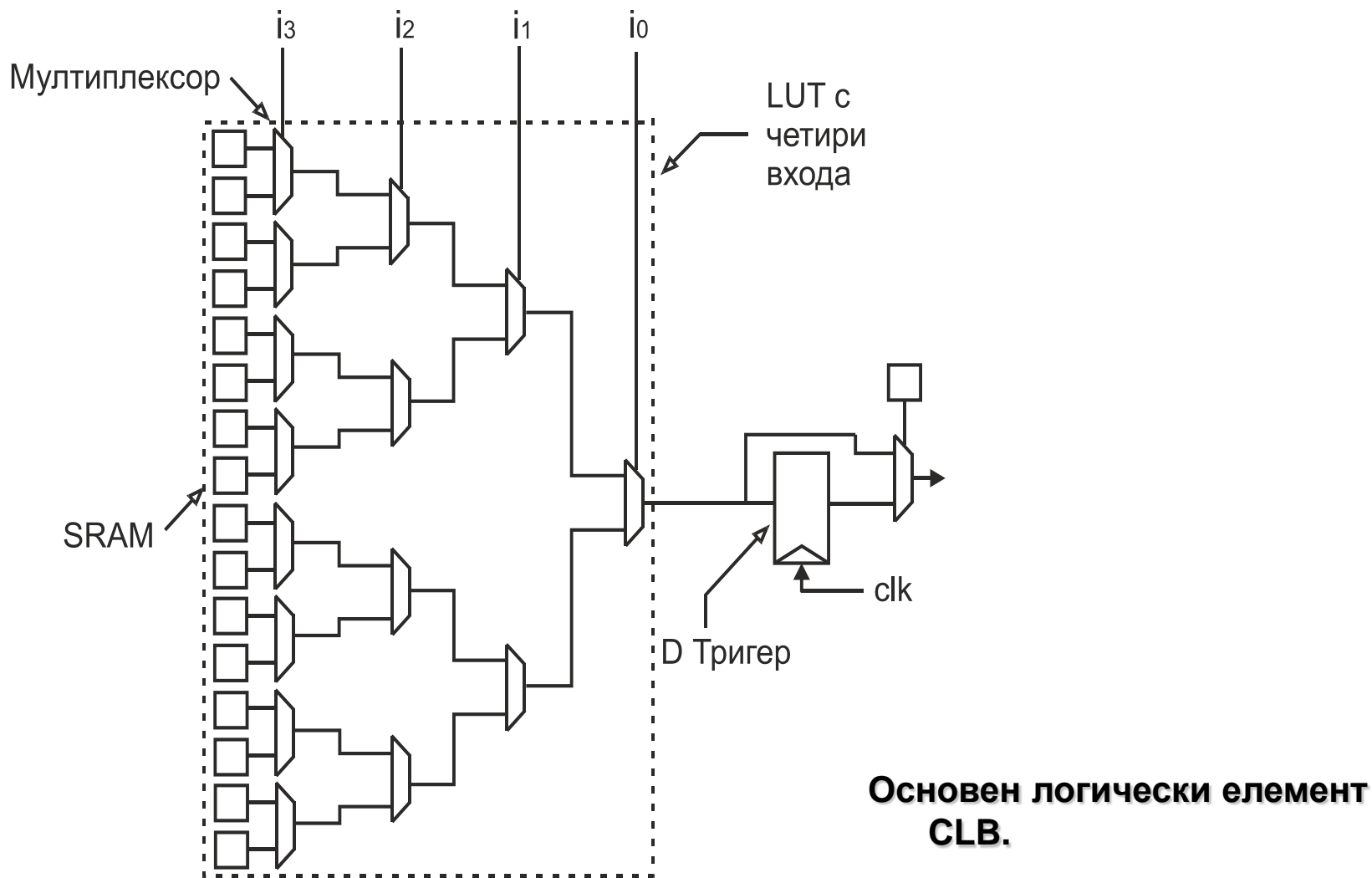
## 9.3.1. Архитектура на вентилните матрици с програмируемо поле – FPGA

Входно-изходни блокове

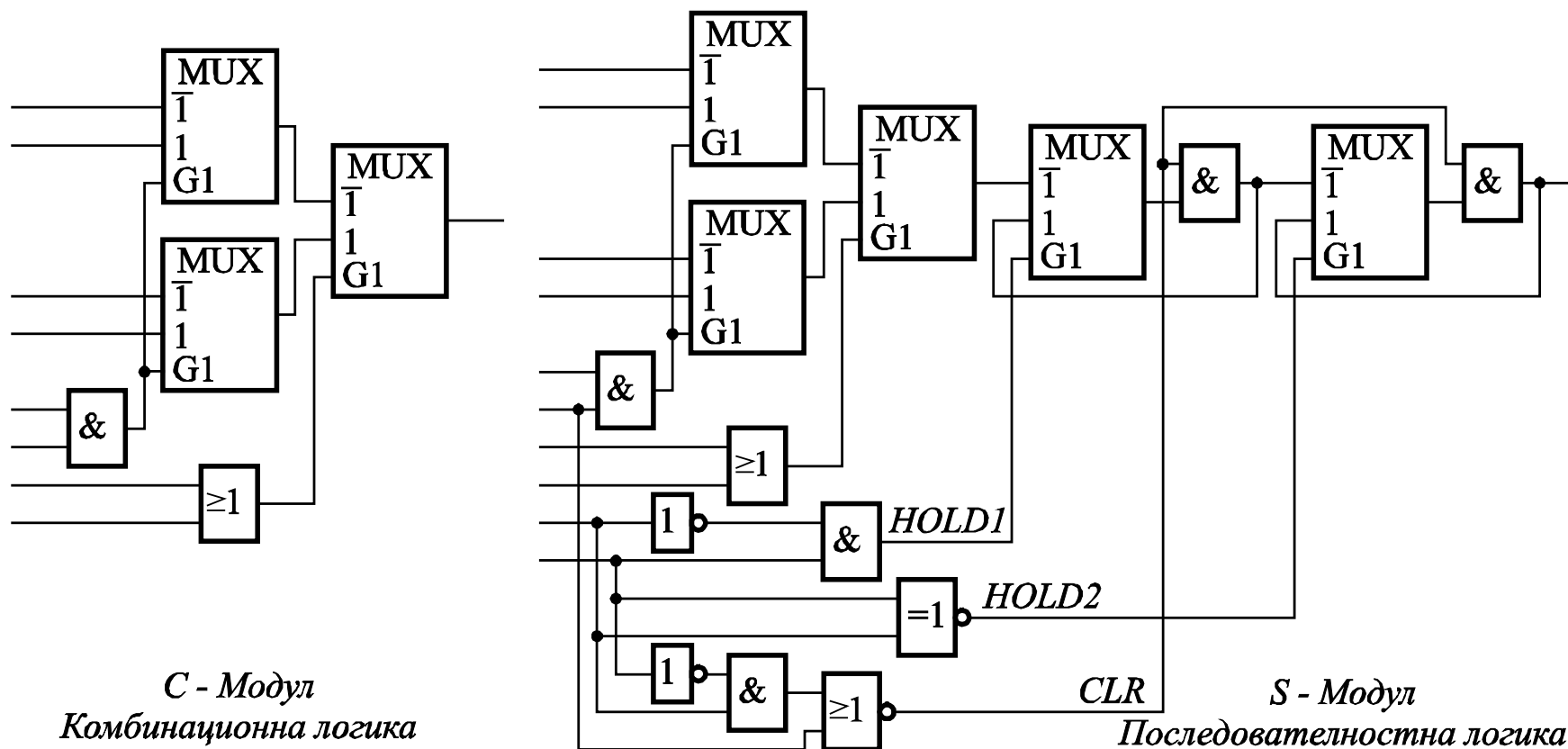


Трасиращи канали

Архитектура на FPGA с дребнозърнести CLB.



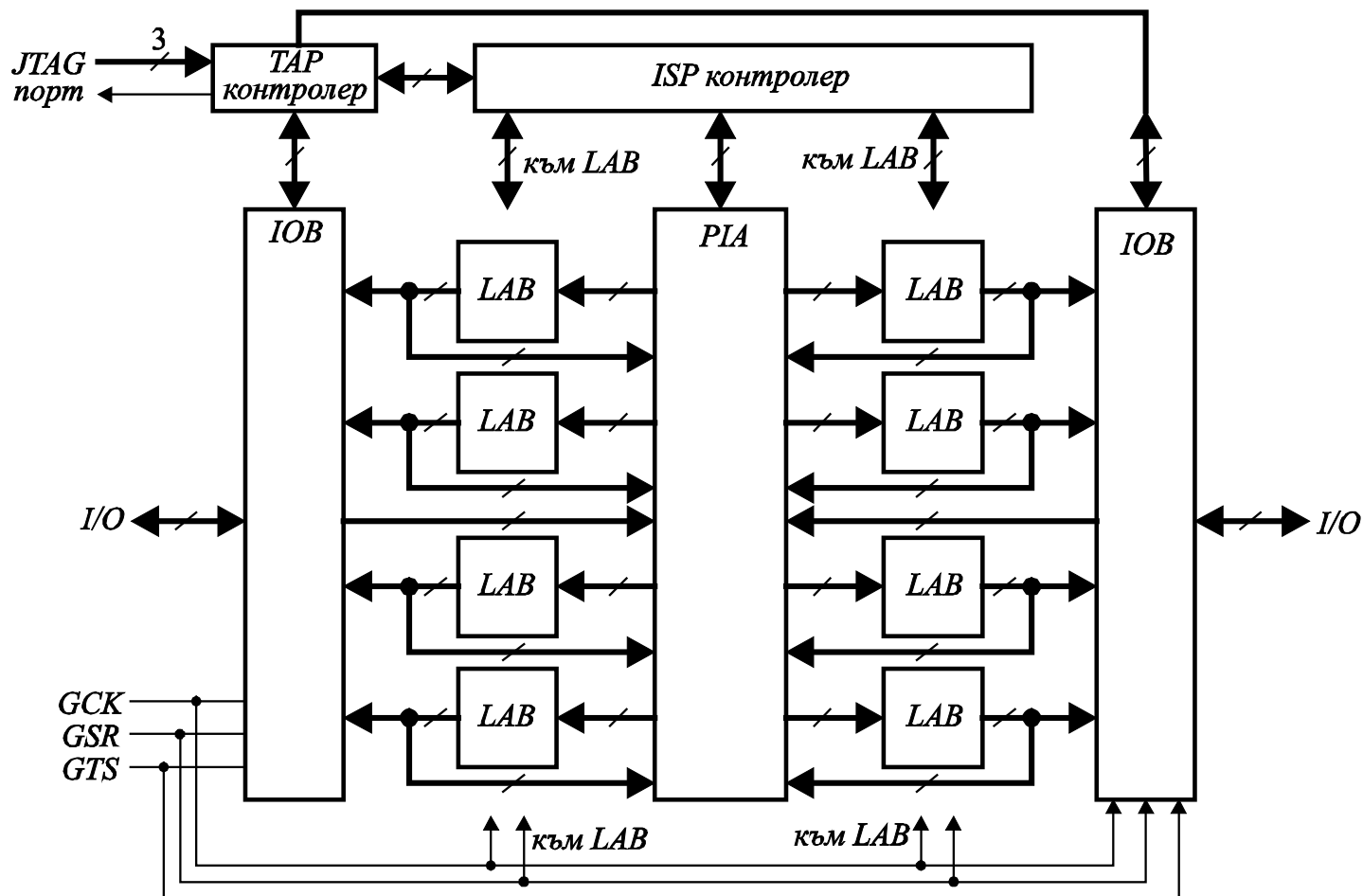




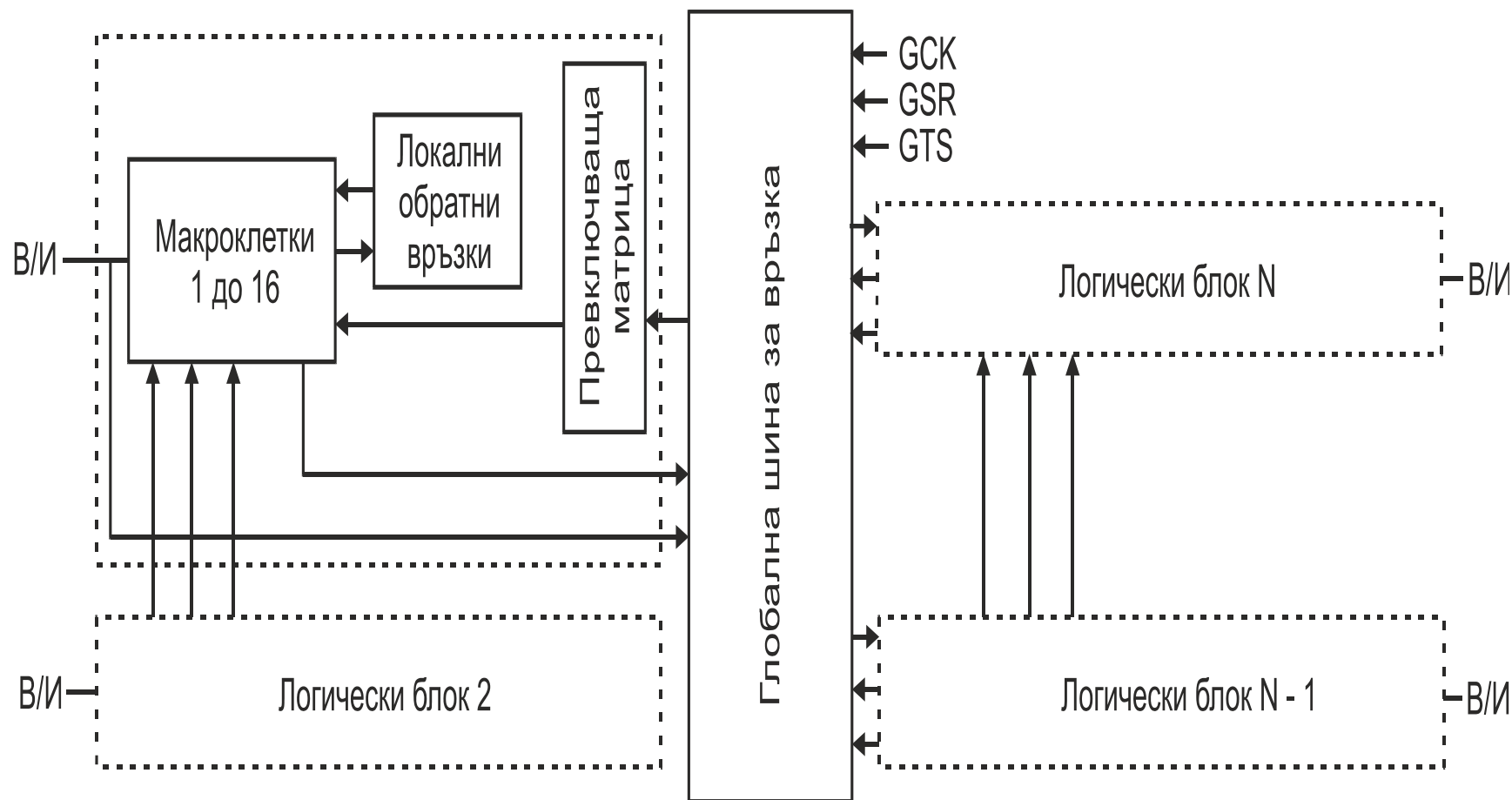
Конфигурируеми логически блокове със средна степен на сложност – TSP12 на TI.

## 9.3.2. Архитектура на комплексните програмируеми логически схеми – CPLD

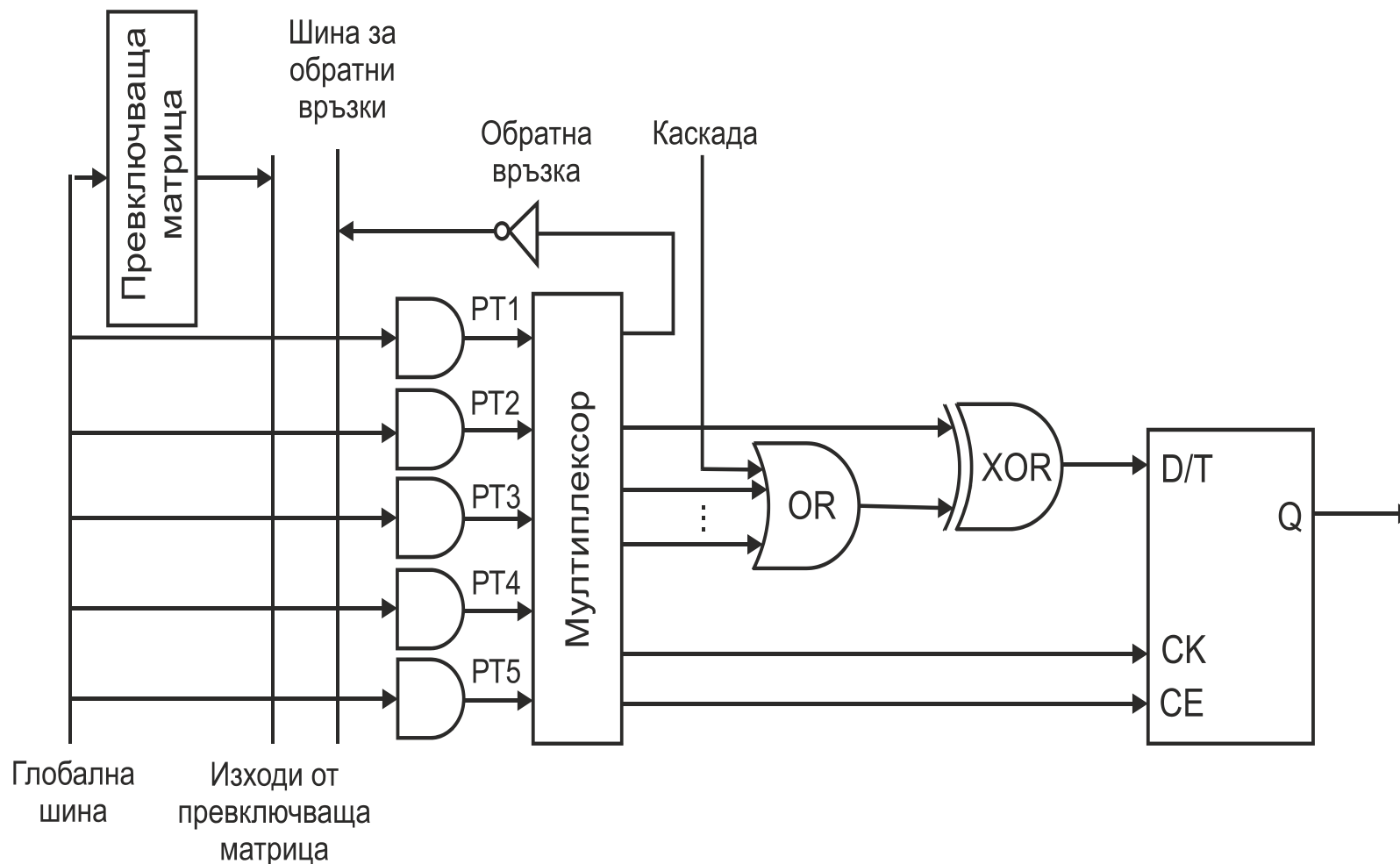
Архитектура на CPLD



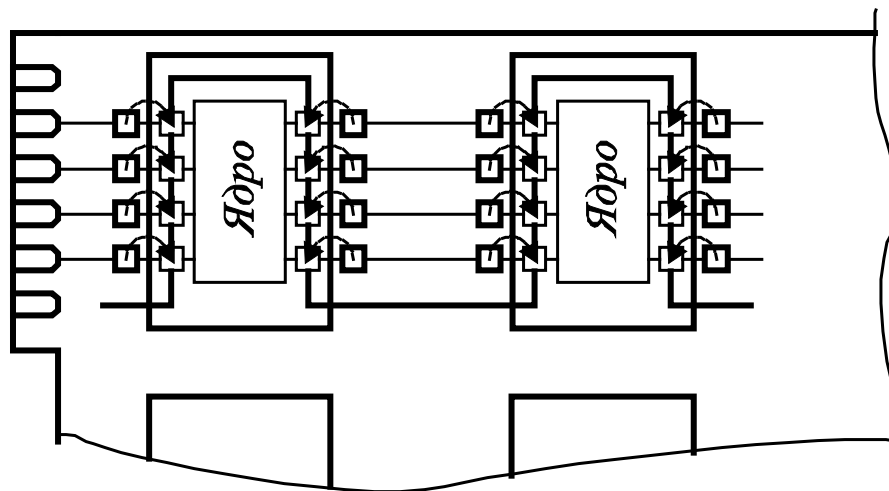
## Обобщена структура на CPLD конфигурируема матрица



## Архитектура на макроклетка

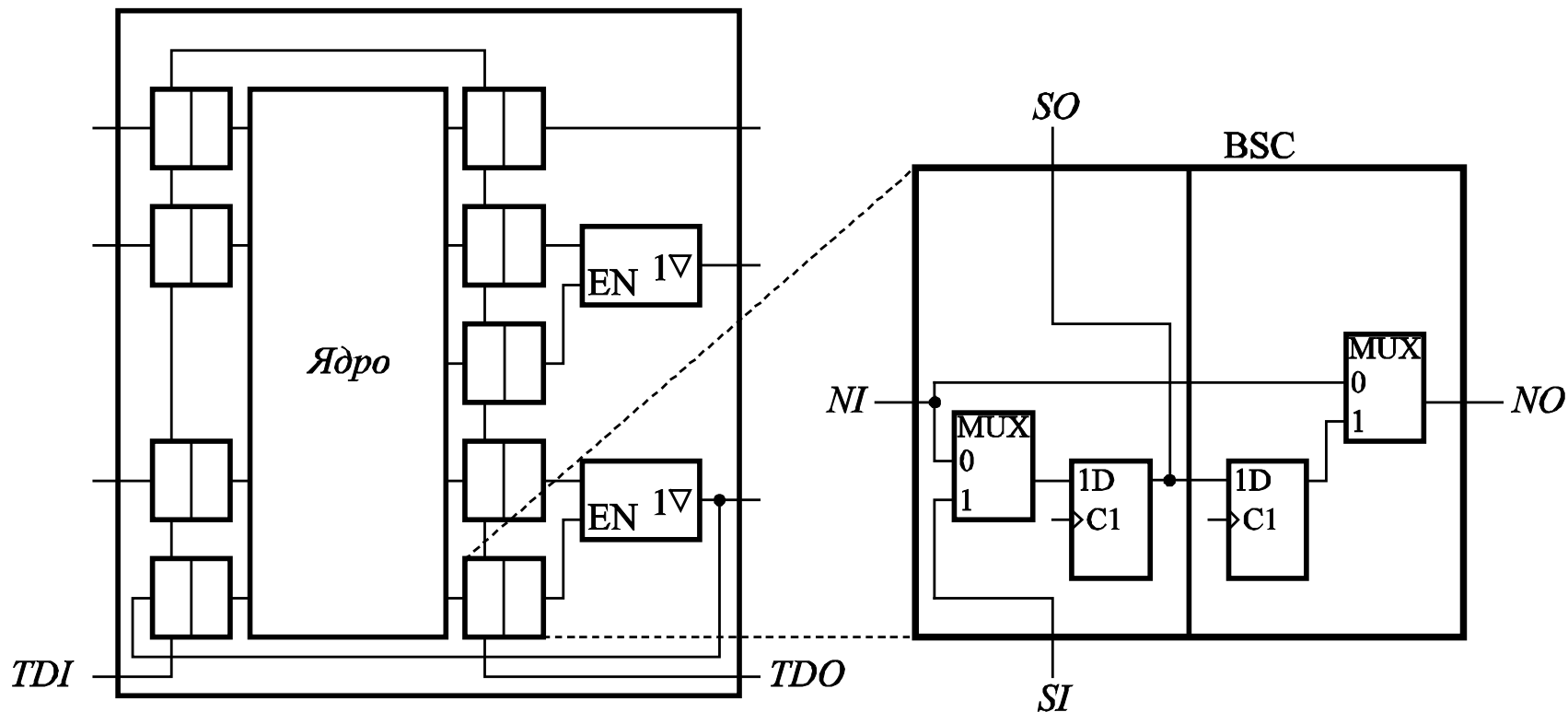


## 9.4. Гранична сканираща логика – BSL

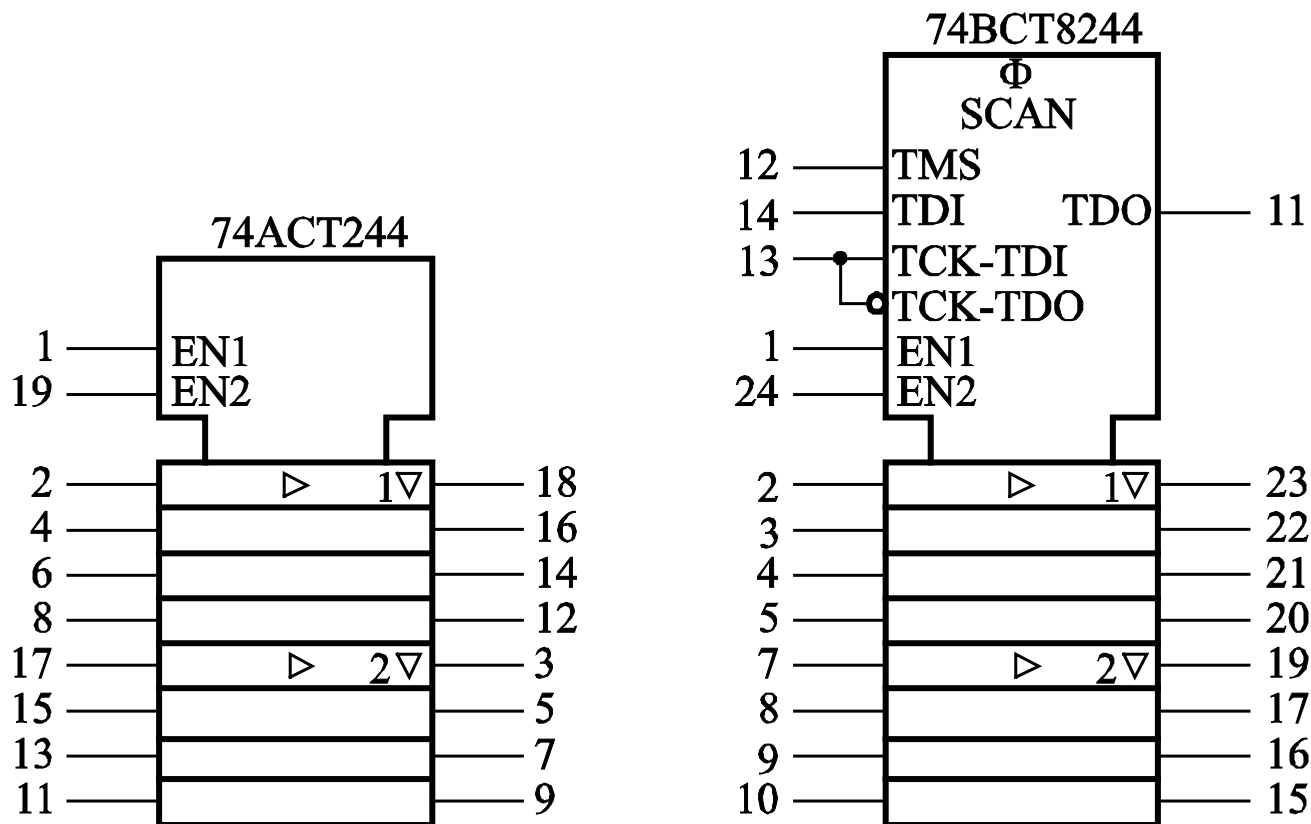


Вграждане на диагностични контролни точки в изводите на интегралните схеми.

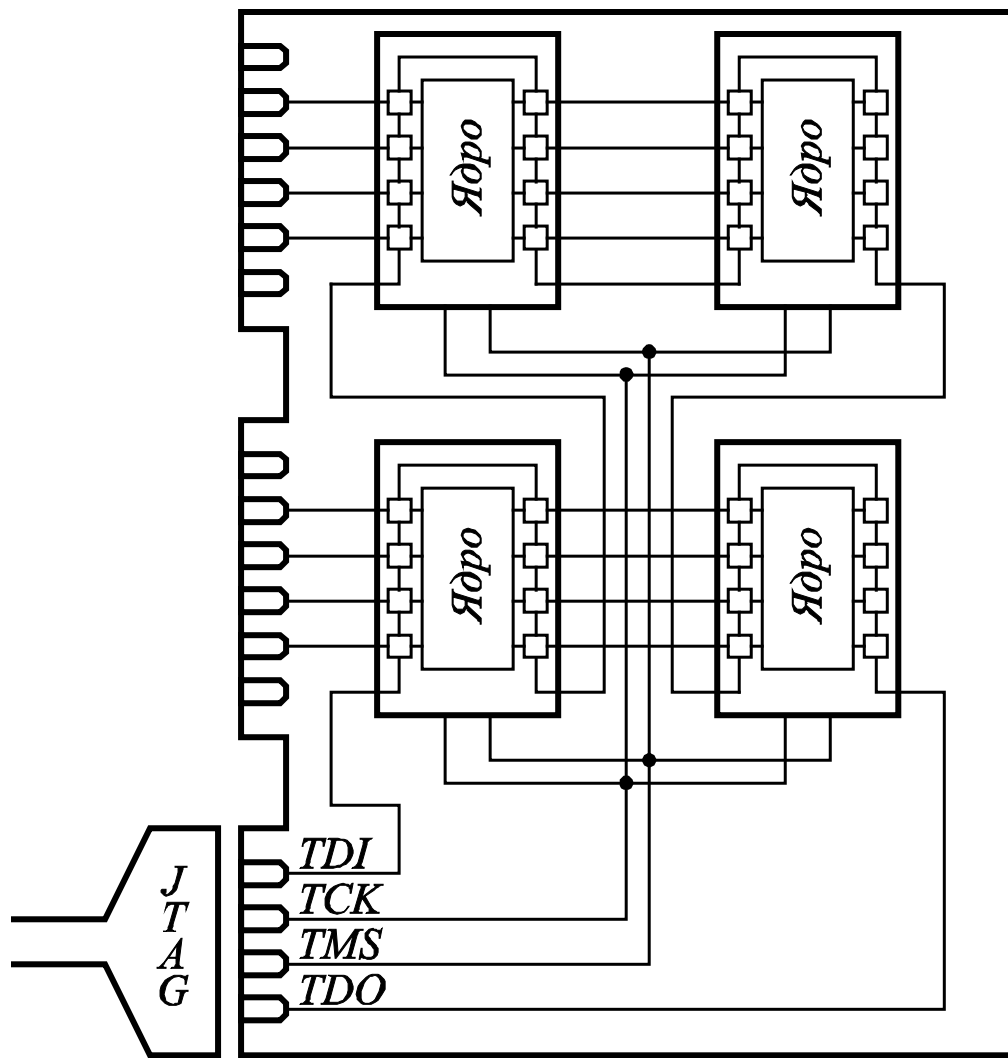
## 9.4.1. Организация на граничното сканиране



Типична структура на гранична сканираща клетка.



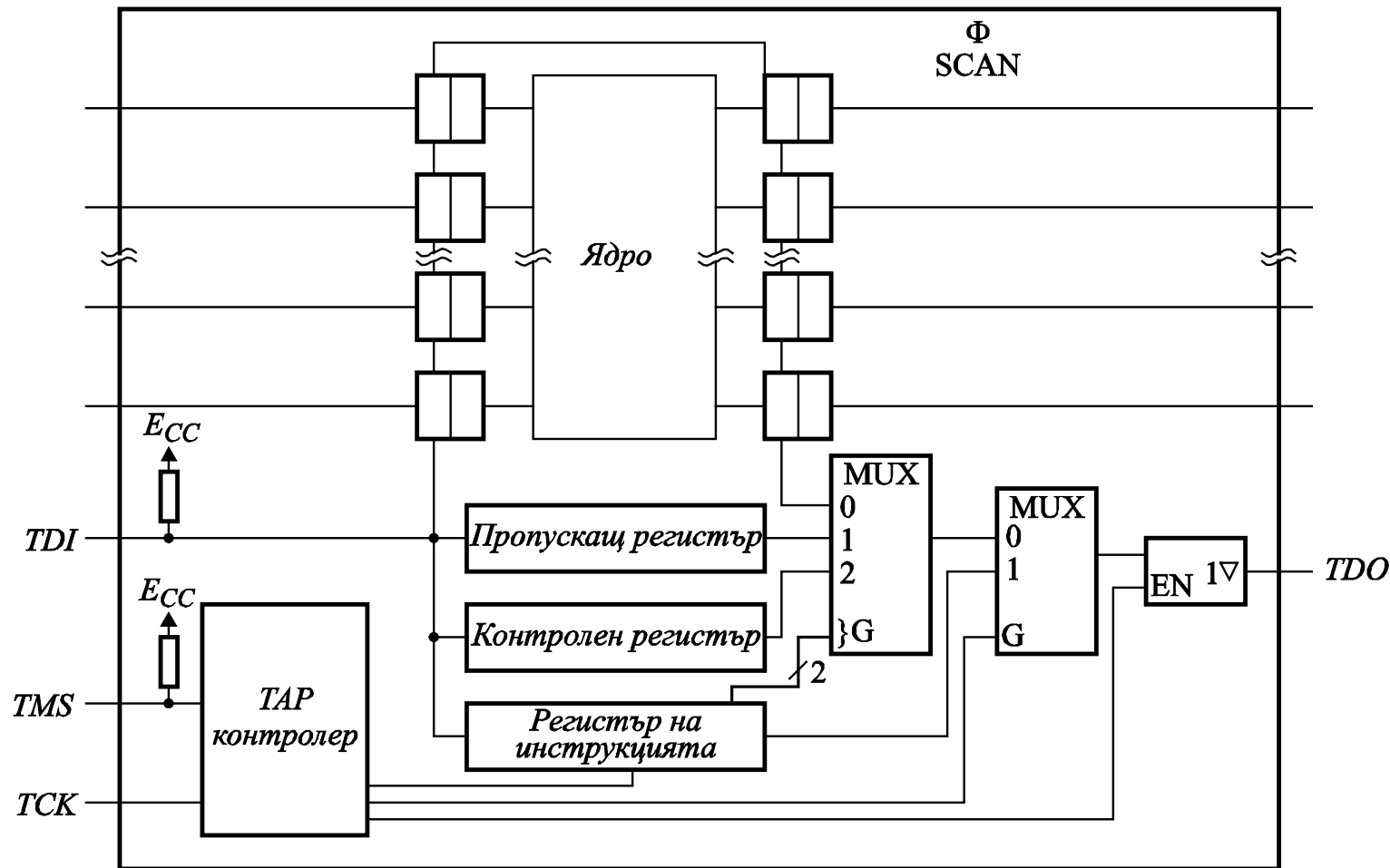
Нормален буфер '244 и съответстващия му '8244 с вградена BSL.



Последователна  
информационна  
връзка между схеми с  
гранично сканиране.



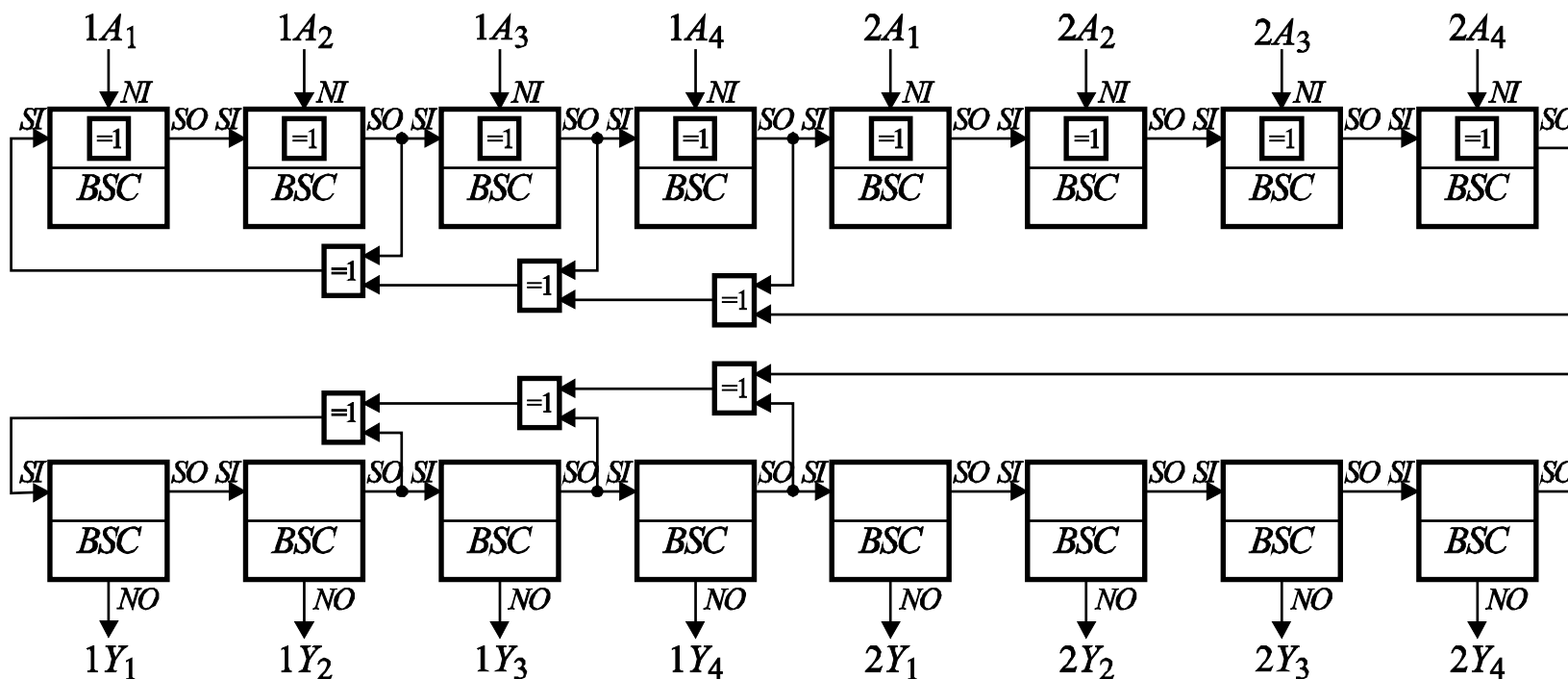
## 9.4.2. Архитектура на граничната сканираща логика



Архитектура на граничната сканираща логика.

## 9.4.3. Основни функции на граничната сканираща логика

- Байпас сканиране.
- Работно гранично сканиране.
- Тестово гранично сканиране.
- Автоматично тестване.



Конфигурация на едновременен генератор на псевдослучайни последователности и сигнатурен формирова̀тел..