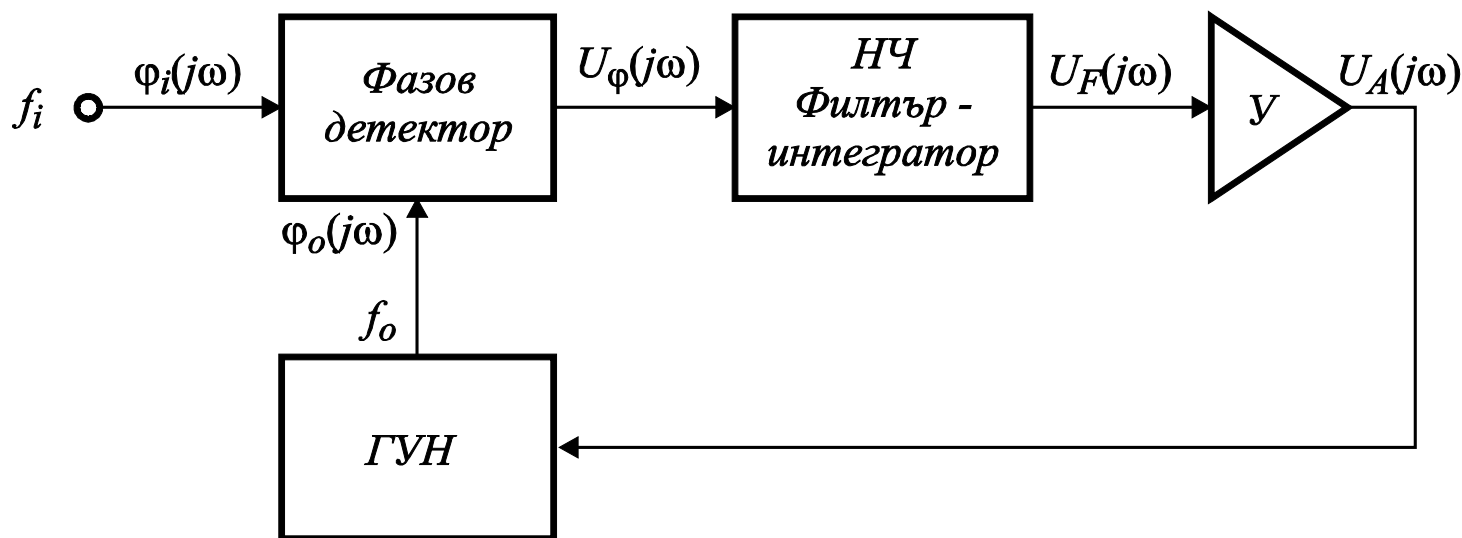


8. ФАЗОВИ И ЧЕСТОТНИ СИНХРОНИЗАТОРИ

8.1. Предавателна характеристика и устойчивост на ФАПЧ

$$U_{\varphi}(j\omega) = K_{\varphi} [\varphi_i(j\omega) - \varphi_o(j\omega)] \quad U_F(j\omega) = K_F(j\omega) \cdot U_{\varphi}(j\omega) \quad U_A(j\omega) = K_A \cdot U_F(j\omega)$$



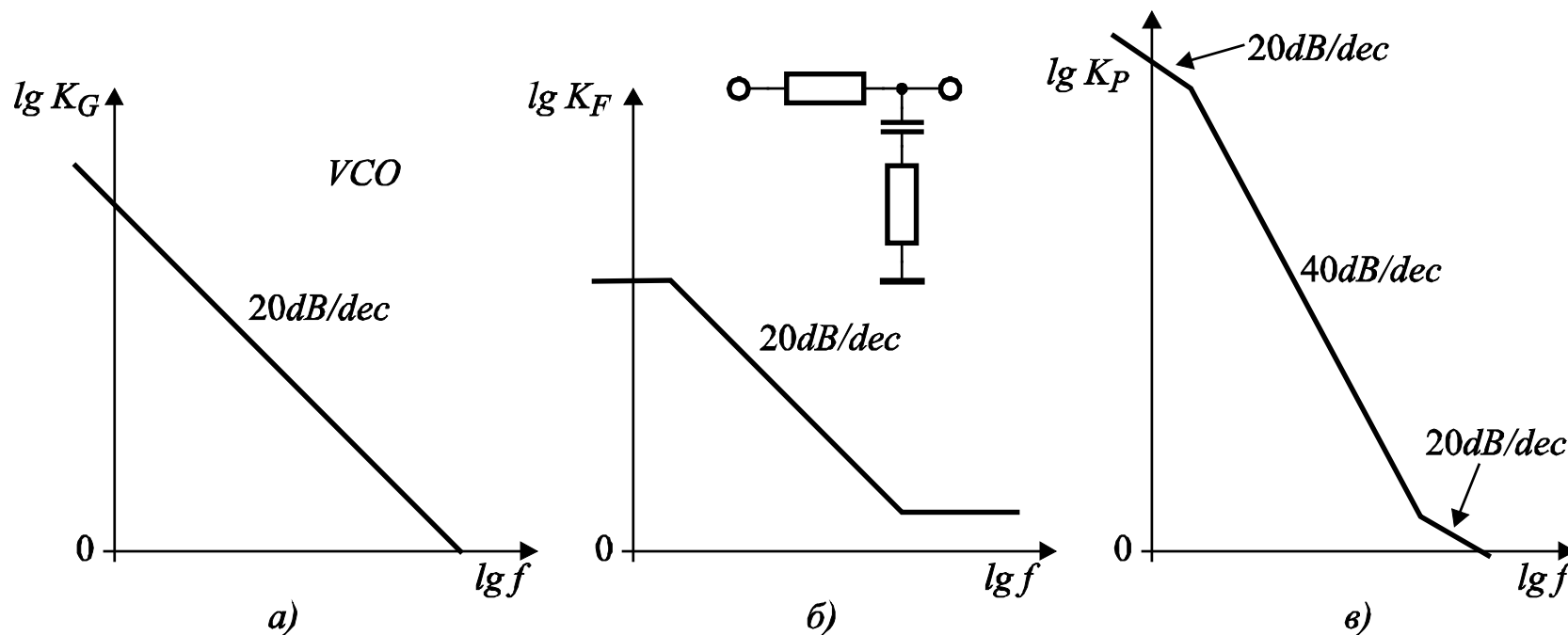
$$\varphi_o(j\omega) = K_G \frac{U_A(j\omega)}{j\omega}$$

Блокова схема на фазово затворена верига – PLL



$$\frac{\varphi_o(j\omega)}{\varphi_i(j\omega)} = H(j\omega) = \frac{K_G K_A K_\varphi K_F(j\omega)}{j\omega + K_G K_A K_\varphi K_F(j\omega)} = \frac{K_P(j\omega)}{1 + K_P(j\omega)}$$

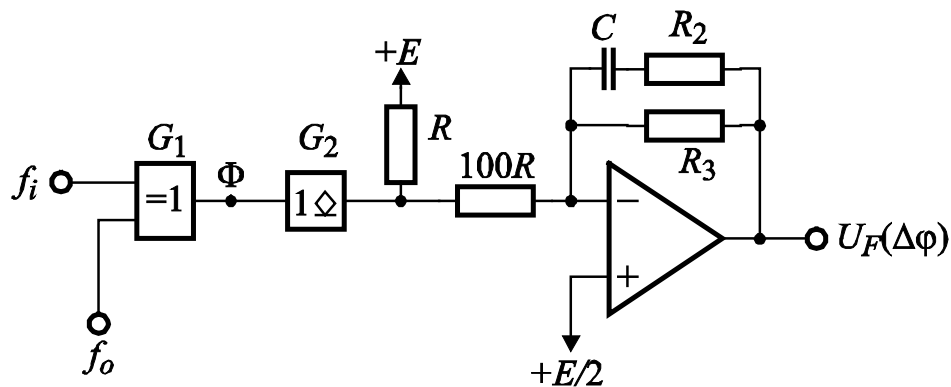
$$K_P(j\omega) = \frac{K_G}{j\omega} K_A K_\varphi K_F(j\omega)$$



Осигуряване на устойчивост на фазово затворена верига.

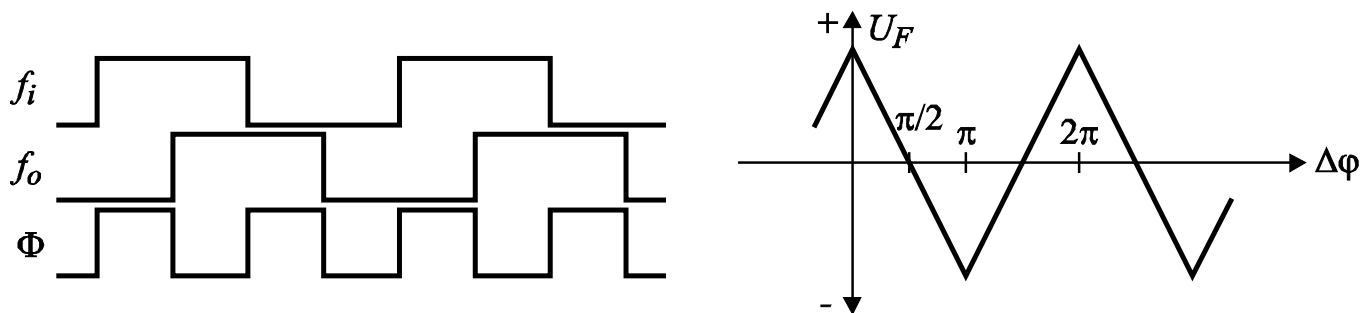
8.2. Цифрови фазови детектори

8.2.1. Фазови детектори за регулярни входни величини

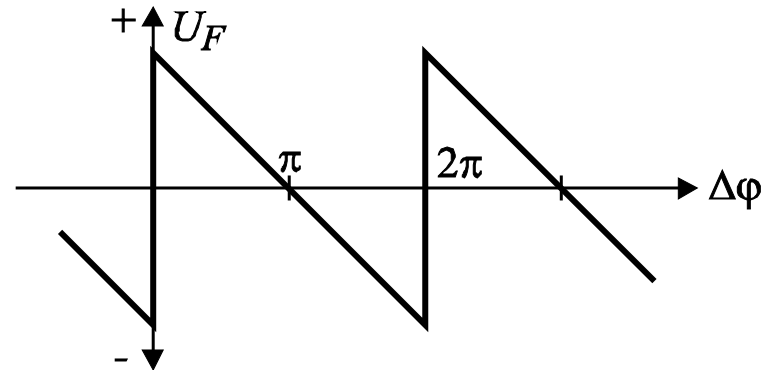
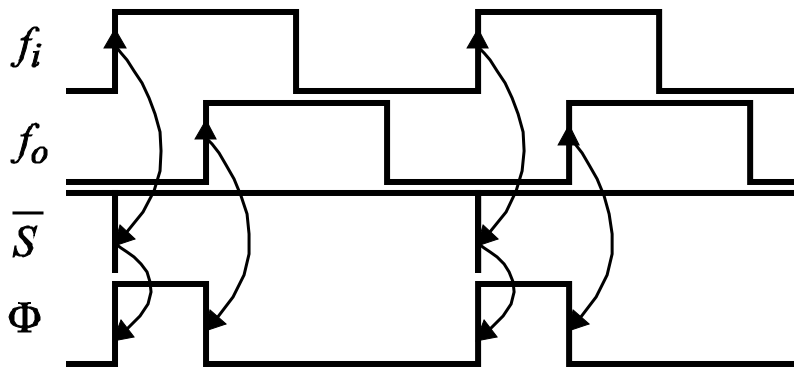
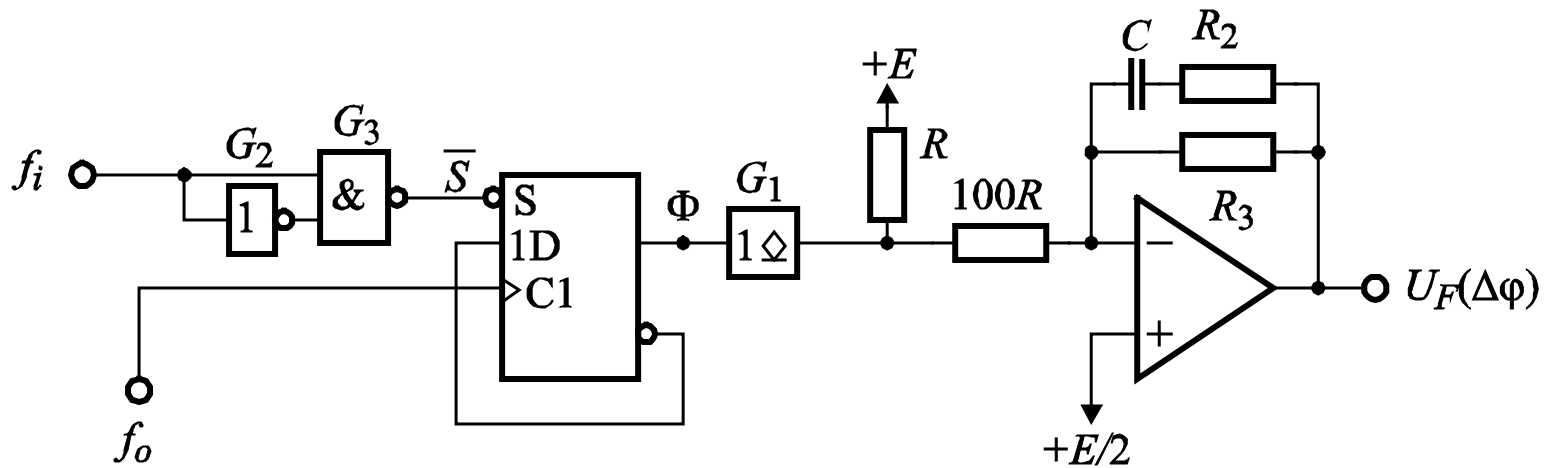


$$I^+ = \frac{E_{CC}}{2(R + 100R)}$$

$$I^- = -\frac{E_{CC}}{2(100R)}$$



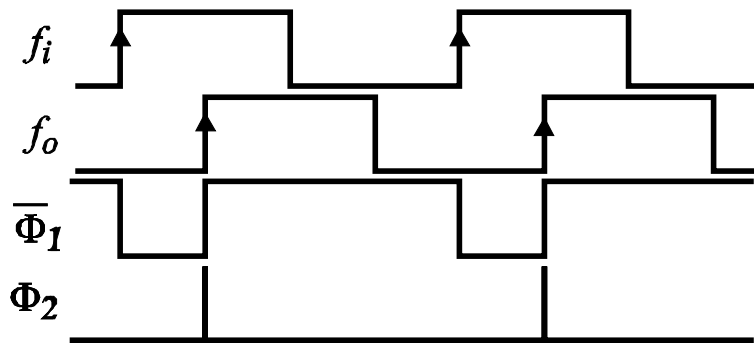
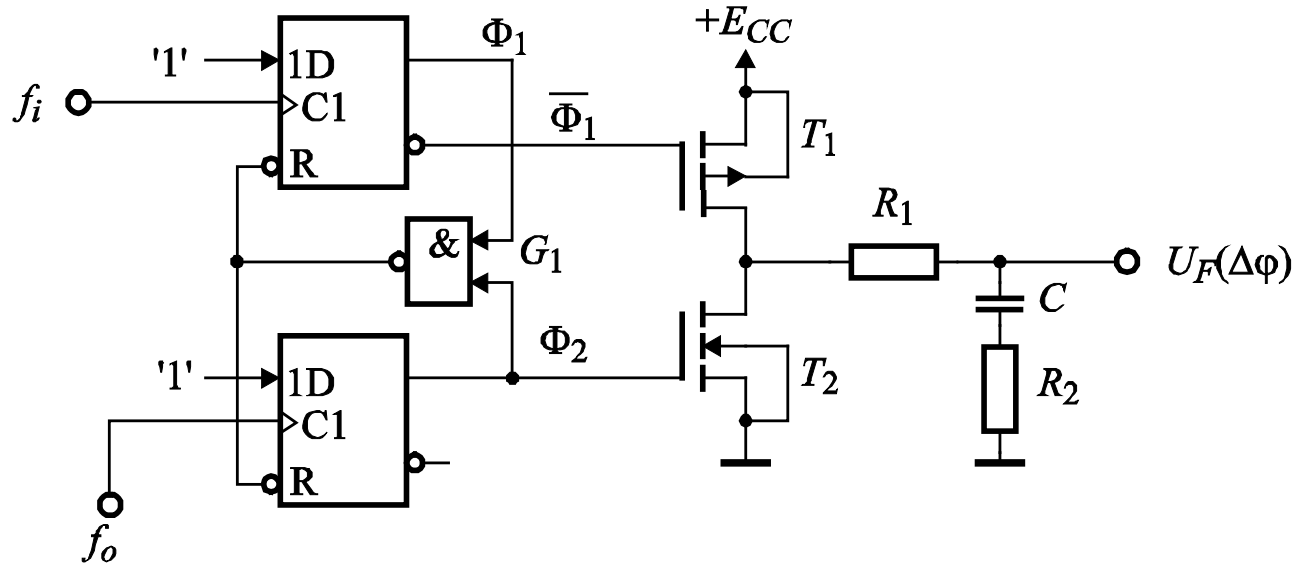
Цифров линеен фазов детектор от тип 1.



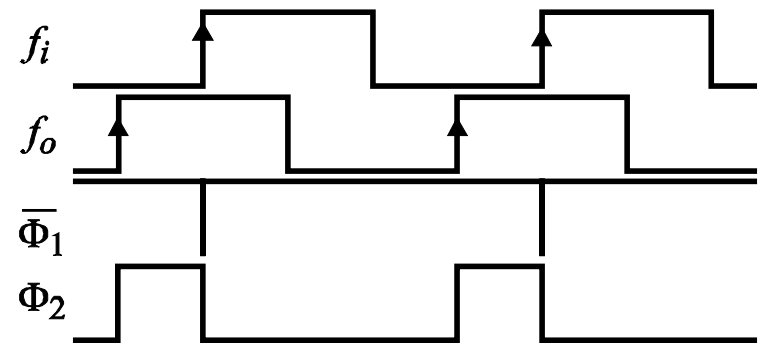
Цифров фазов детектор от тип 2.



Цифрова схемотехника



Изоставане

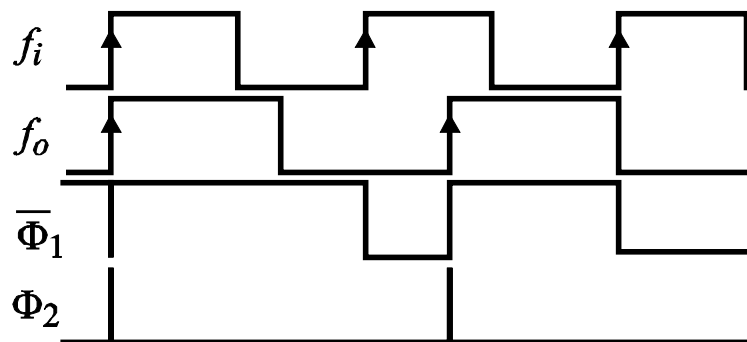


Избързване

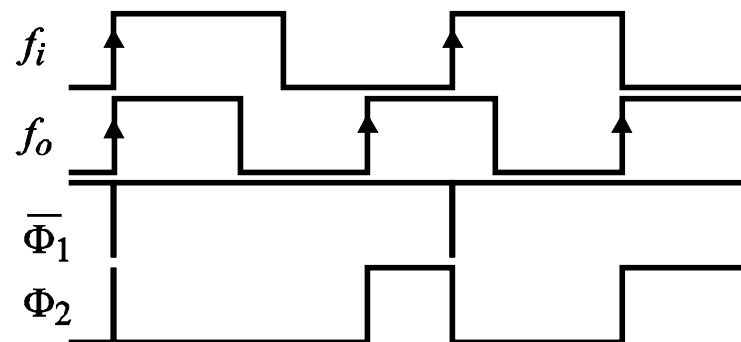
Цифров фазочестотен детектор за регулярни входни величини..



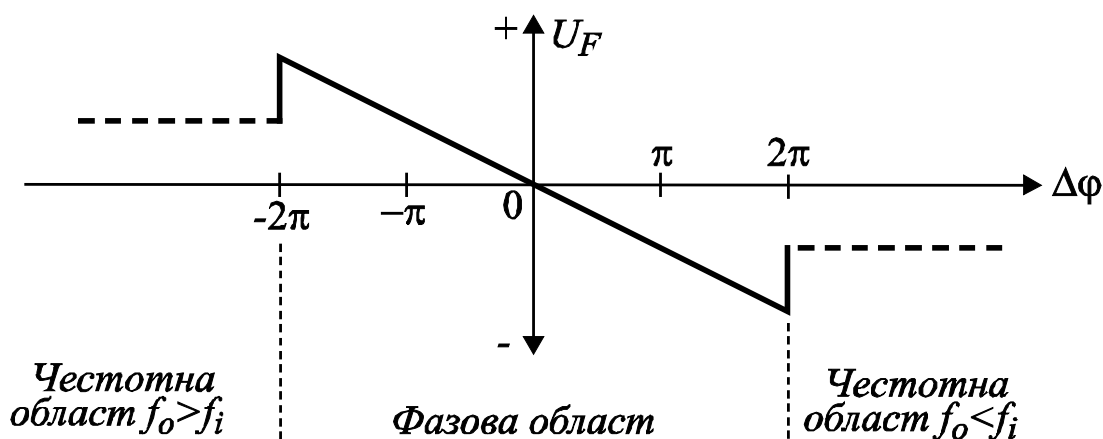
Цифрова схемотехника



$f_o < f_i$

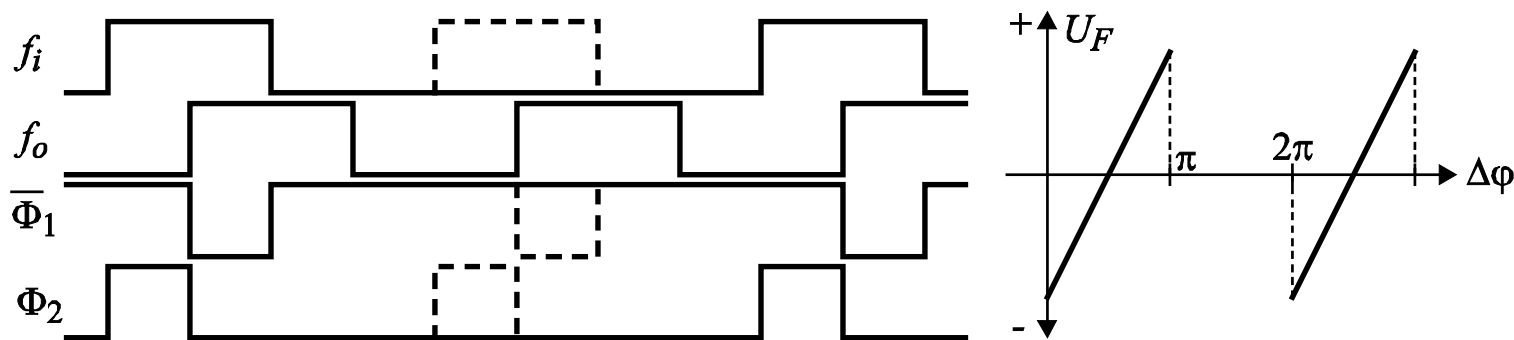
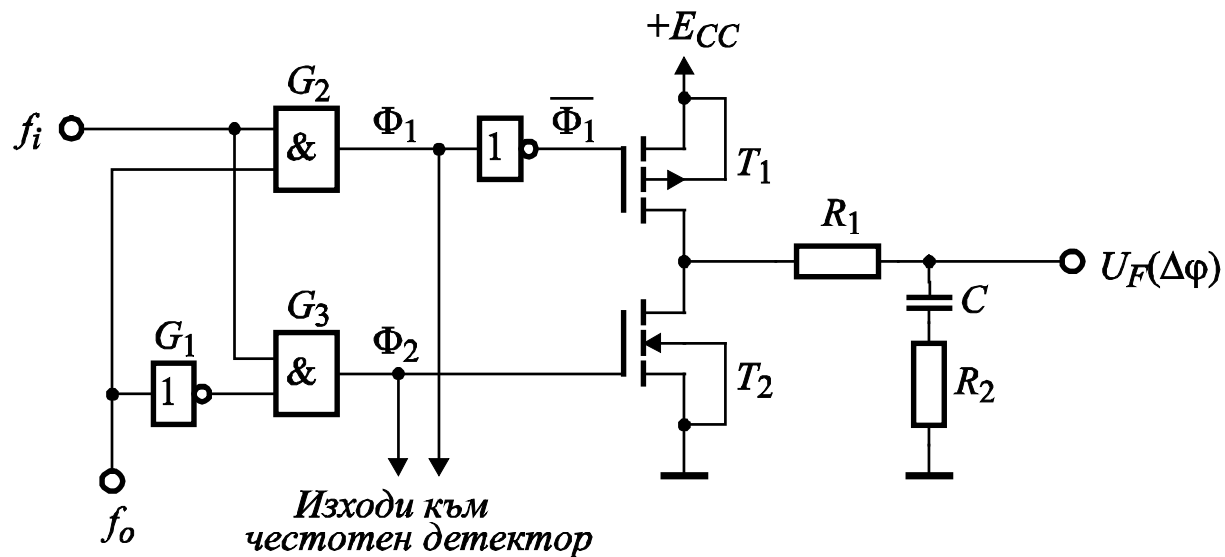


$f_o > f_i$

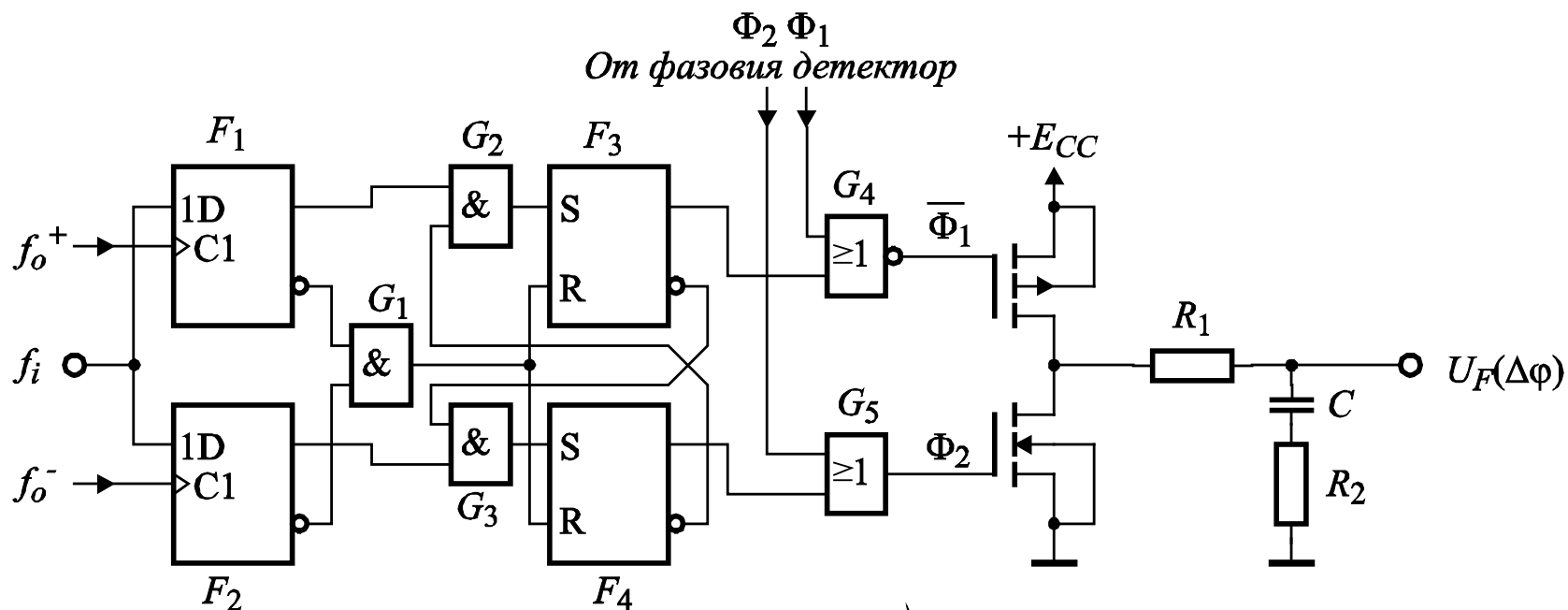


Времедиаграми на фазочестотен детектор за регулярни входни величини.

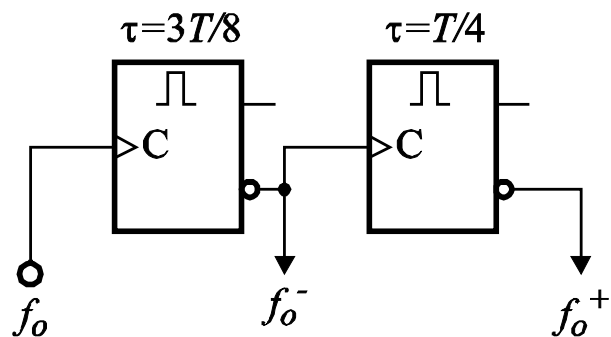
8.2.2. Фазови детектори за случайни входни величини



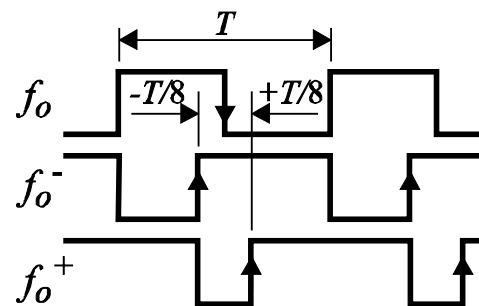
Фазов детектор от тип 1 за случайни входни величини.



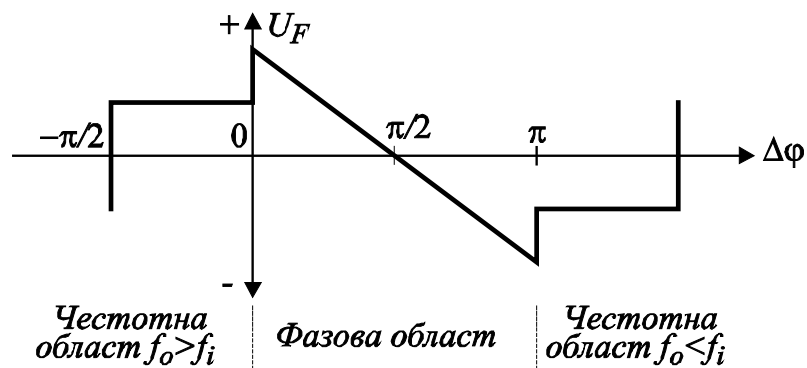
а)



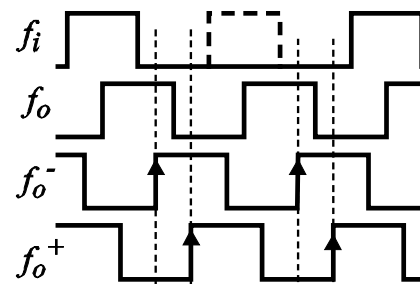
б)



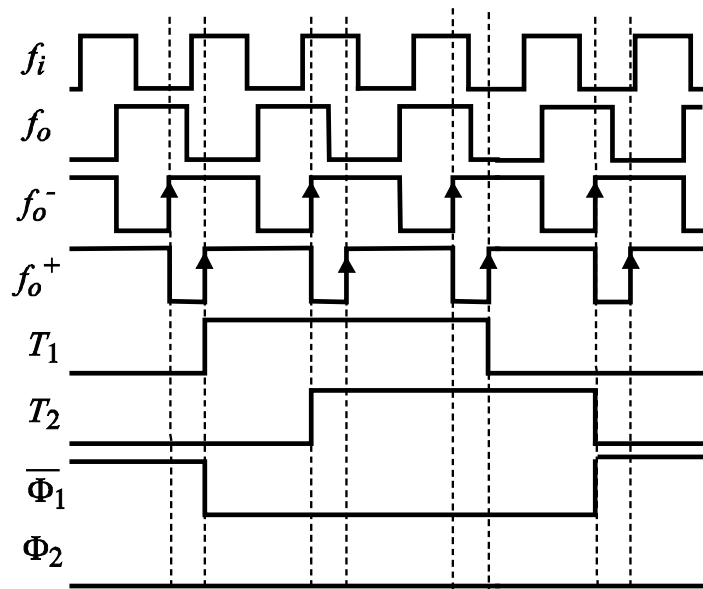
Цифров фазовочестотен детектор за работа със случайни входни величини.



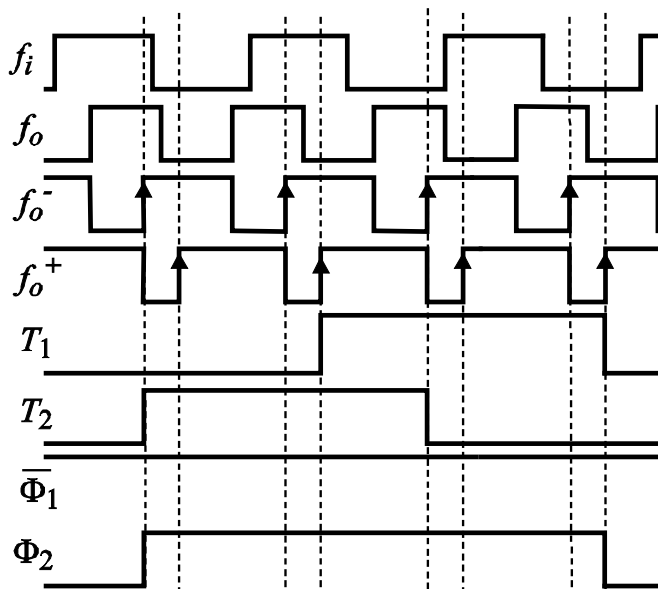
в)



з)



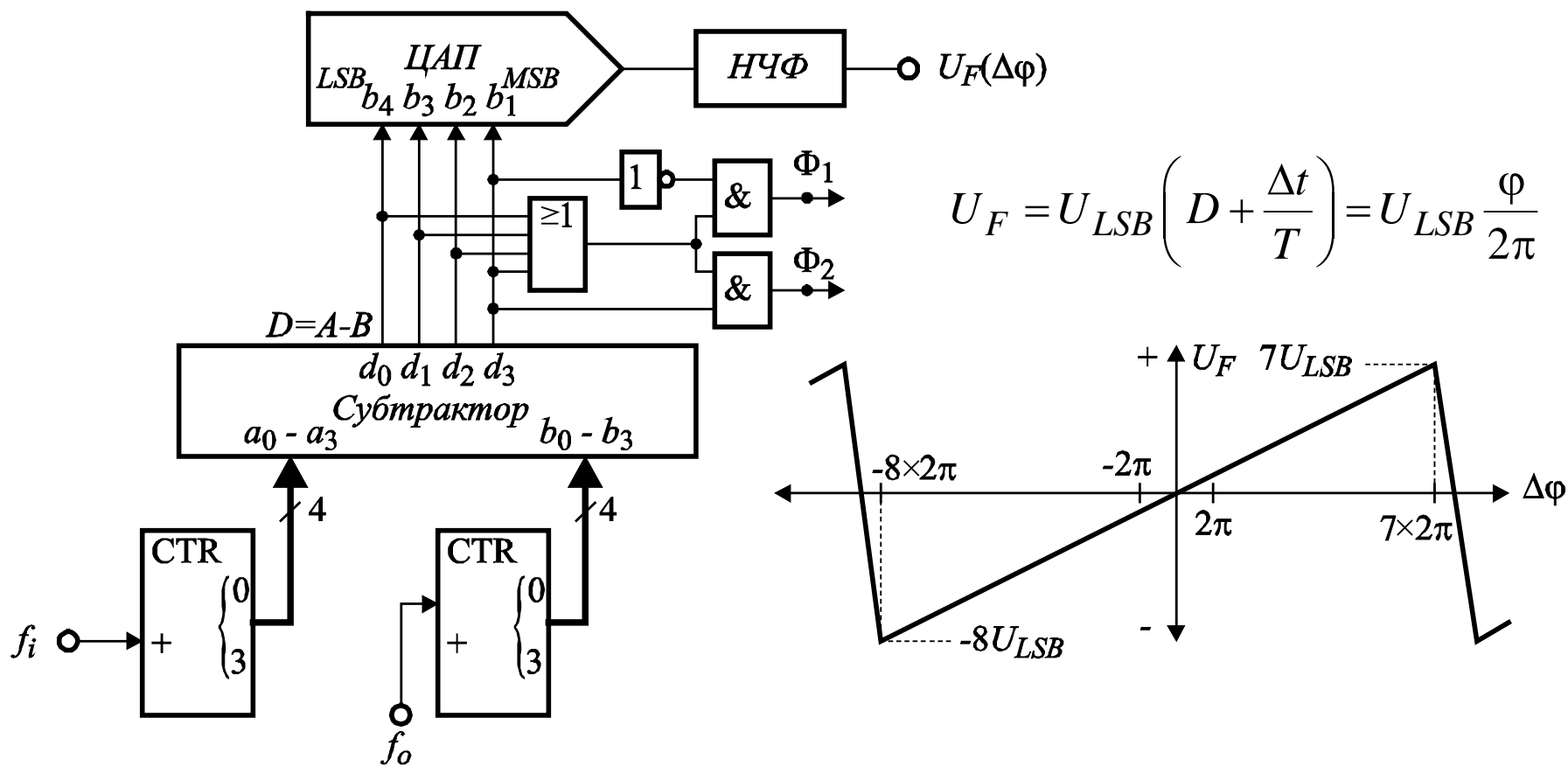
д)



е)

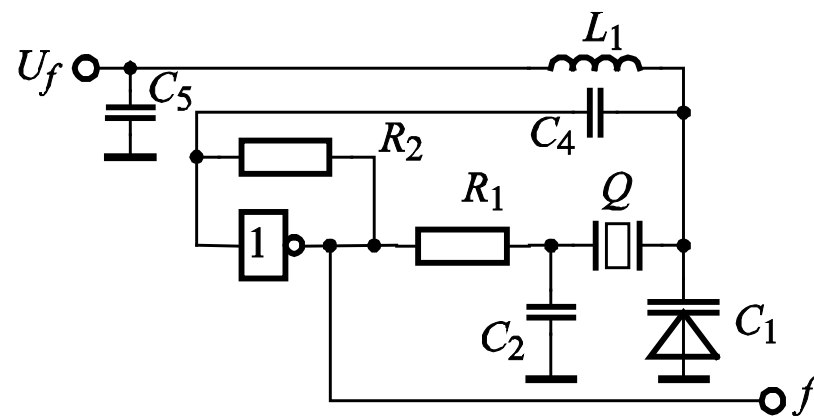
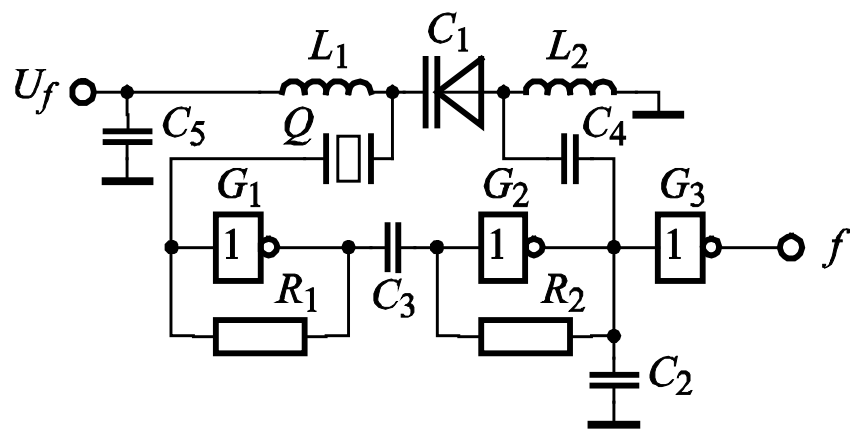
Времедиаграми на фазовочестотен детектор за случайни входни величини.

8.2.3. Фазов детектор с произволен диапазон на работа

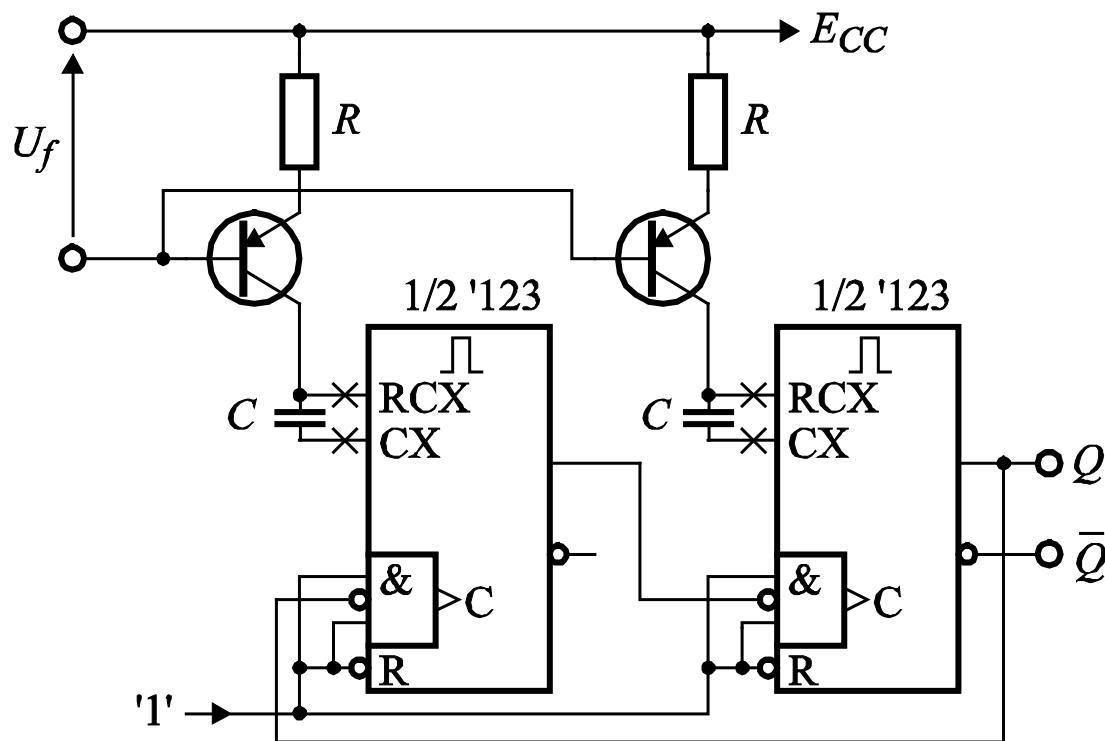


Цифров фазов детектор с линеен диапазон на работа от -16π до 14π .

8.3. Генератори, управлявани от напрежение

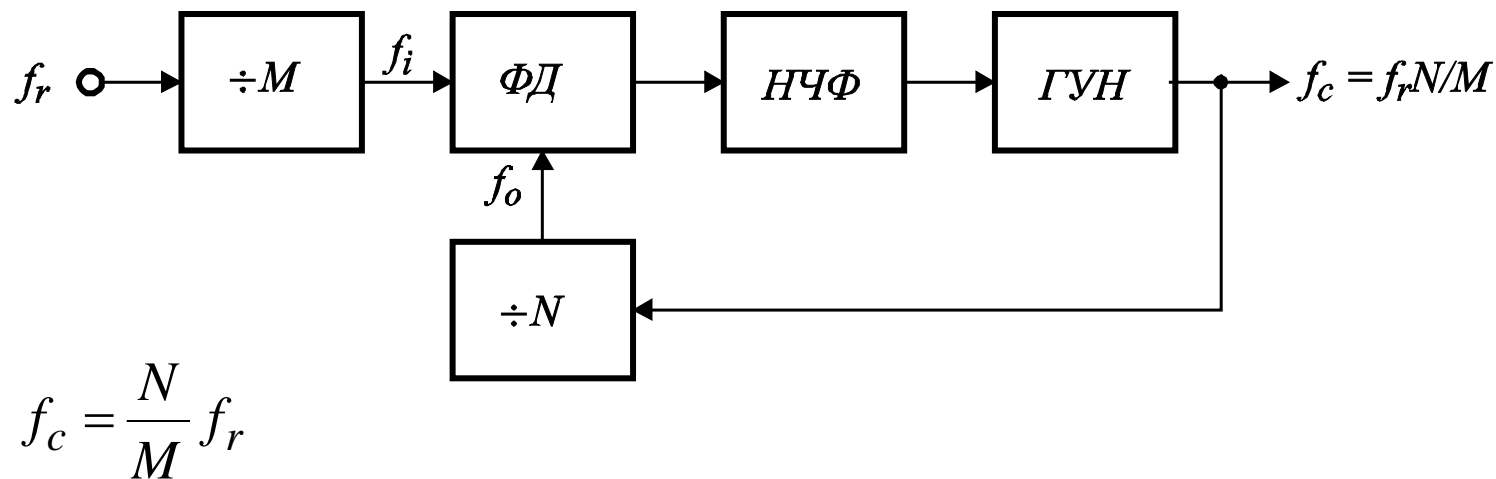


Кварцовостабилизирани VCO с варикапно регулиране на честотата.

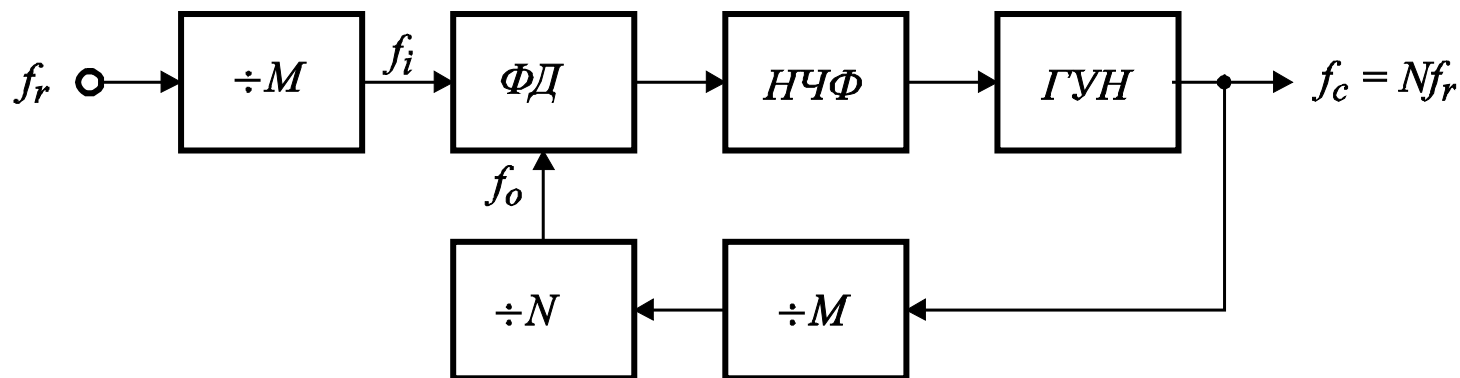


Управляван с напрежение генератор, изграден на базата на
чакащи мултивибратори.

8.4. Честотни синтезатори

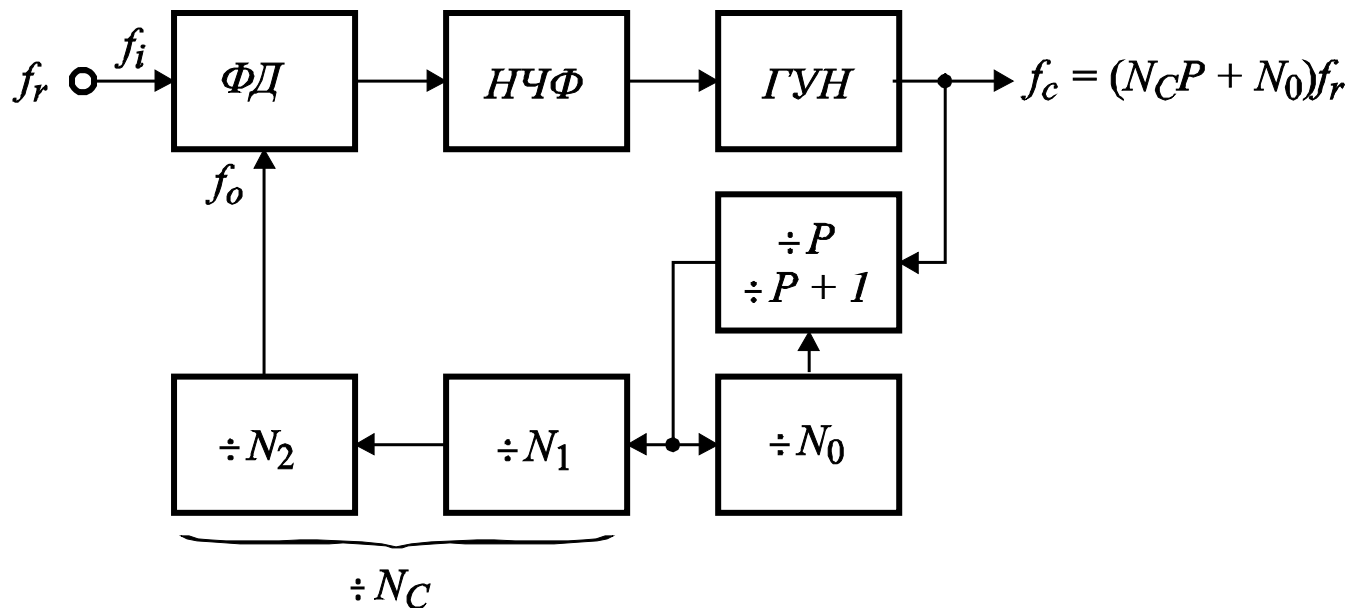


Обобщена блокова схема на честотен синтезатор.



$$f_c = N \cdot f_r$$

Честотен синтезатор с два бързи предварителни честотни делителя.



$$N = (N_C - N_0)P + N_0(P + 1) = N_C P + N_0$$

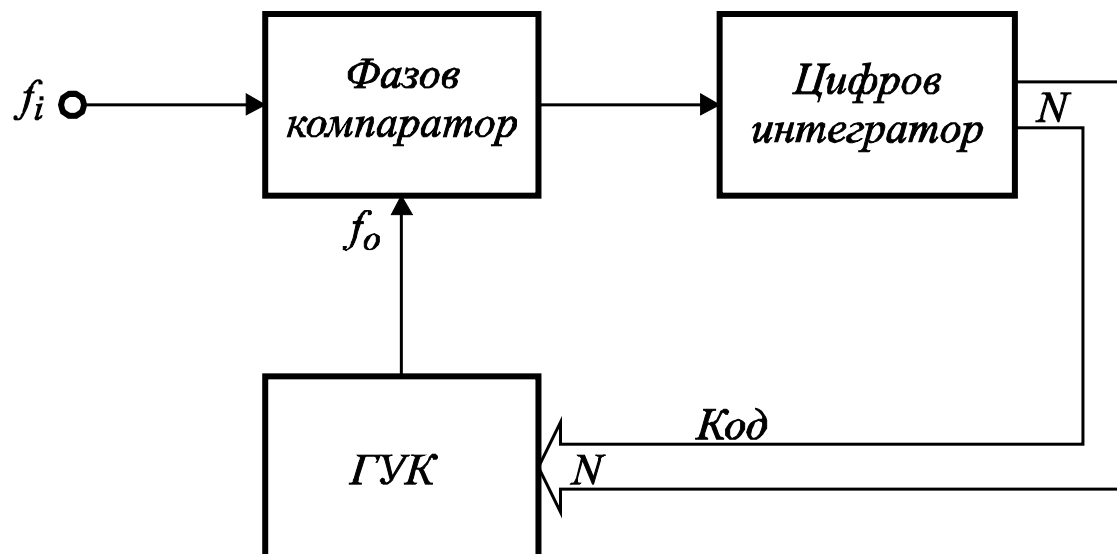
$$N_C = 10N_2 + N_1$$

$$N = 100N_2 + 10N_1 + N_0$$

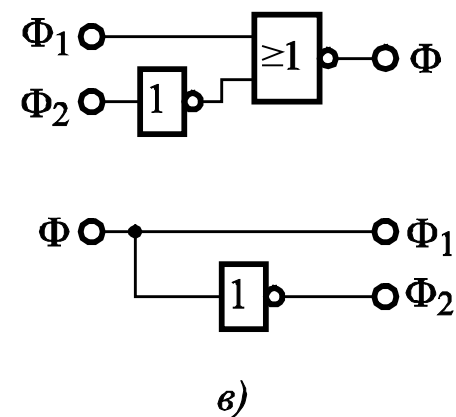
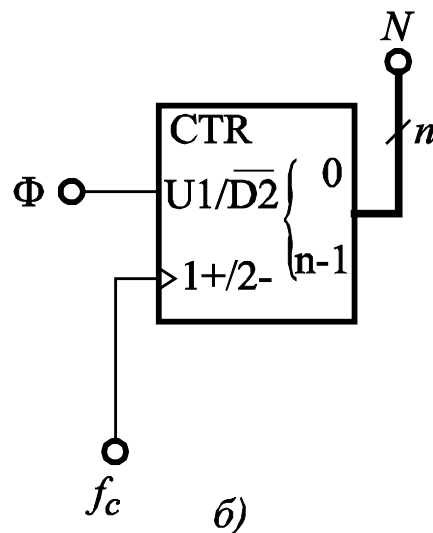
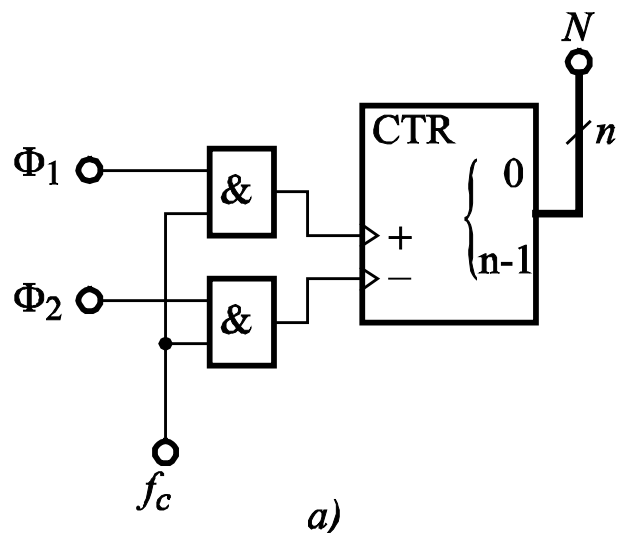
Честотен синтезатор с бърз двукоефициентен предварителен честотен делител.

8.5. Цифрови фазови синхронизатори

8.5.1. Структура на цифров фазов синхронизатор

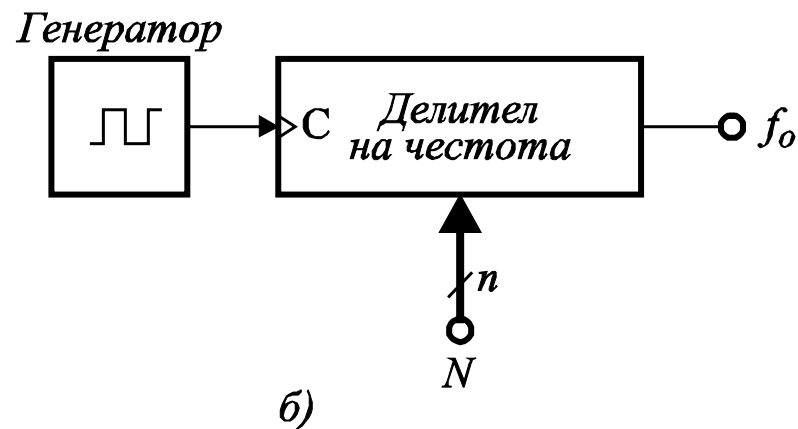
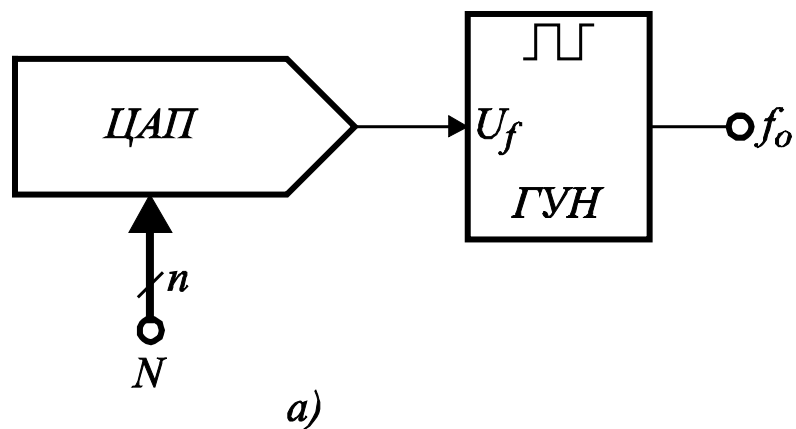


Обобщена схема на цифров фазов синхронизатор – FLL.



Цифров интегратор, изграден на базата на реверсивен брояч:

- а) – с разделни тактови входове за сумиращите и изваждащите импулси;**
- б) – с един тактов вход и вход за определяне посоката на броене;**
- в) – преобразуване от сигнали Φ_1 и Φ_2 . към Φ и обратно.**

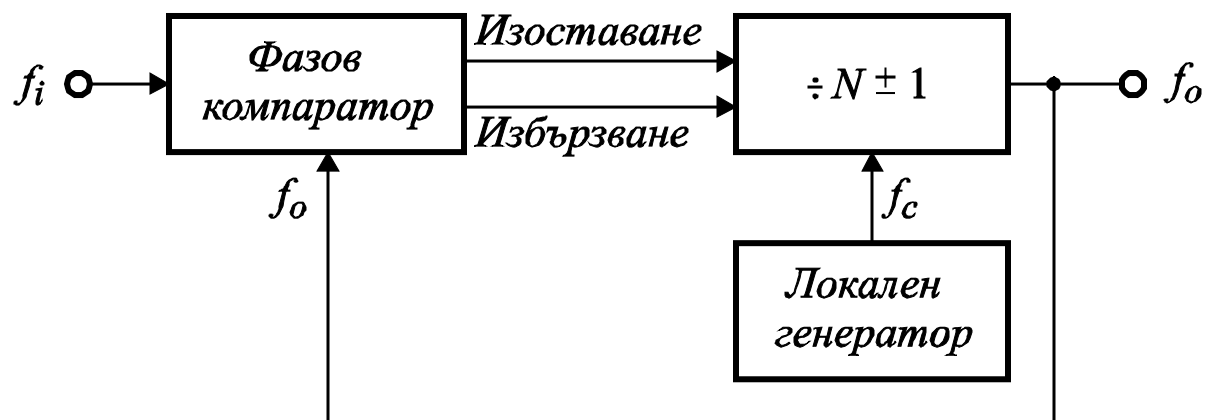


Изграждане на ГУК:

а) – на базата на ЦАП и ГУН;

б) – на базата на генератор и цифрово управляван делител на честота.

8.5.2. Възстановяване на носеща честота



$$f_i = \frac{f_c}{m(N-1) + n(N+1)} = \frac{f_c}{N - m + n}$$

Цифров възстановител на носеща честота.

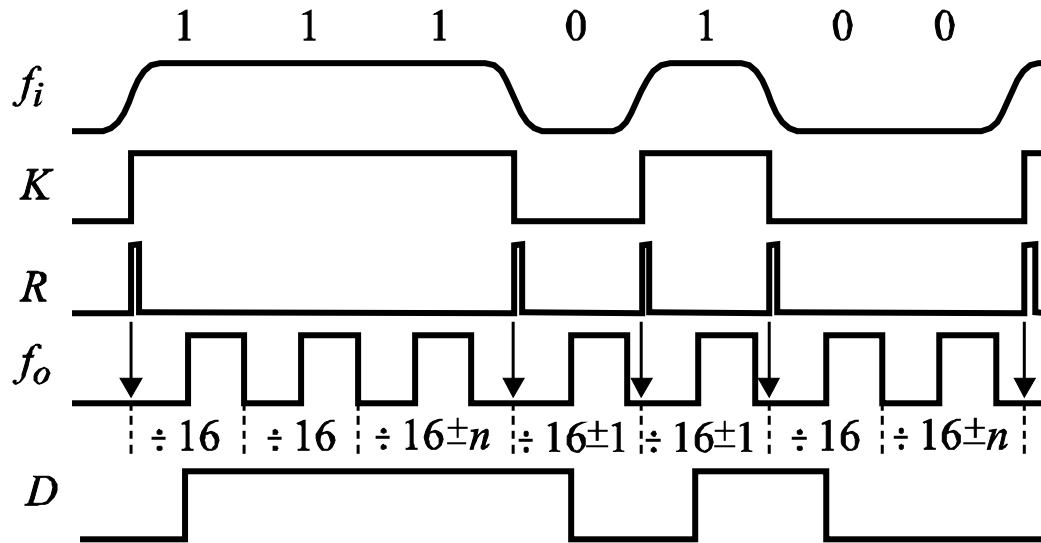
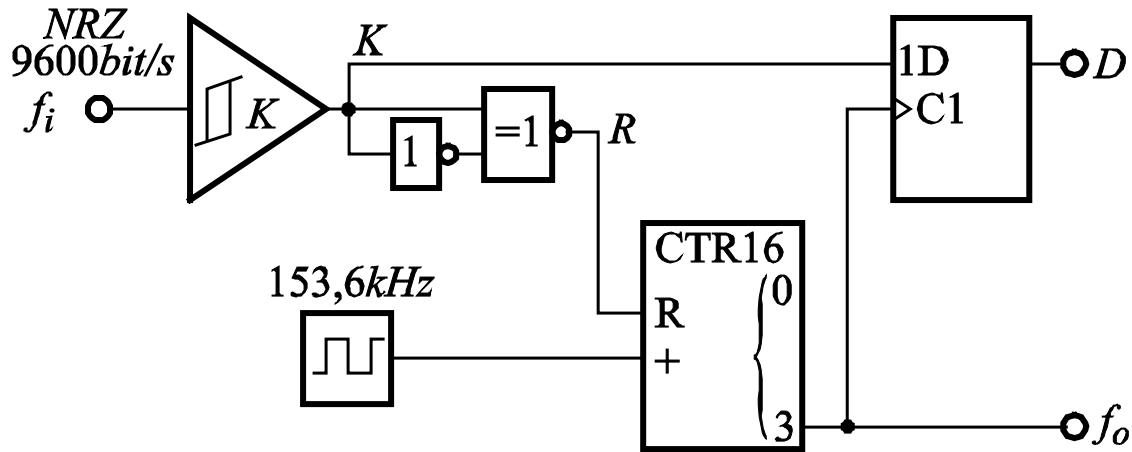
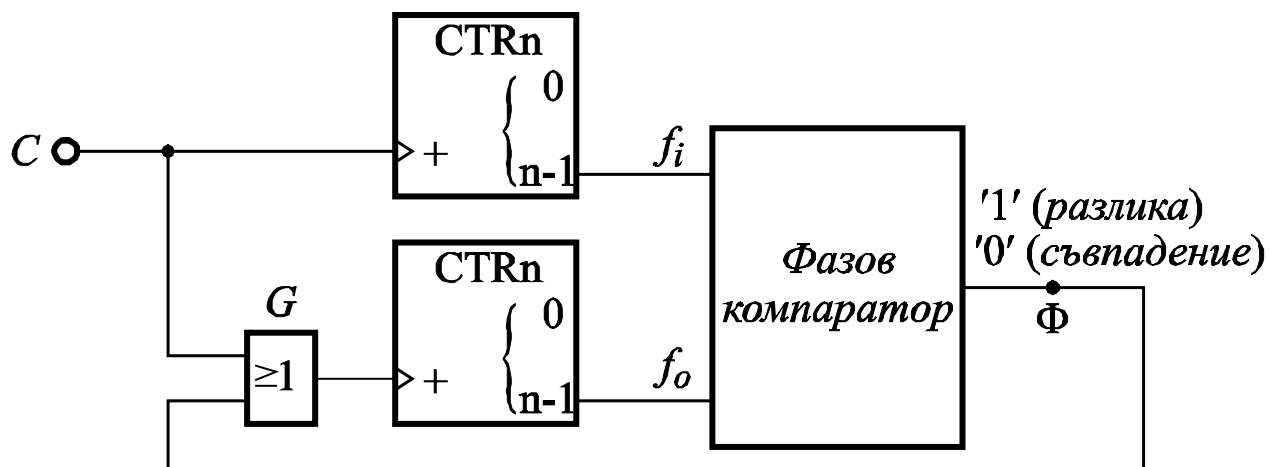
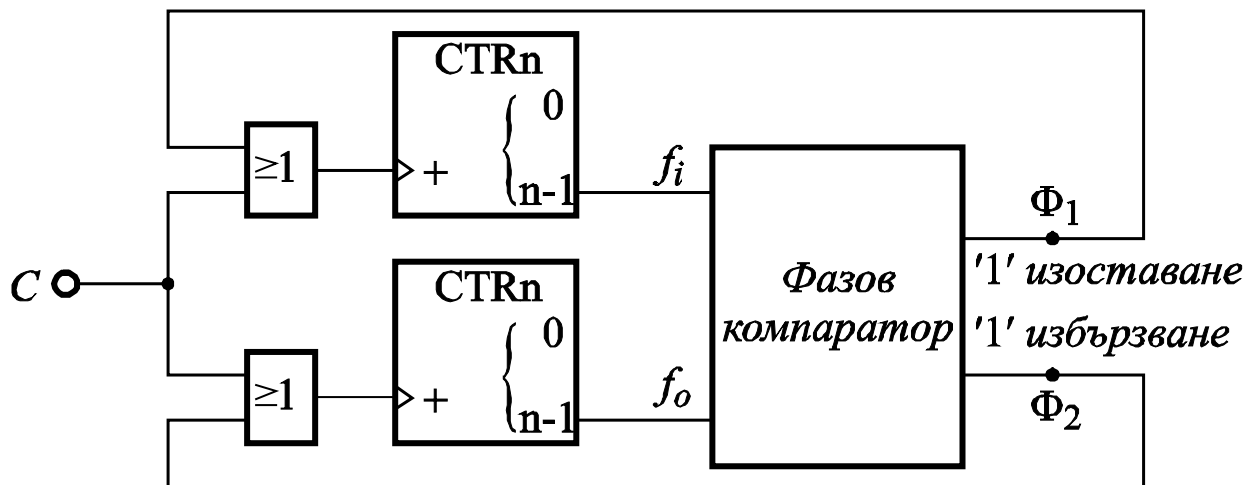


Схема за възстановяване на носещата честота от данни тип NRZ със скорост 9600 bit/s.

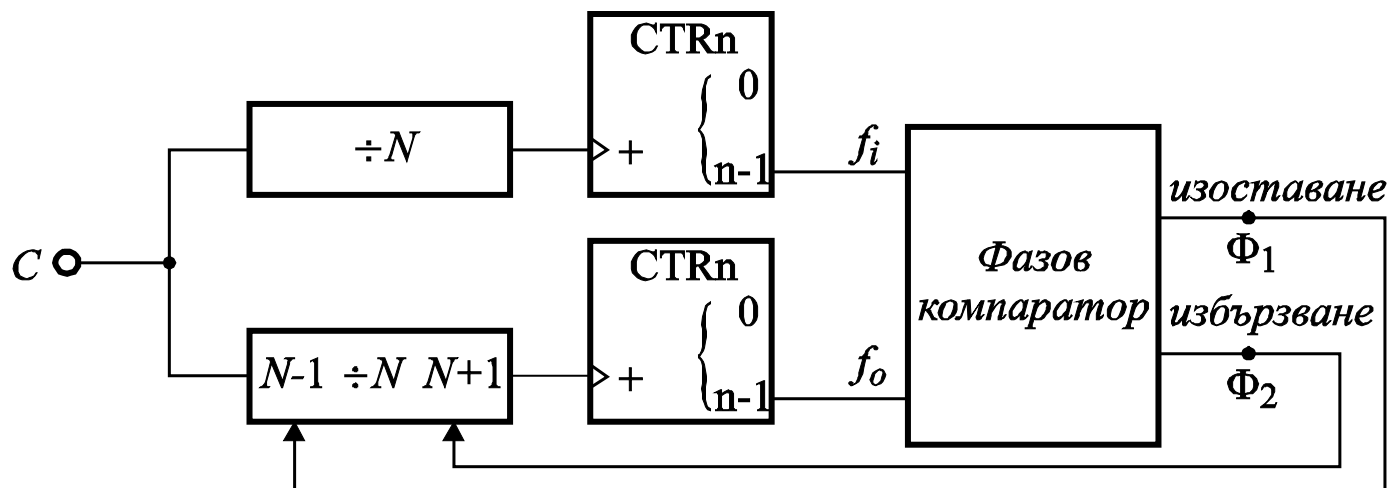
8.5.3. Синхронизиране на броячни групи



Цифров синхронизатор на броячни групи, работещ чрез спиране на подчинената група при липса на синхронизация.



**Синхронизатор на броячни групи,
работещ чрез спиране на
избързалата група при липса на
синхронизация.**



Синхронизатор на броячни групи, работещ чрез увеличаване или намаляване на тактовата честота за подчинената група при липса на синхронизация.