

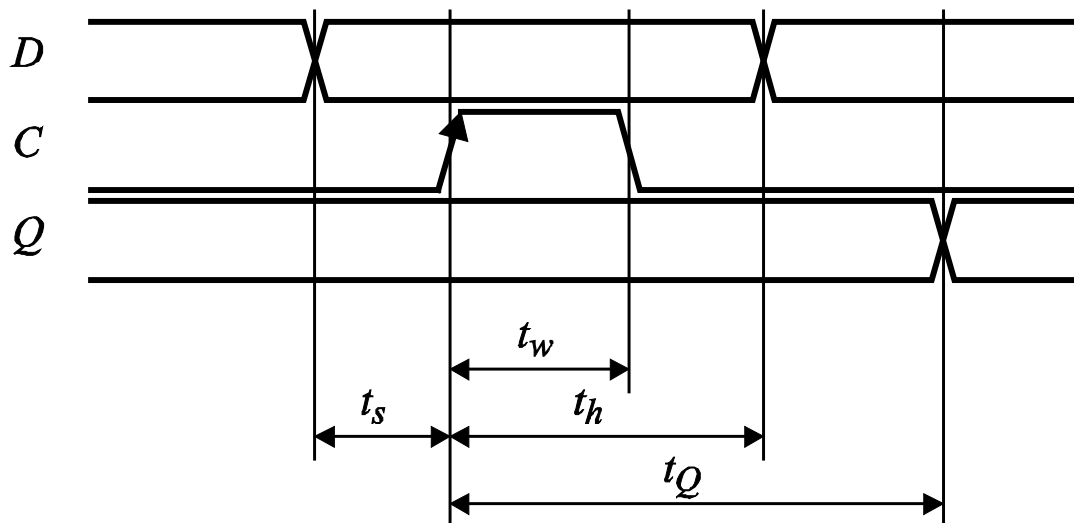
4. ПОСЛЕДОВАТЕЛНОСТНИ ЛОГИЧЕСКИ СХЕМИ

4.1. Тригери

Асинхронните тригери (latch)

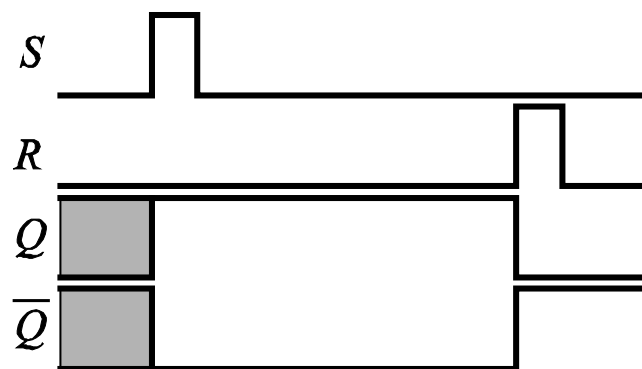
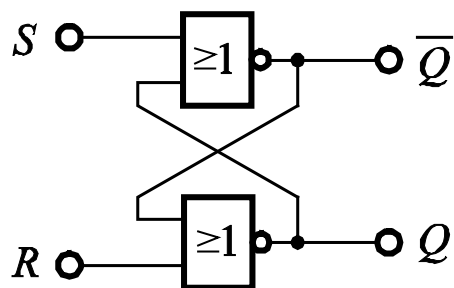
Синхронните тригери:

- с управление по нивото на синхронизиращия сигнал (gated latch);
- с управление по фронта на синхронизиращия сигнал (pulse triggered flip-flop)
- от типа „управляващ-управяван” (M-S – Master-Slave flip-flop)

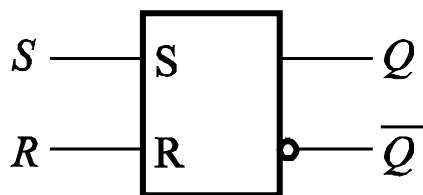


Основни времеви параметри при тригерите.

4.1.2. SR-тригери

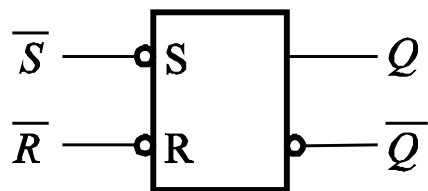
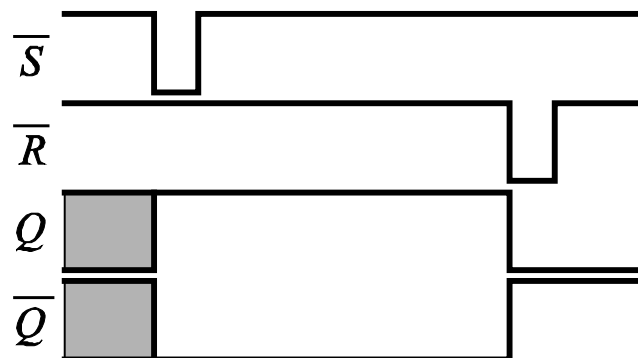
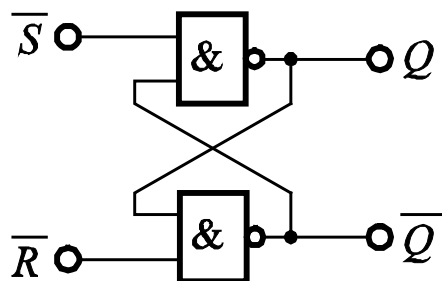


$$Q = \bar{S} + RQ^{n-1}$$



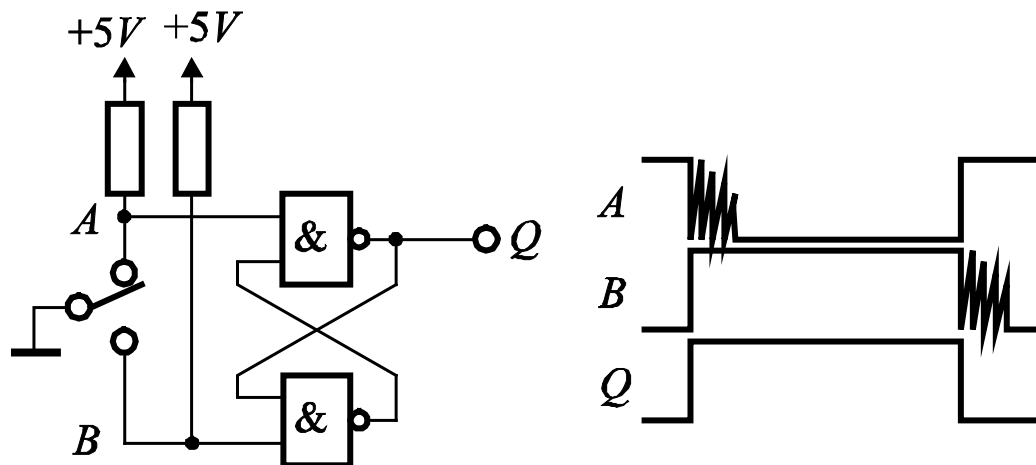
S	R	Q	\bar{Q}
0	0	Без промяна	
1	0	1	0
0	1	0	1
1	1	Забранена	

SR-тригер с логически елементи NOR.

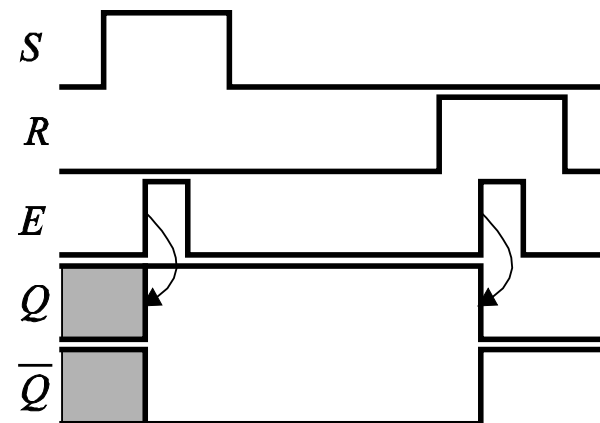
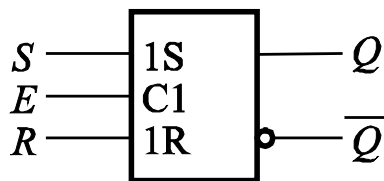
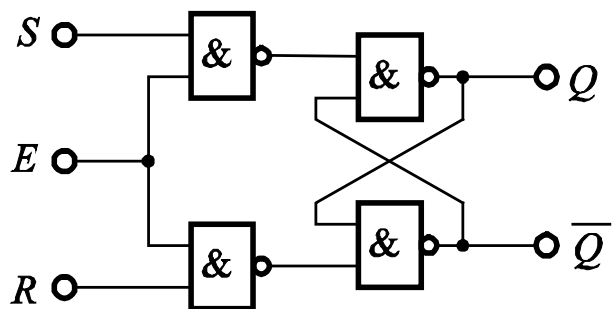


\bar{S}	\bar{R}	Q	\bar{Q}
0	0	Забранена	
1	0	0	1
0	1	1	0
1	1	Без промяна	

SR-тригер с логически елементи NAND.

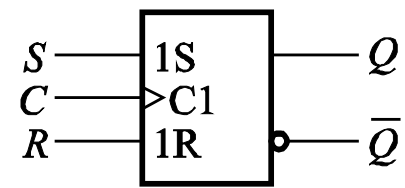
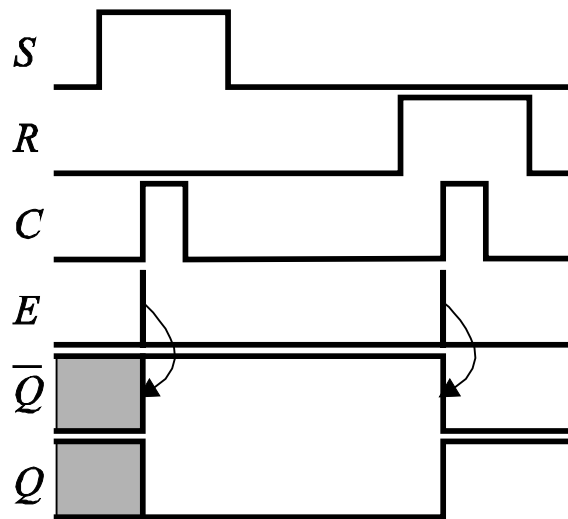
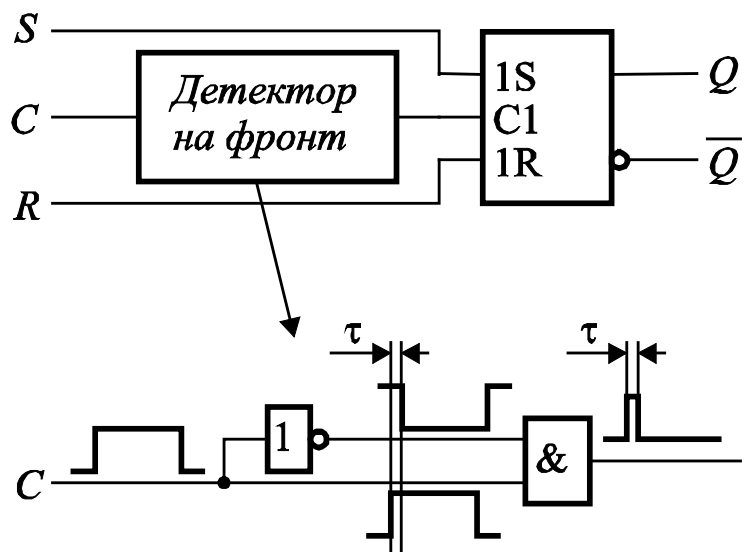


Приложение на SR-тригер за отстраняване на смущения от вибрации на механичен контакт.



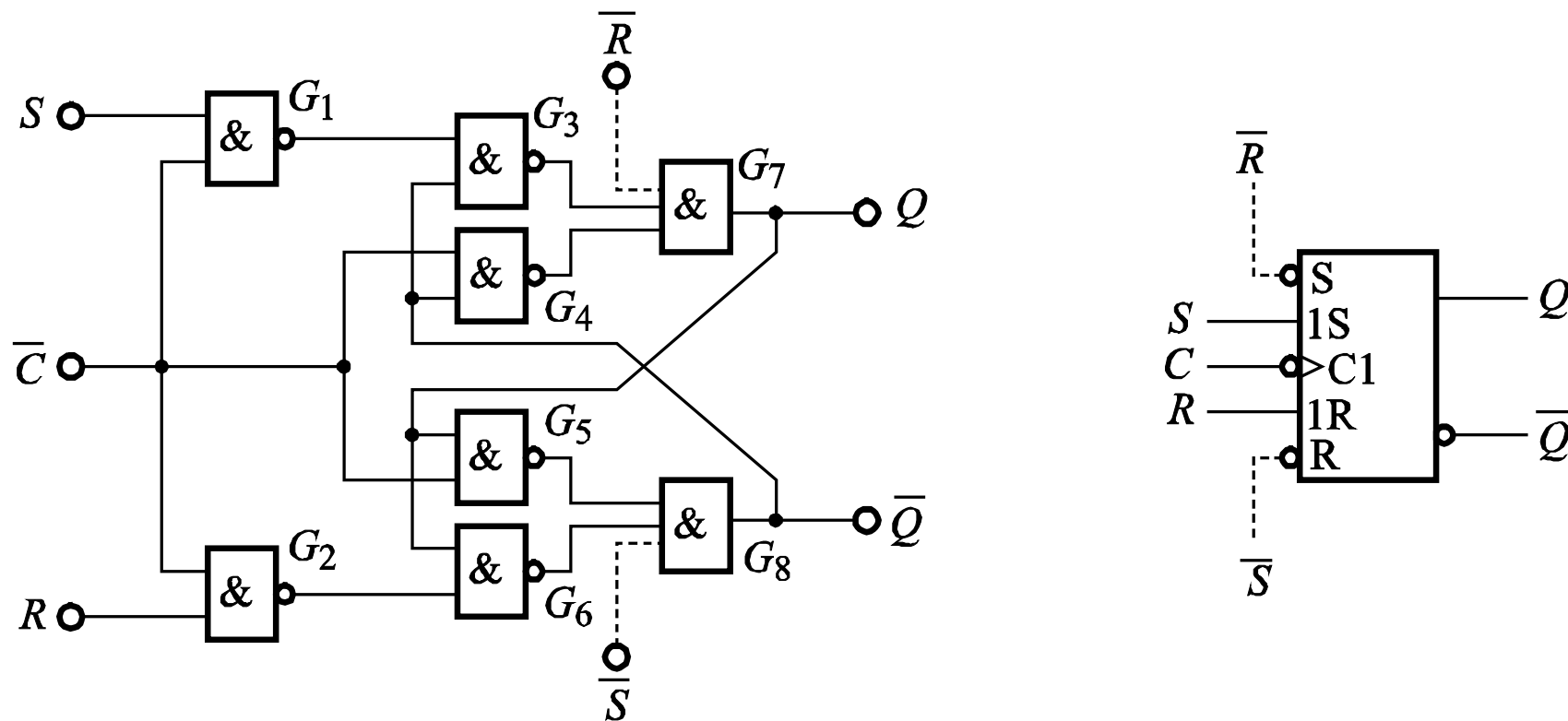
$$Q = ES + \overline{ER}Q^{n-1}$$

Синхронен тригер, с управление на ниво на тактовия сигнал (разрешаван SR-тригер).

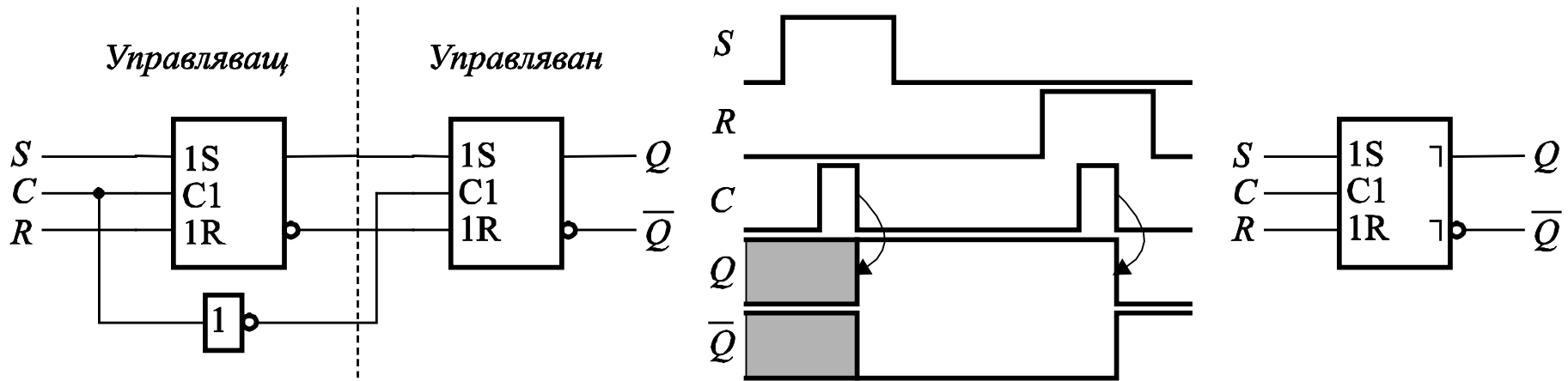


$$Q = CS + \overline{CR}Q^{n-1}$$

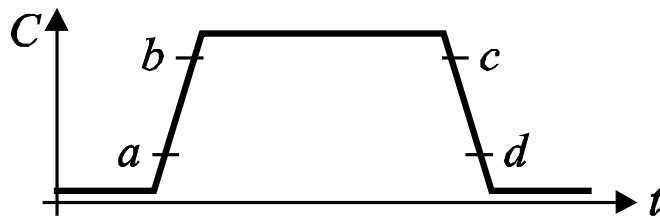
Опростен SR-тригер, управляван по фронт на синхронизиращия импулс.



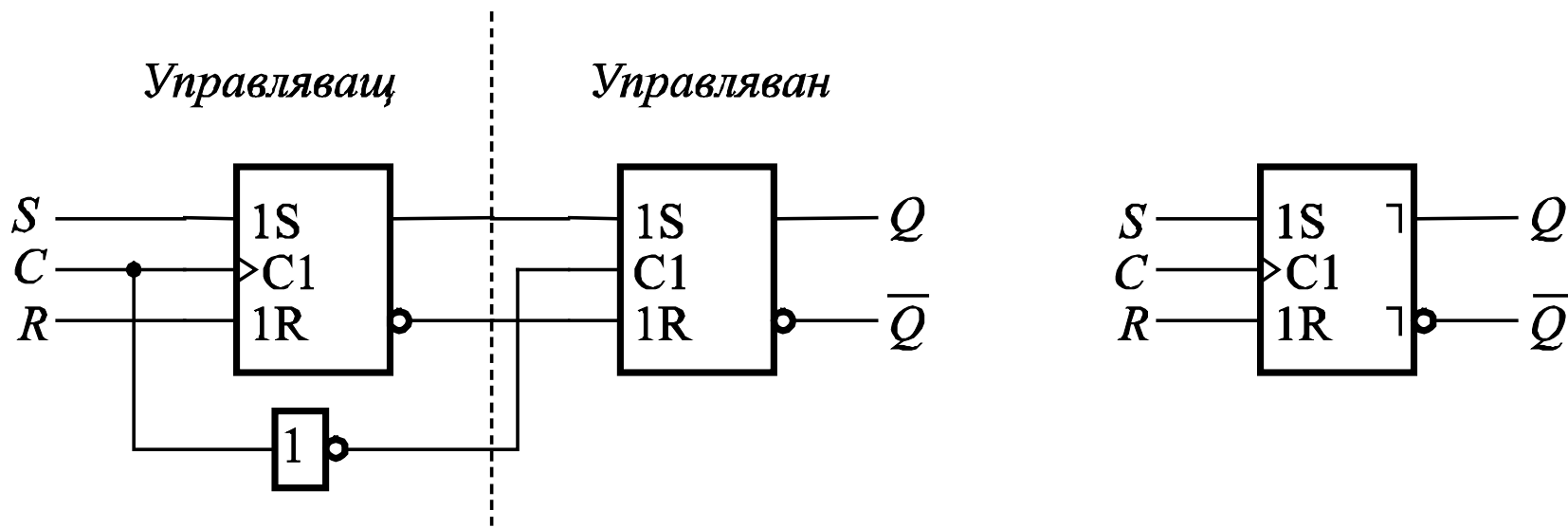
Синхронен динамичен SR-тригер.



Синхронен SR-тригер от типа M-S.



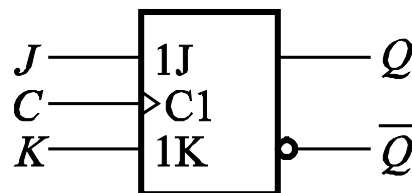
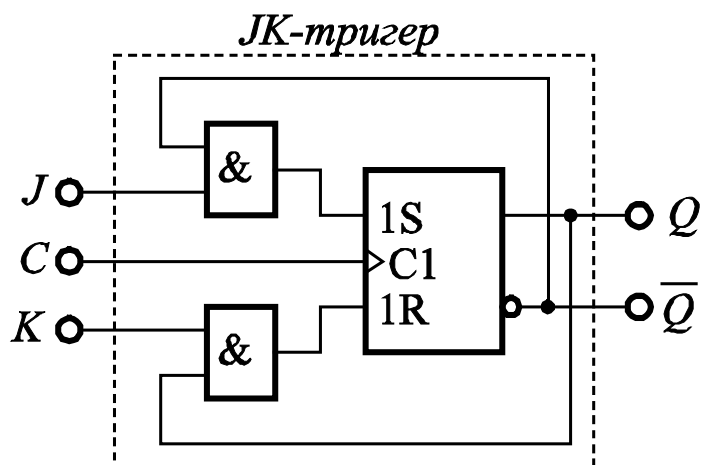
Синхронизиращ импулс за M-S тригер.



Двустъпален SR-тригер със заключен вход.

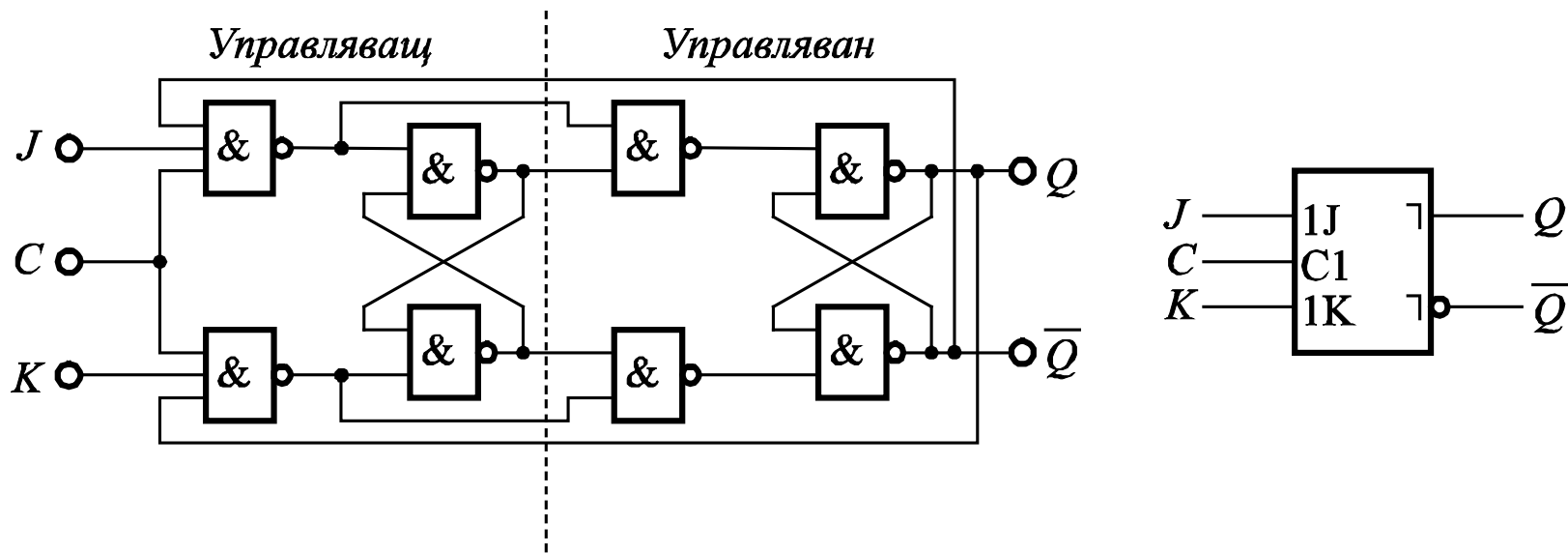
4.1.3. JK-тригери

$$Q = \overline{CK}Q^{n-1} + CJ\overline{Q}^{n-1}$$



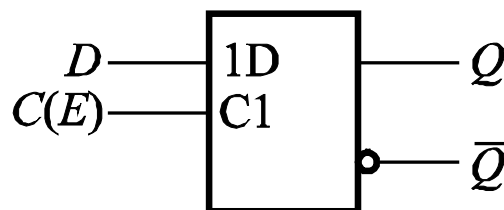
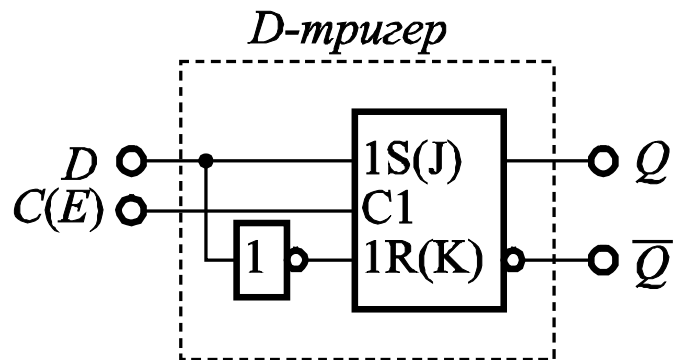
<i>J</i>	<i>K</i>	<i>Q</i>	\overline{Q}
0	0	<i>Без промяна</i>	
1	0	1	0
0	1	0	1
1	1	\overline{Q}^{n-1}	Q^{n-1}

JK-тригер. Синтез на JK-тригер от SR-тригер.



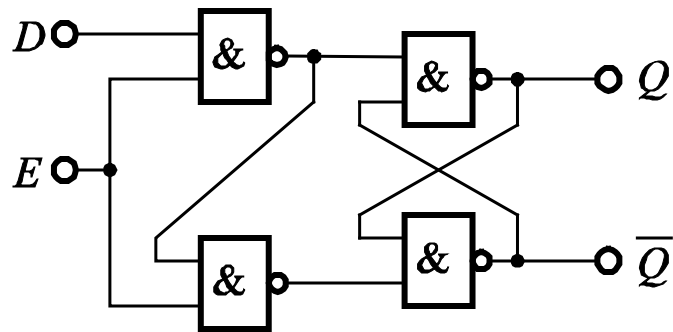
JK-тригер от типа „управляващ-управляван“ (M-S).

4.1.4. *D*-тригери



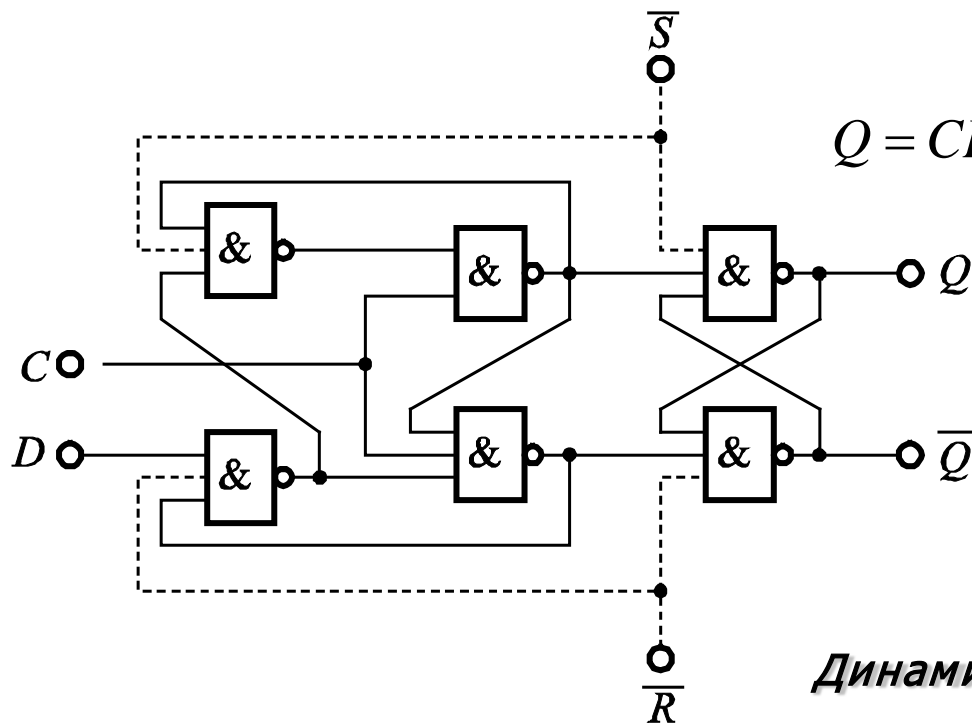
D	Q	\bar{Q}
0	0	1
1	1	0

D-тригер. Синтез на *D*-тригер от *SR*- или *JK*-тригер.



$$Q = ED + \bar{E}Q^{n-1}$$

Разрешаван D-тригер.



$$Q = CD + \bar{C}Q^{n-1}$$

Динамичен D-тригер.

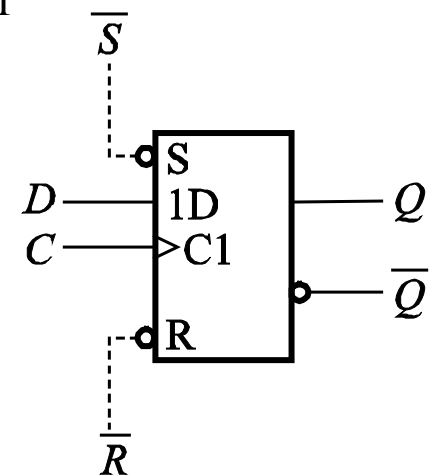
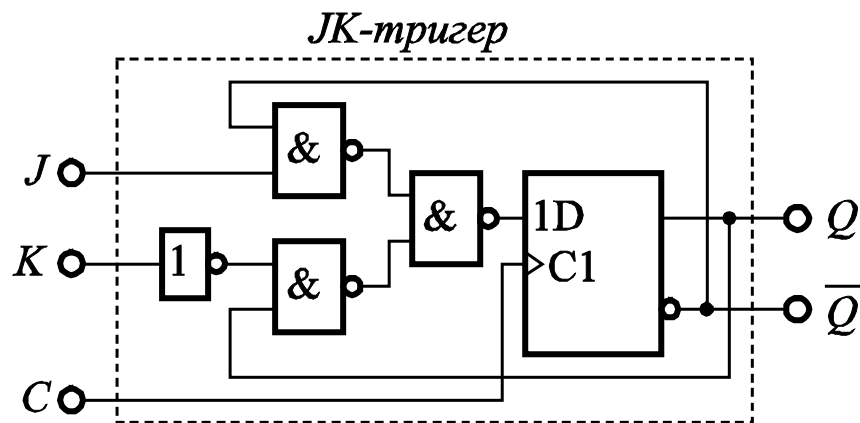


Таблица на истинност за получаване на JK-тригер от D-тригер.

<i>J</i>	<i>K</i>	<i>Q</i>	<i>D</i>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

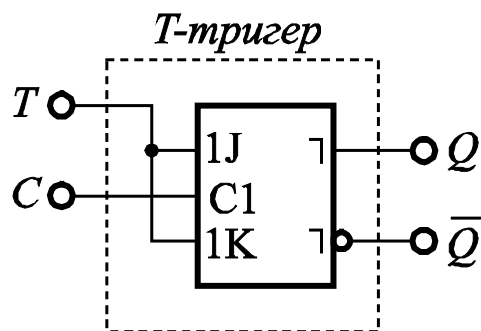


Синтез на JK-тригер от D-тригер.

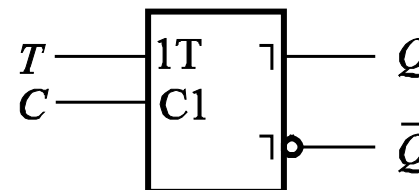
$$D = \overline{J}\overline{K}Q + J\overline{K}\overline{Q} + J\overline{K}Q + JK\overline{Q}$$

$$D = \overline{K}Q(\overline{J} + J) + J\overline{Q}(\overline{K} + K) = \overline{\overline{\overline{K}Q}} + \overline{\overline{\overline{J\overline{Q}}}} = (\overline{K}Q) \cdot (\overline{J\overline{Q}})$$

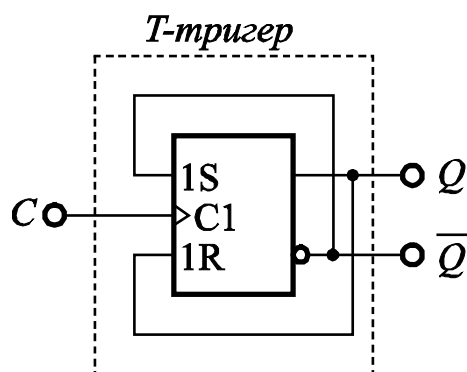
4.1.5. T-тригери



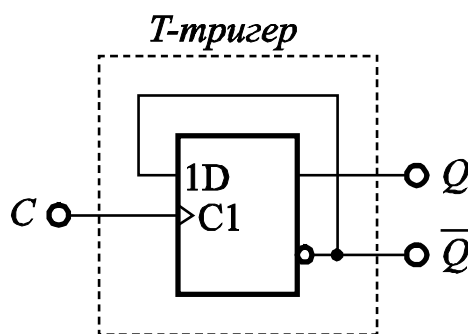
T	Q	\overline{Q}
0	Без промяна	
1	\overline{Q}^{n-1}	Q^{n-1}



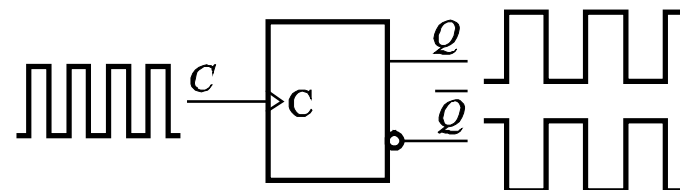
T-тригер. Синтез на T-тригер от JK-тригер.



а)



б)



в)

Синтез на „съкратен“ T-тригер.



4.2. Броячи

4.2.1. *Класификация и параметри на броячите*

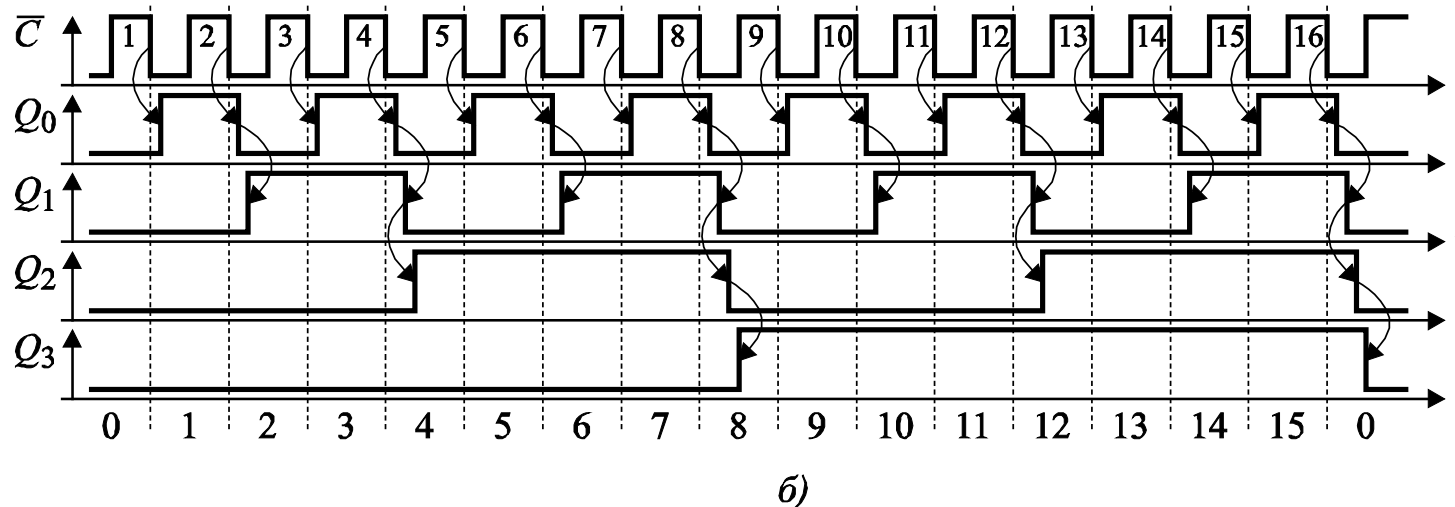
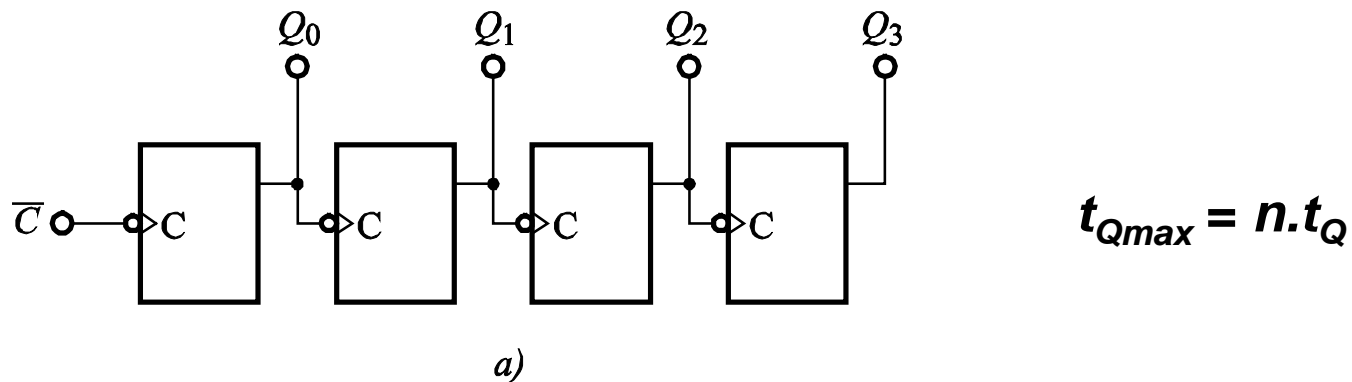
1. Според използваната система на броене:
 - а) двоични броячи;
 - б) десетични броячи;
 - в) броячи с произволен коефициент на броене;
 - г) специални броячи.
2. Според начина на броене на импулсите:
 - а) сумиращи броячи;
 - б) изваждащи броячи;
 - в) реверсивни броячи.
3. Според начина на въздействие на входните импулси:
 - а) асинхронни броячи;
 - б) синхронни броячи;
 - в) смесени броячи (броячи с комбинирано действие).



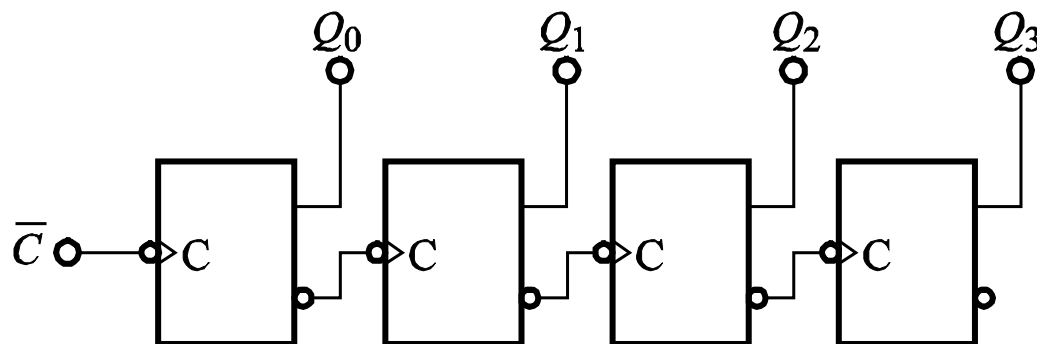
Основни параметри на броячите:

1. Модул на броене – N . Той е равен на броя на състоянията, които може да заеме един брояч. При наличието на n тригерни клетки броят на състоянията е максимално 2^n . Модулът на броене определя капацитета на брояча (максималното число импулси, което може да регистрира даден брояч). Капацитетът на двоичните броячи е $2^n - 1$. След регистрирането на максималния брой импулси броячът се връща в изходното си състояние.
2. Минимална продължителност на тактовия импулс – t_{Wmin} . Тя гарантира регистрирането му от брояча.
3. Максимална честота на брояча – f_{max} . Това е най-високата честота на импулсите, при която те могат да бъдат регистрирани.
4. Време на регистрация – t_Q . Това е максималното време от постъпването на водещия (активен) фронт на тактовия импулс до момента, в който изходите на брояча се установят в новото състояние.

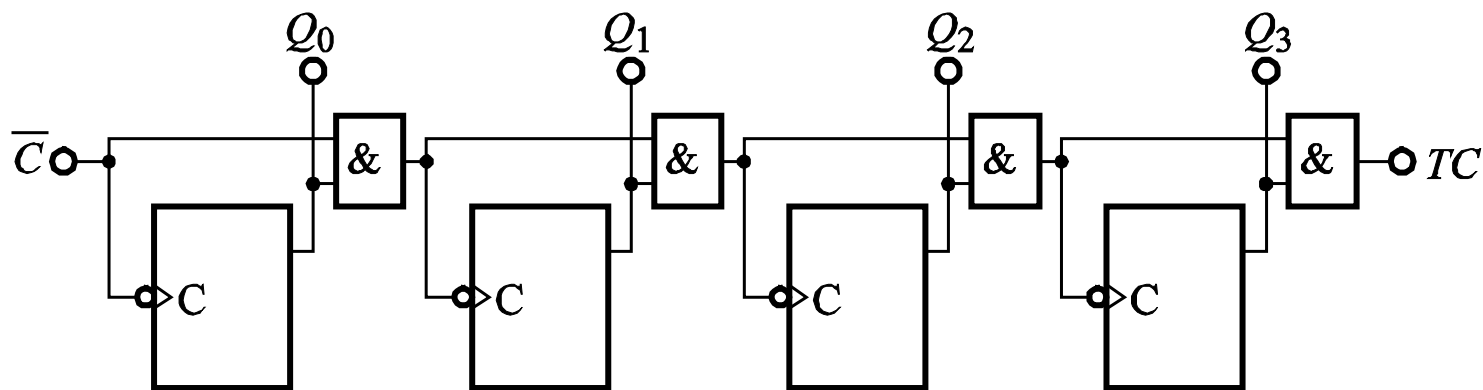
4.2.2. Асинхронни броячи



Четириразреден асинхронен брояч с непосредствена връзка (Ripple Counter).



Четириразреден асинхронен изваждащ брояч с непосредствена връзка.

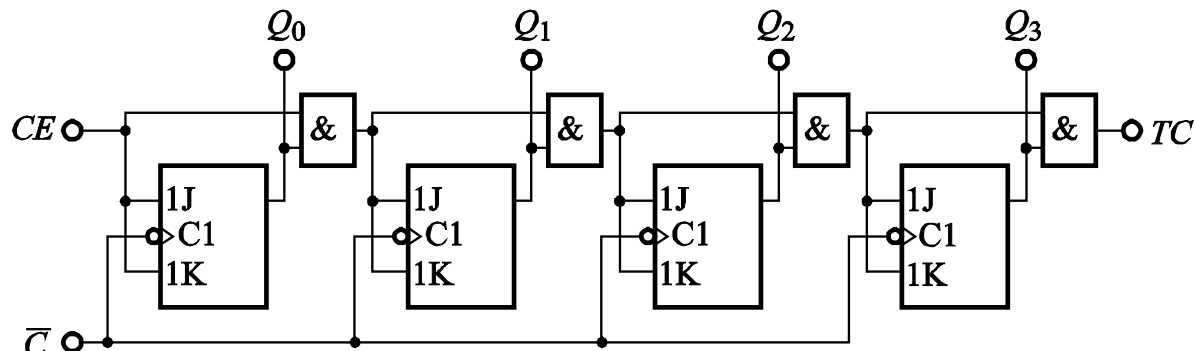


Четириразреден асинхронен брояч с последователен пренос.

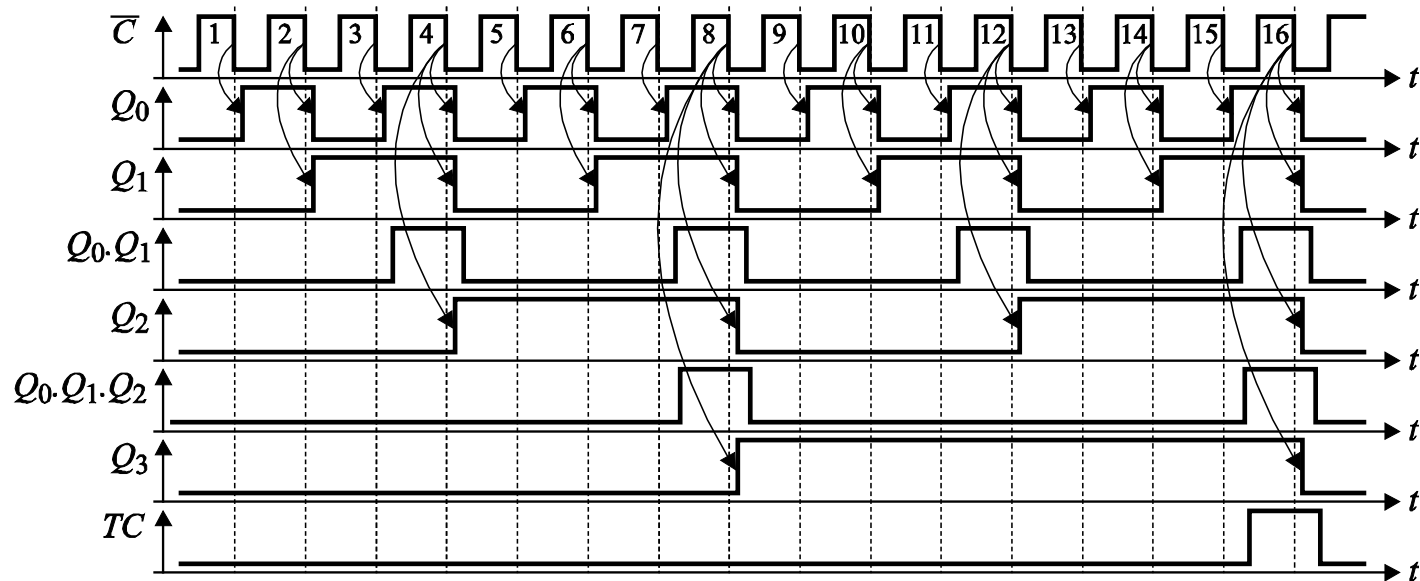
$$t_{Q_{\max}} = (n-1)t_G + t_Q$$

4.2.3 Синхронни броячи

Четирибитов
сумиращ синхронен
брояч с
последователен
пренос.



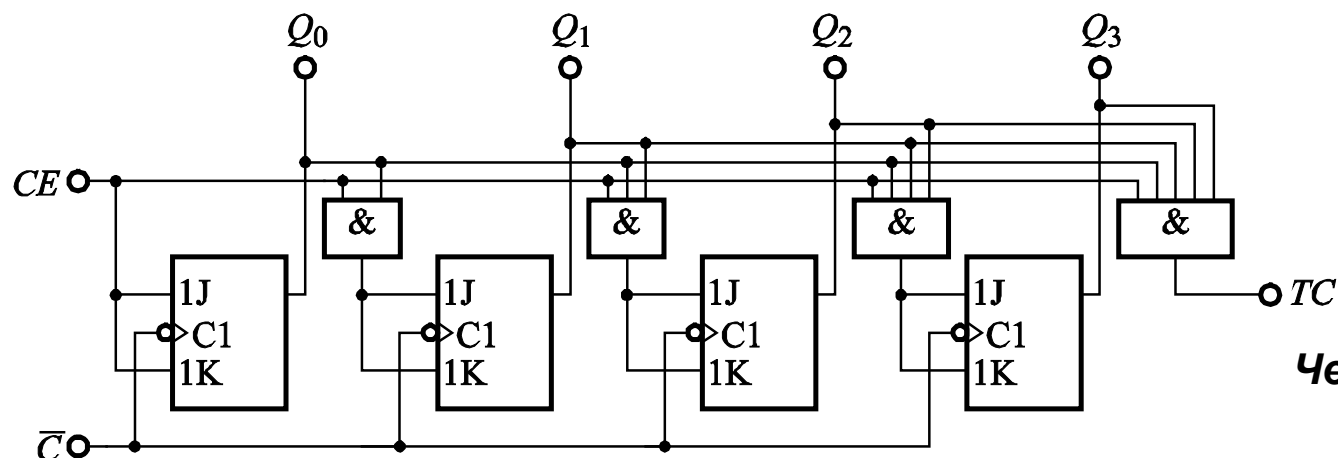
a)



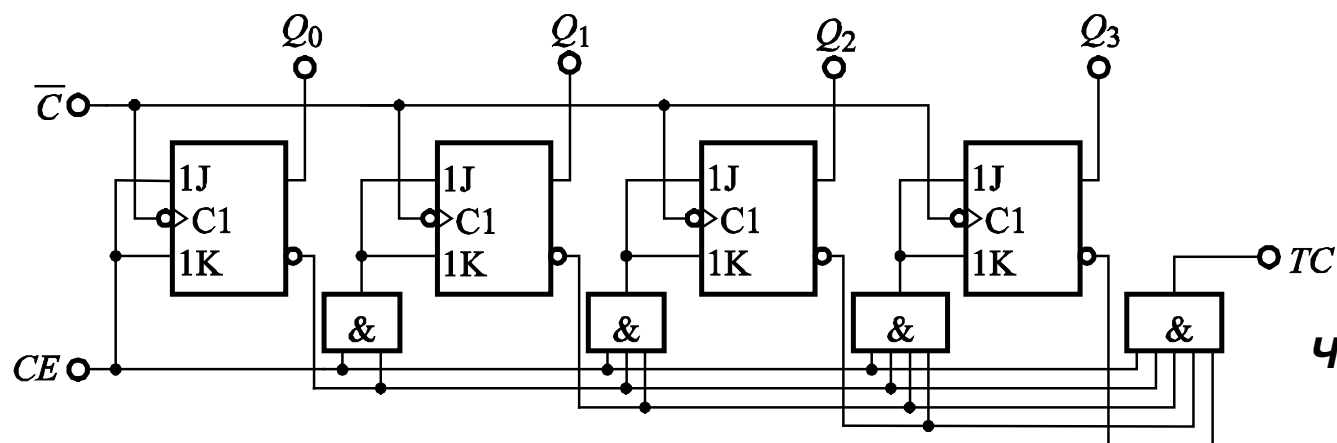
б)



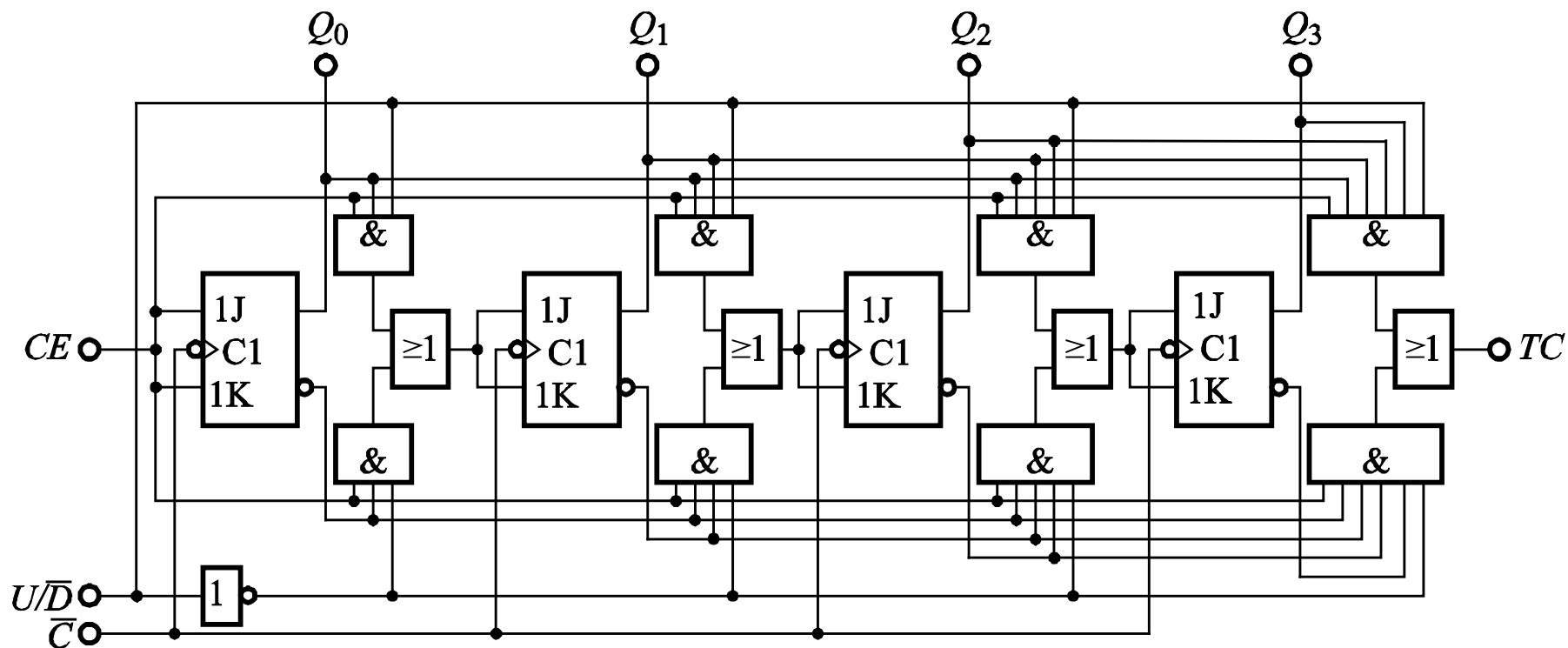
Цифрова схемотехника



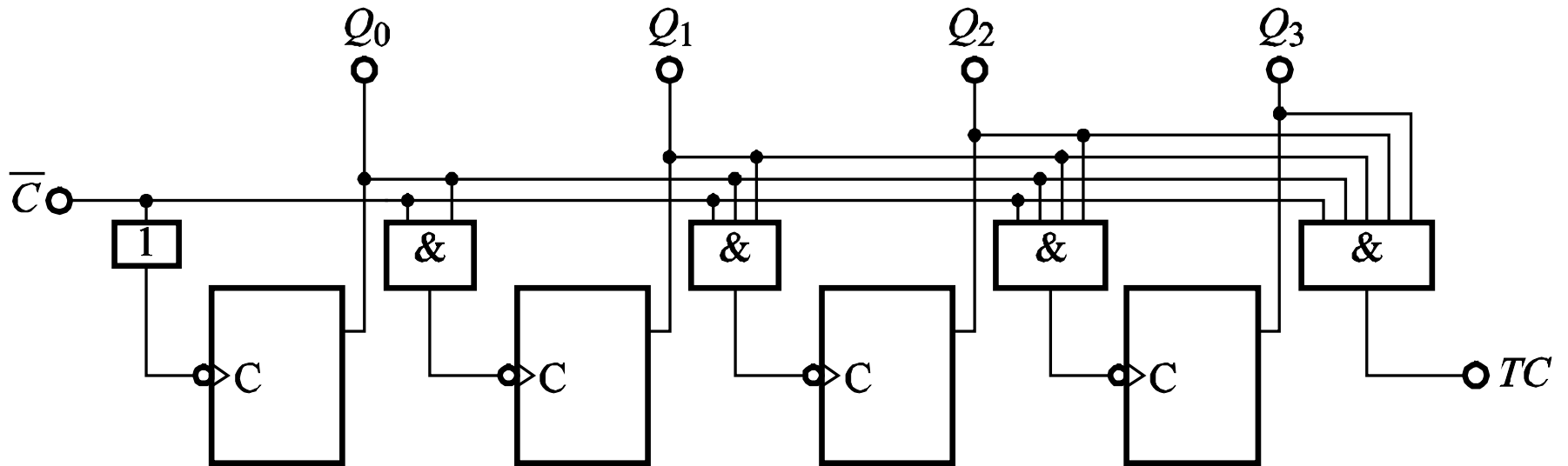
**Четириразреден
сумиращ синхронен
брояч с паралелен
пренос**



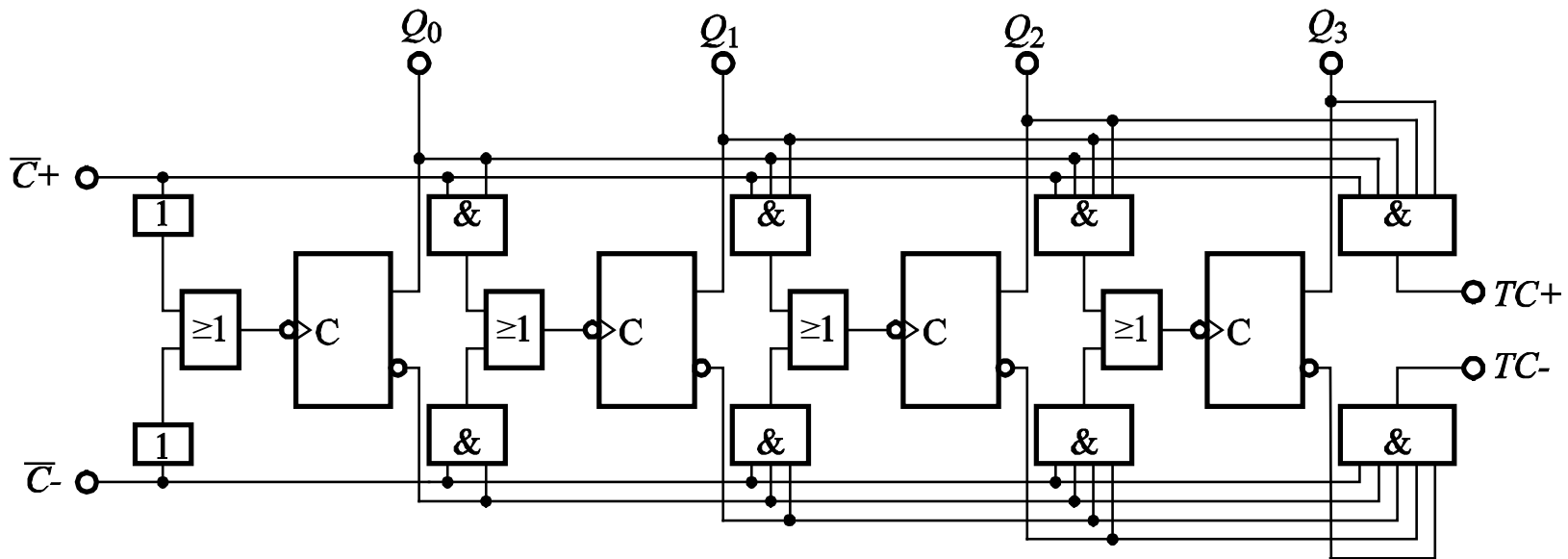
**Четириразреден
изваждащ
синхронен брояч с
паралелен пренос.**



Четириразреден синхронен реверсивен брояч с един тактов вход и управление на посоката на броене.

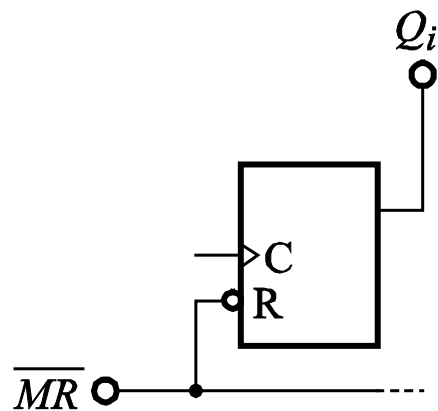


Четириразреден синхронен брояч, изграден с T-тригери..

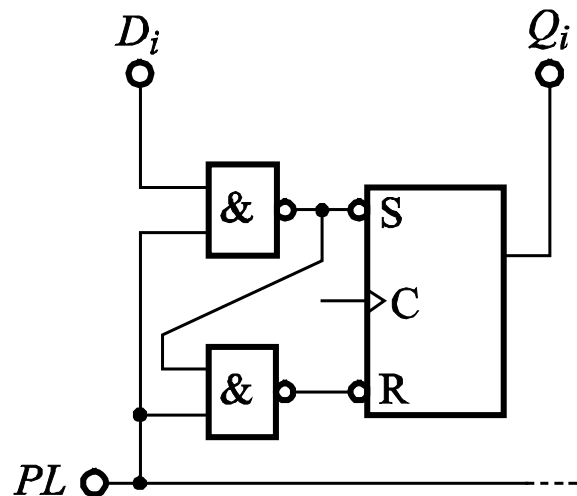


Четириразреден синхронен реверсивен брояч с два тактови входа, изграден с Т-тригери.

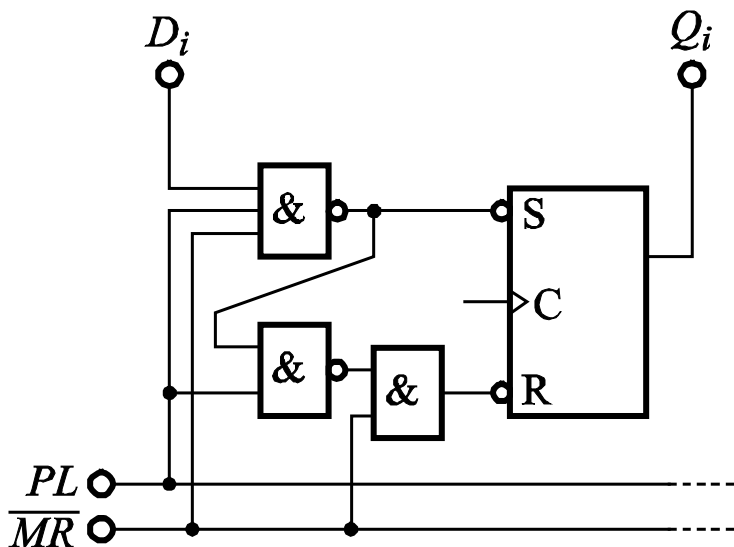
4.2.4 Нулиране и зареждане на броячите



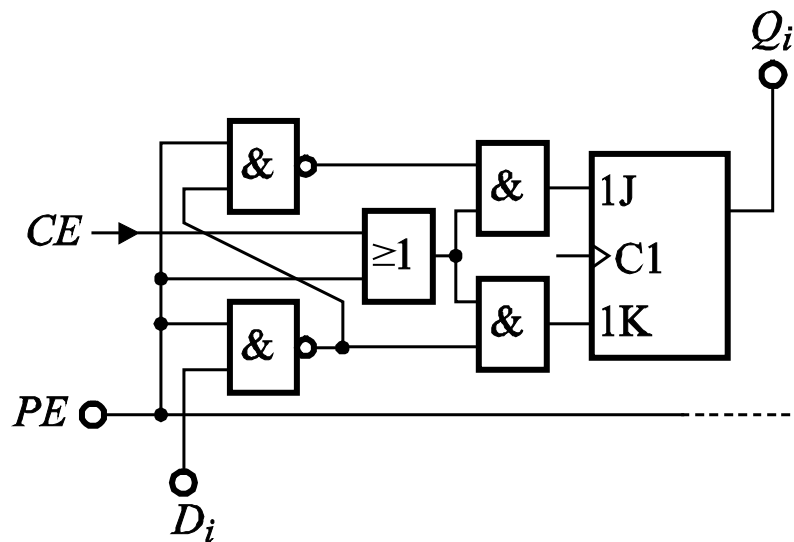
Асинхронно нулиране на броячен тригер.



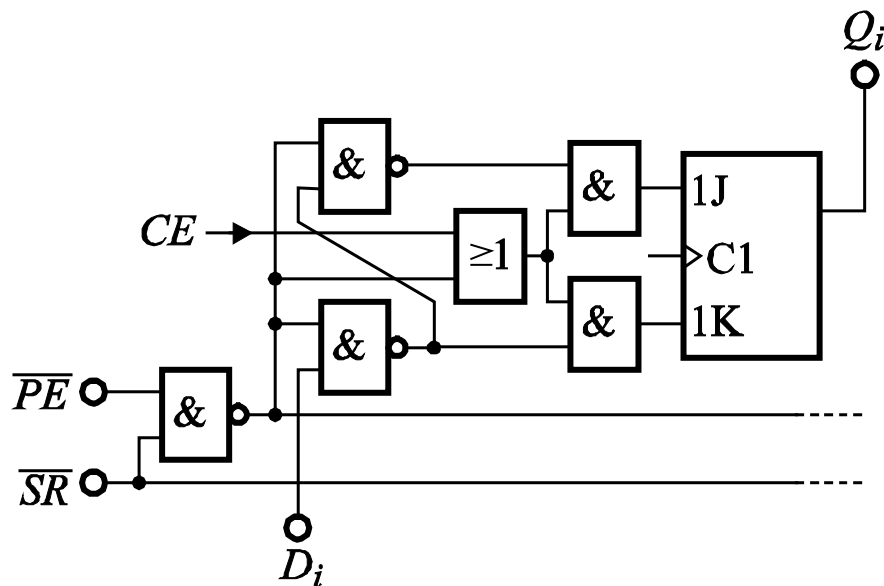
Асинхронно зареждане на броячен тригер.



Съчетание на асинхронно зареждане и приоритетно асинхронно нулиране на броячен тригер.

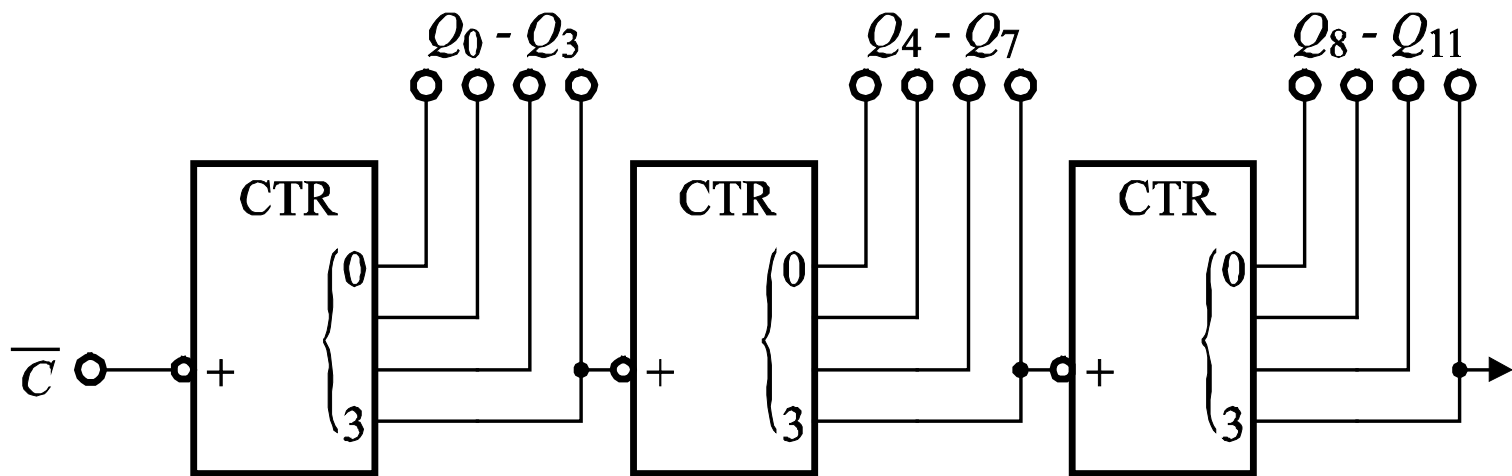


Синхронно зареждане на броячен JK-тригер.

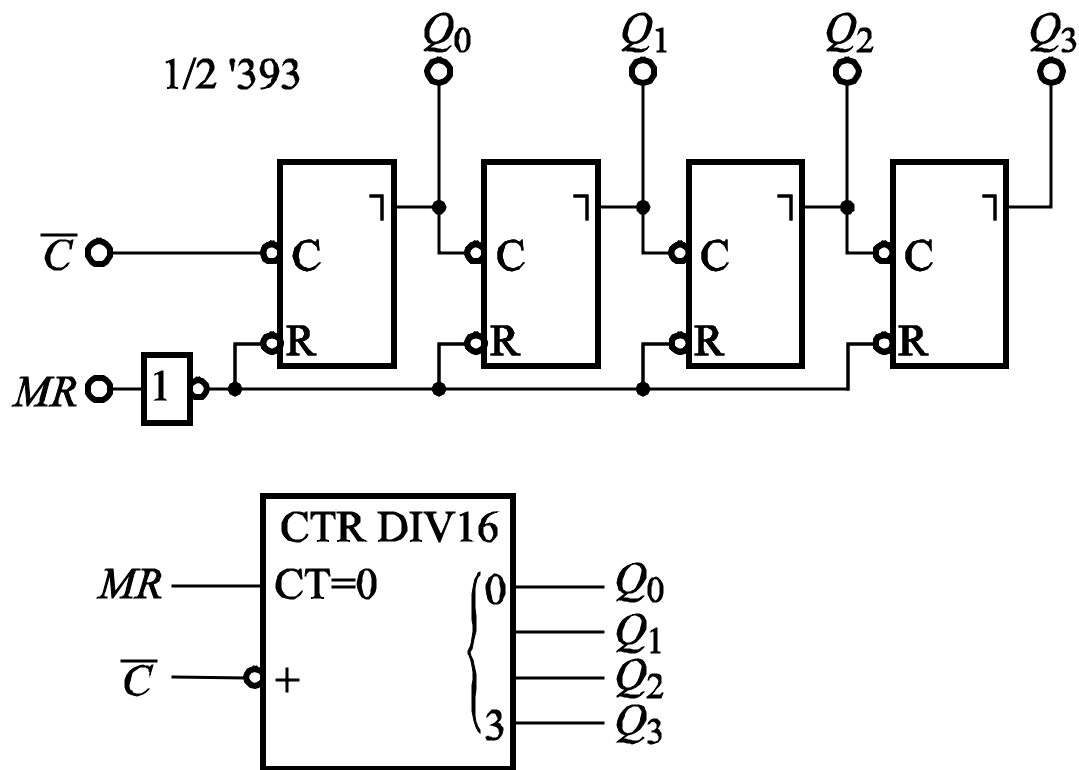


Съчетание на синхронно зареждане и приоритетно синхронно нулиране на броячен тригер.

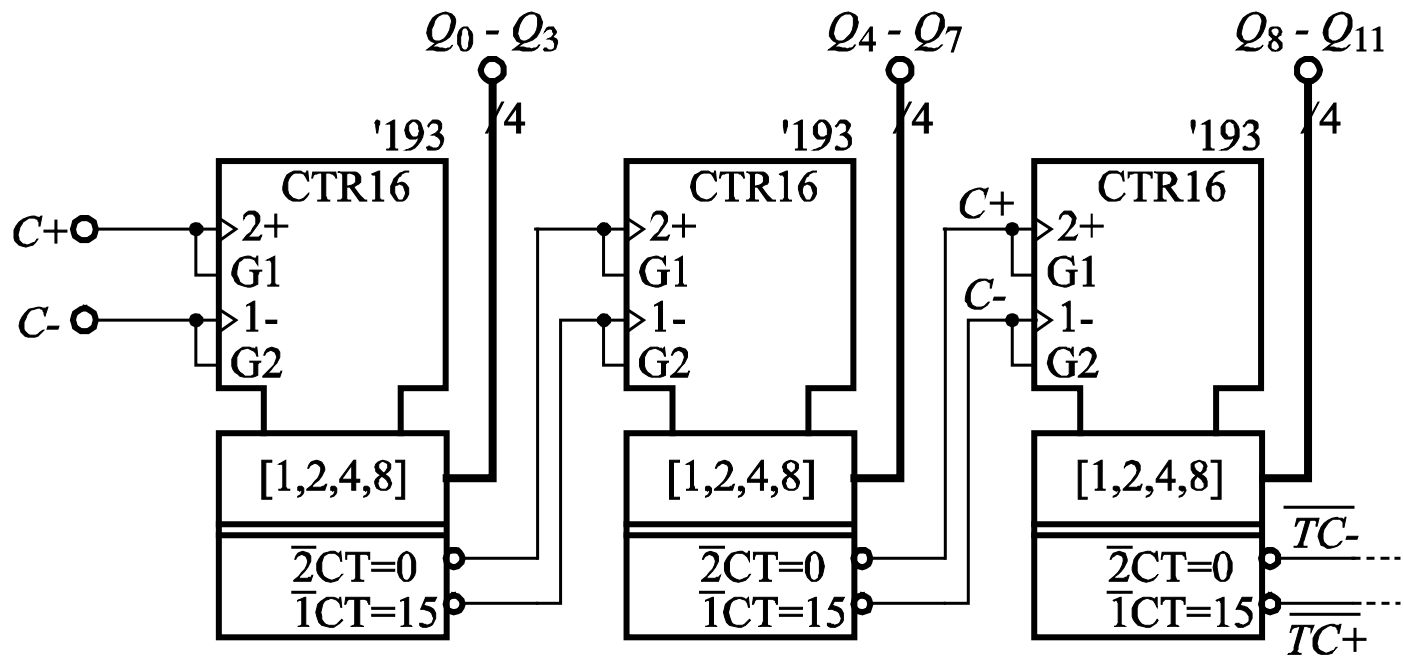
4.2.5 Нарастване на броячите



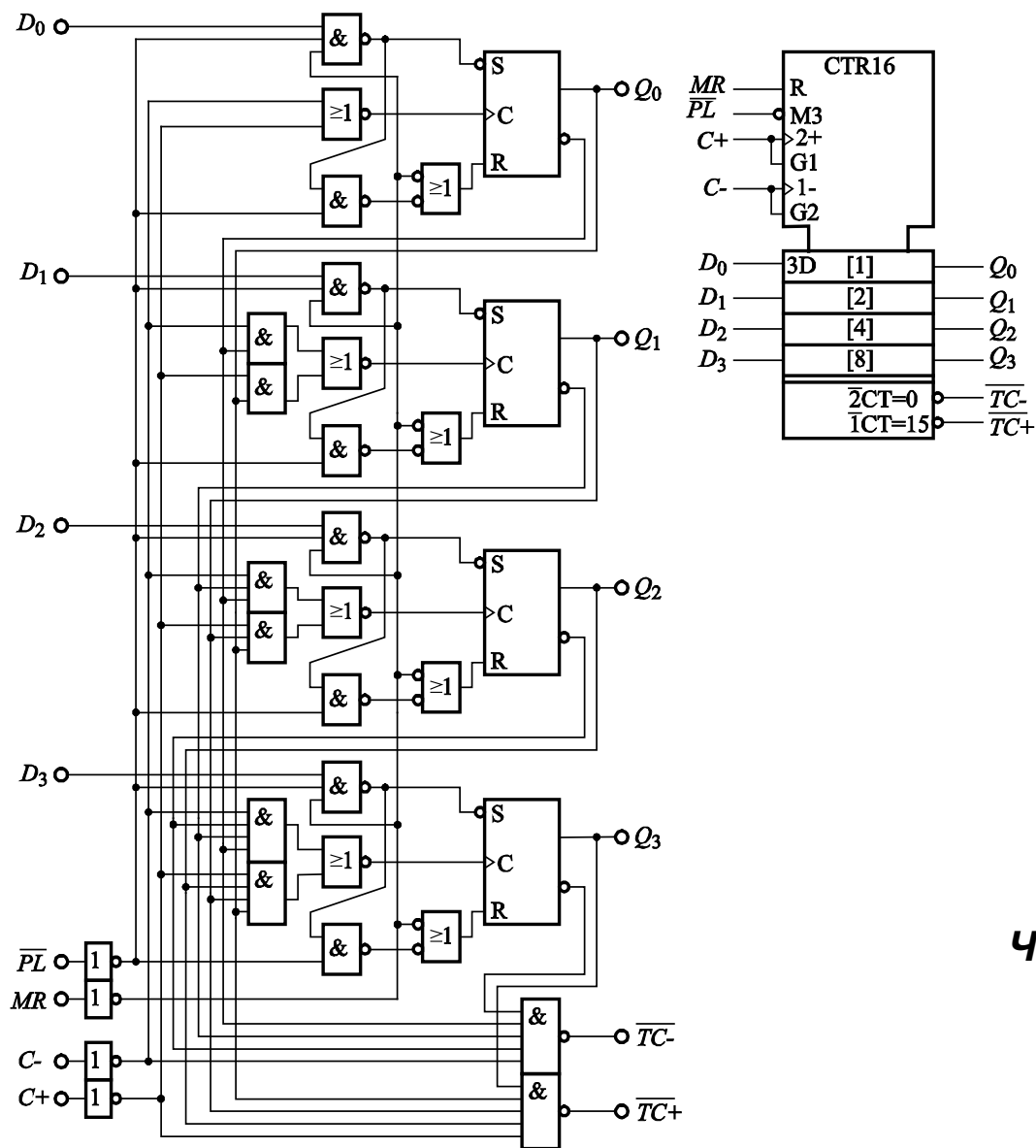
Асинхронно свързване на броячи.



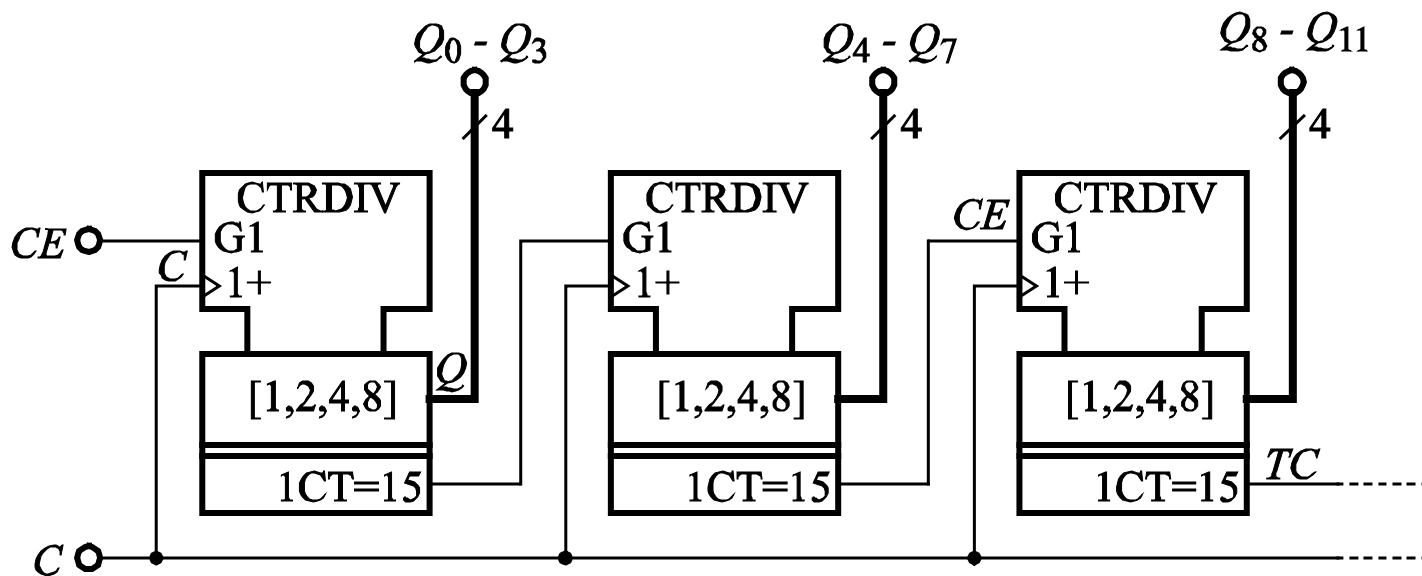
Структура на асинхронния брояч 1/2 '393.



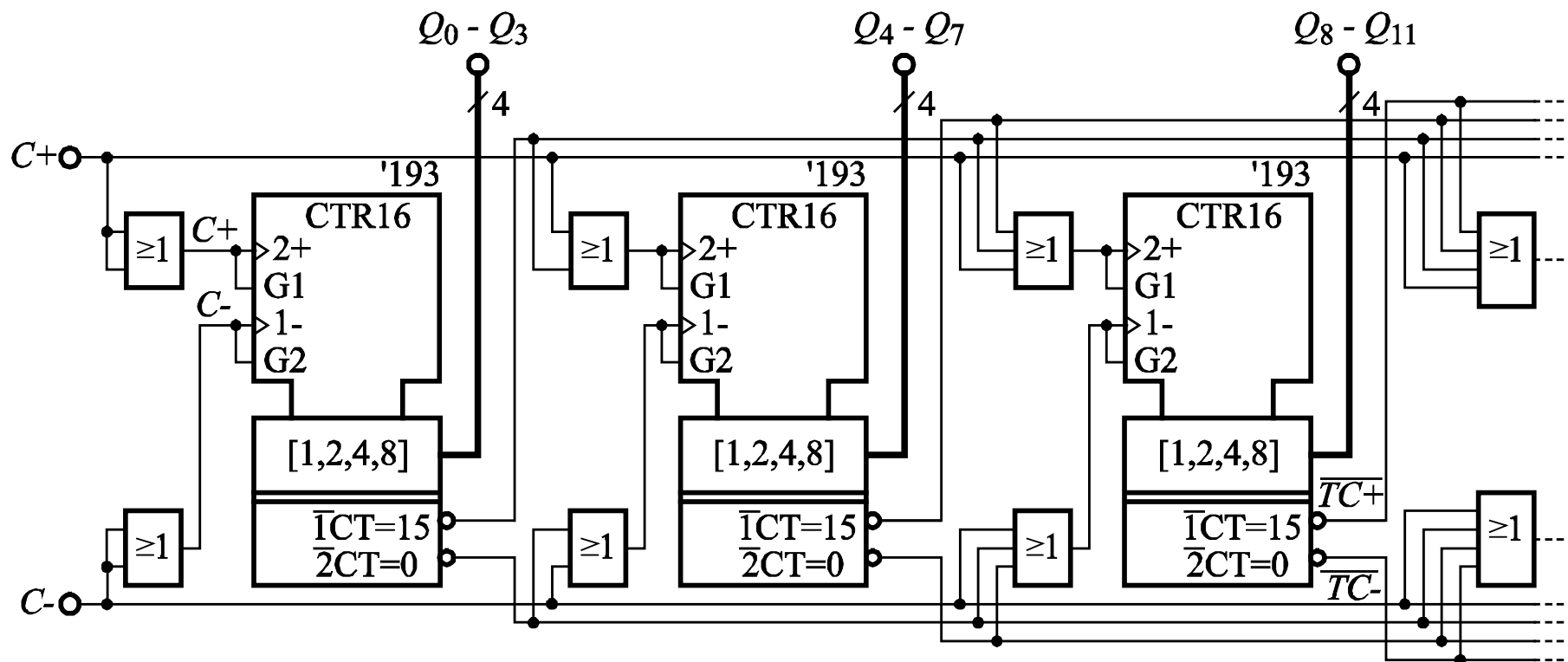
Асинхронно свързване между реверсивни броячи '193.



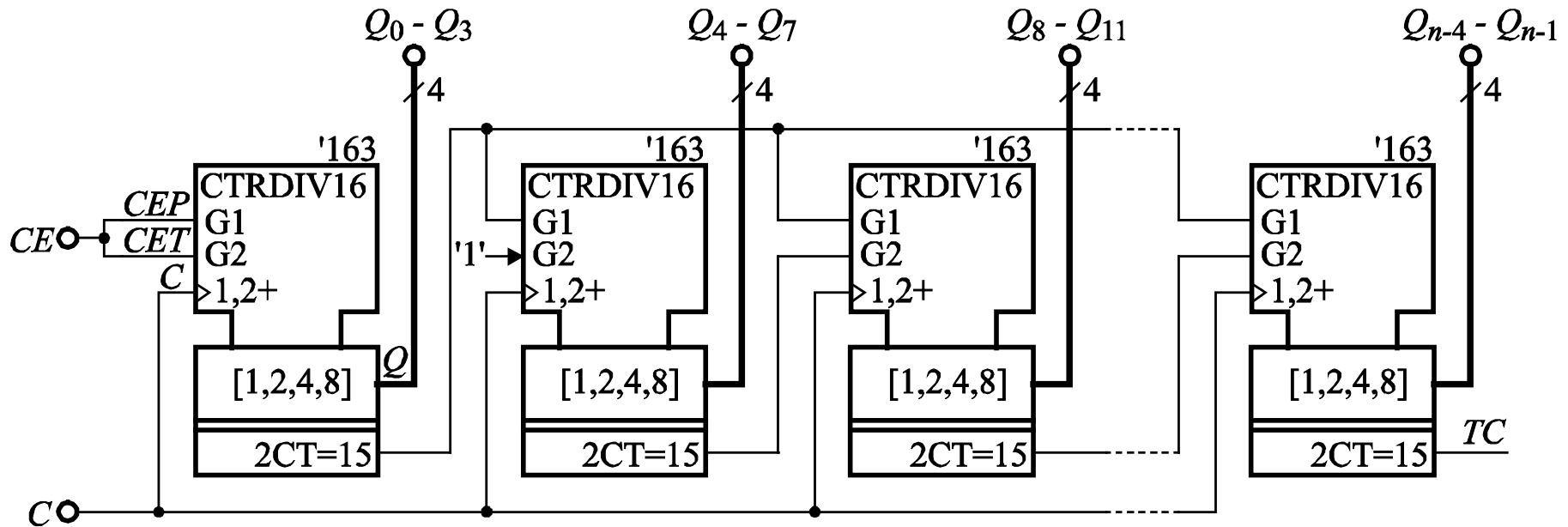
**Четириразреден реверсивен
синхронен брояч с два
тактови входа – '193.**



**Синхронно последователно
свързване на броячи.**



Паралелно-последователно свързване на синхронни реверсивни броячи '193.



Синхронно паралелно-последователно свързване на броячи '163



Цифрова схемотехника

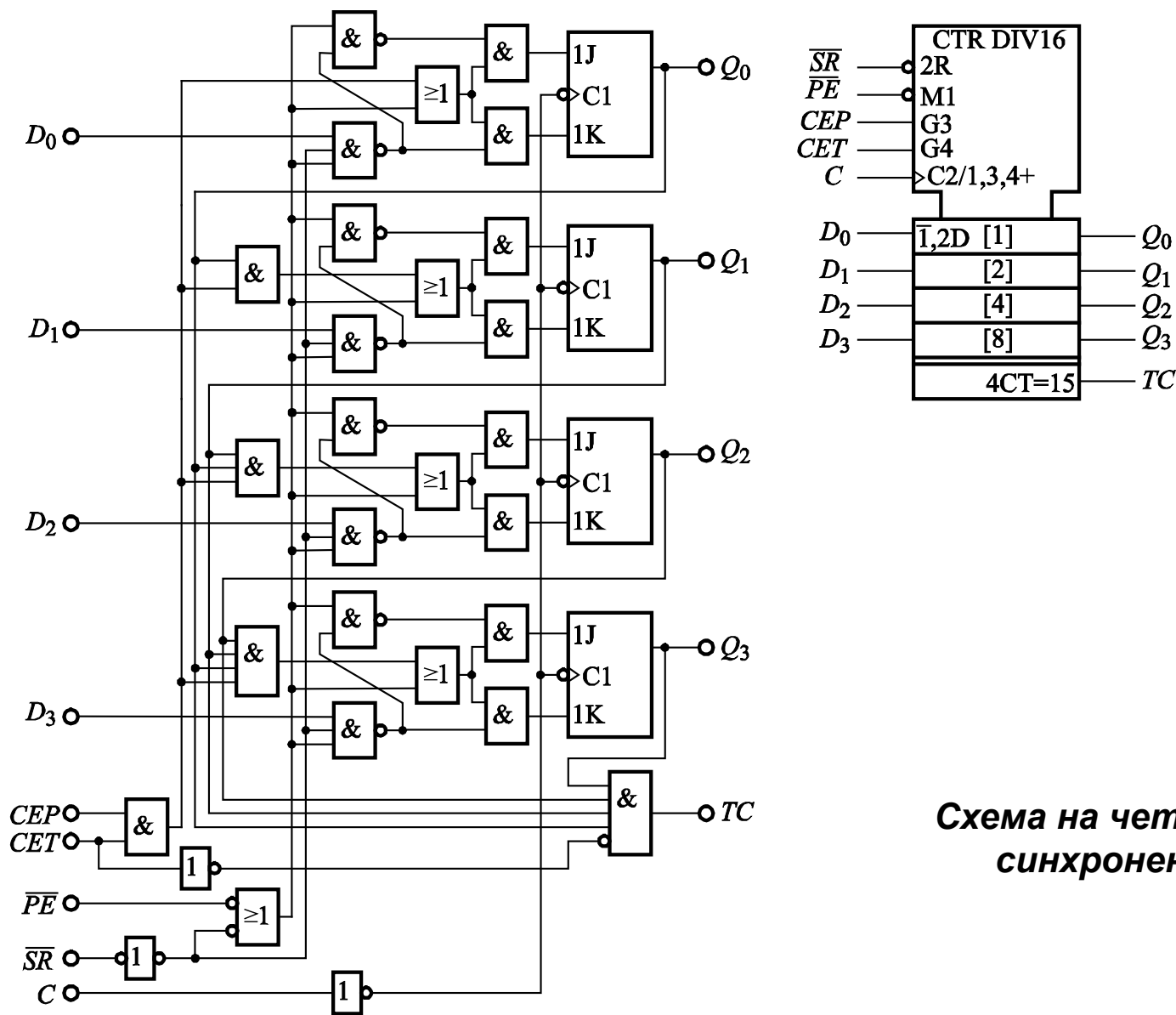
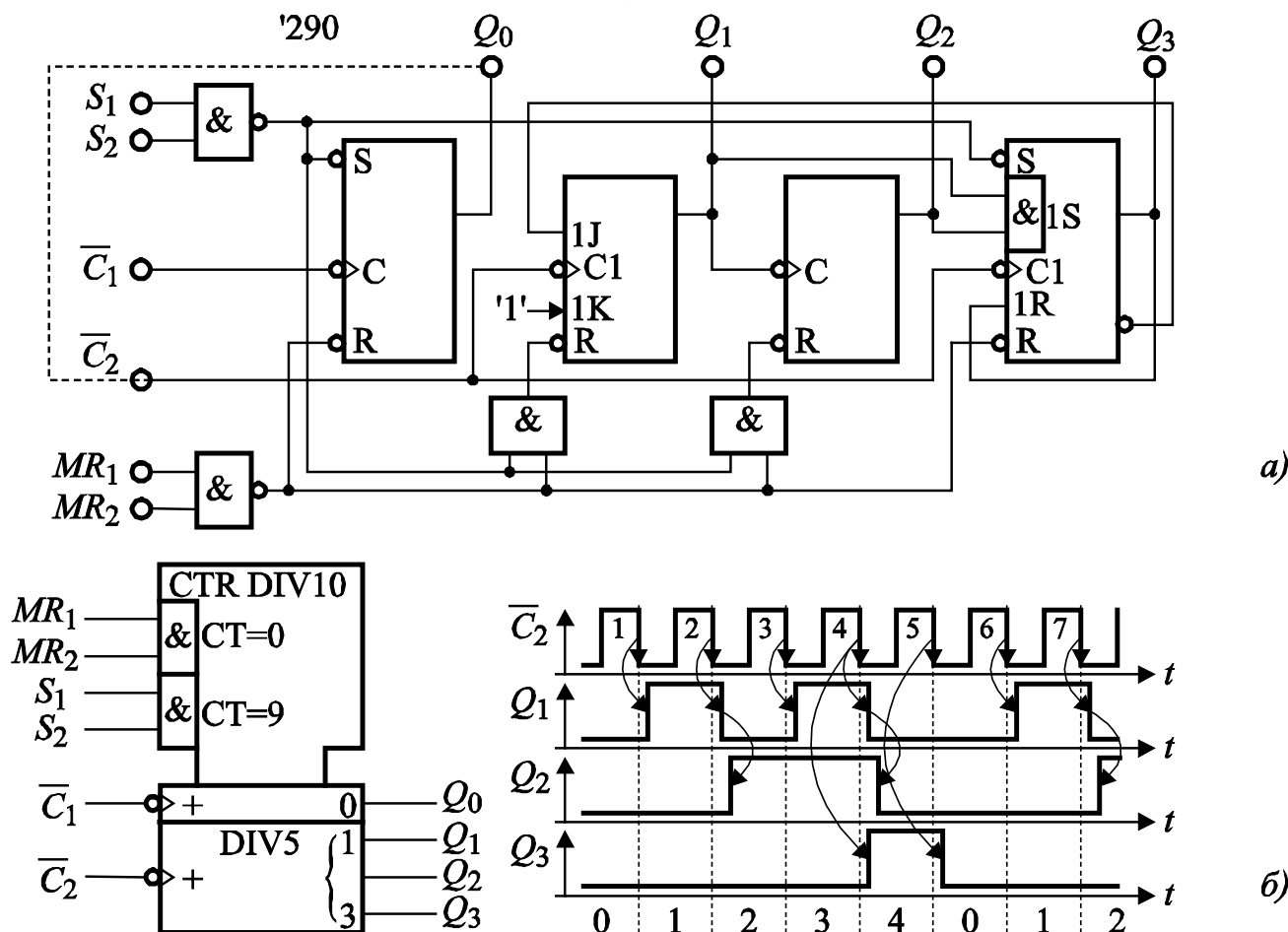
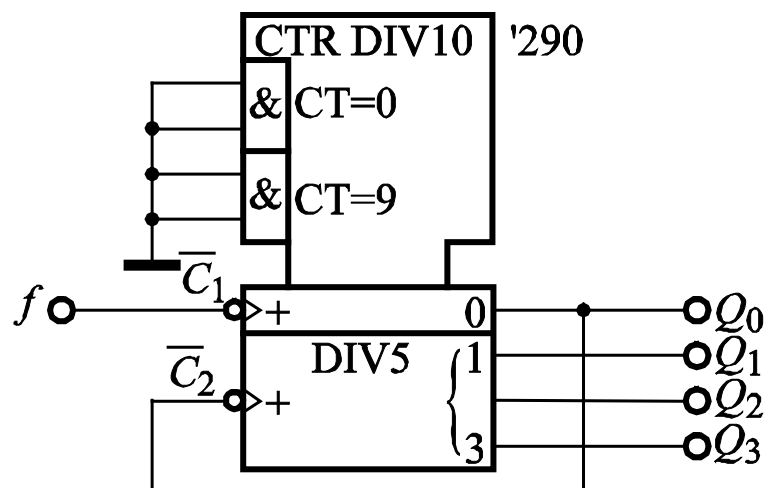


Схема на четириразреден синхронен брояч '163.

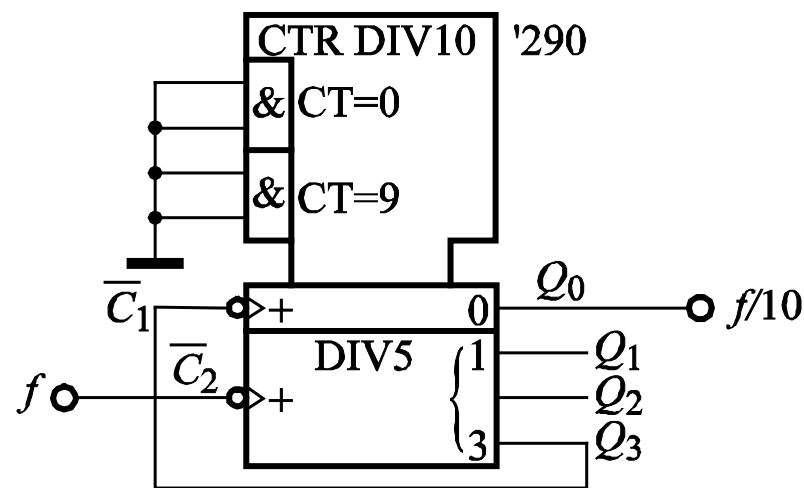
4.2.6 Двоично-десетични броячи



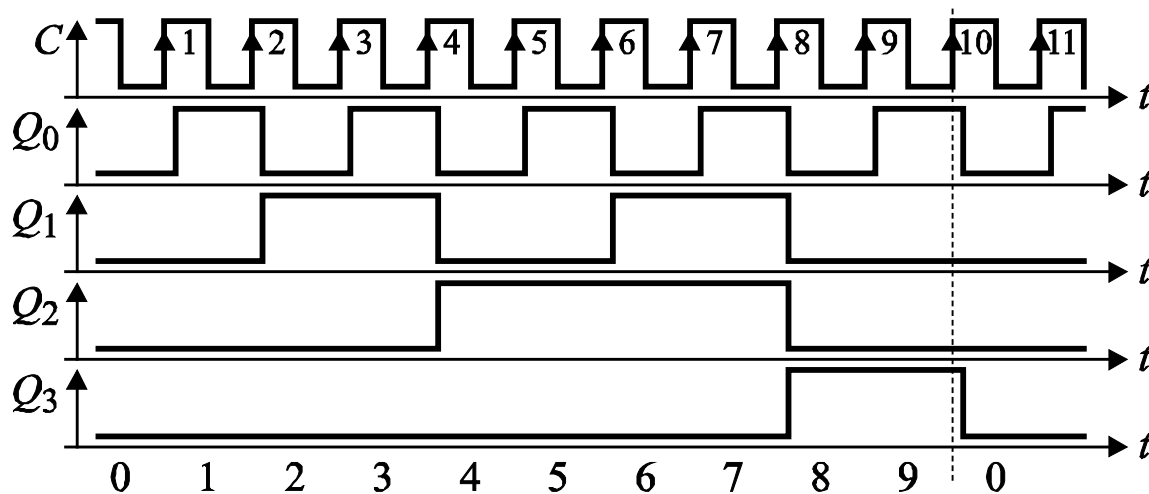
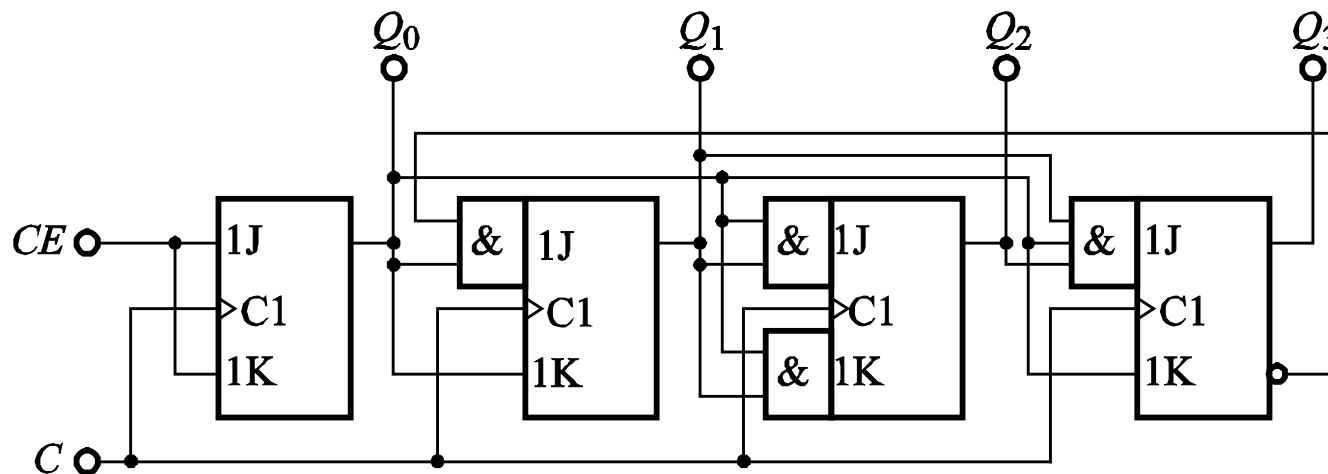
Четириразреден двоично-десетичен брояч '290: а) – структурна схема, б) – времедиаграми на брояча на пет.



Брояч на 10.

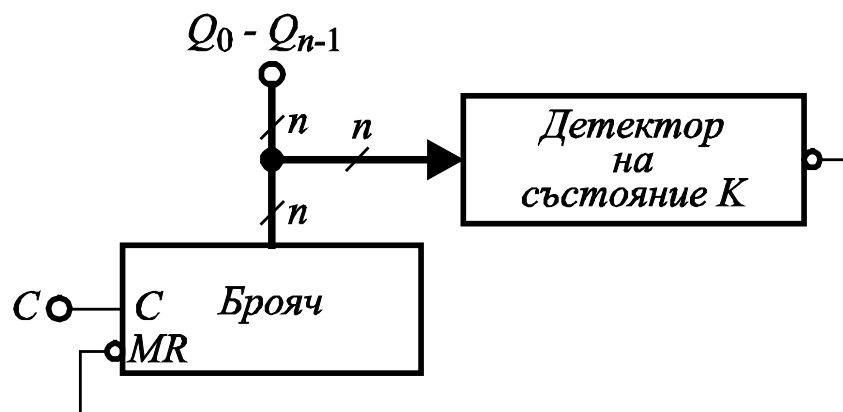


Делител на 10 с 1/2 коефициент на запълване на изходната честота.

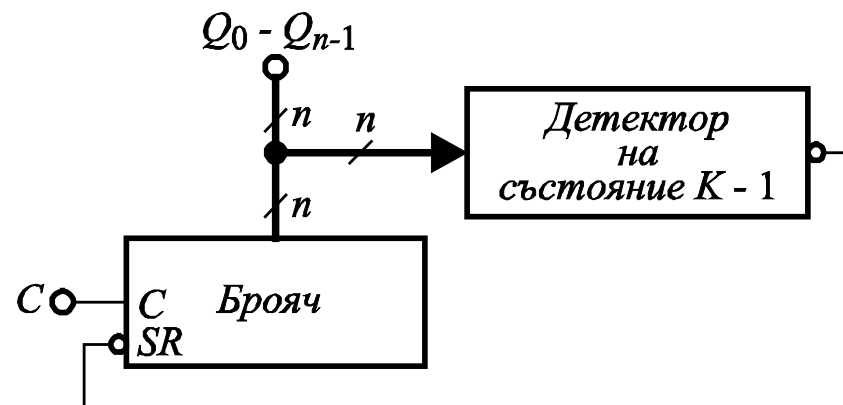


Четириразреден синхронен сумиращ двоично-десетичен брояч.

4.2.7 Съкратени броячи и делители на честота

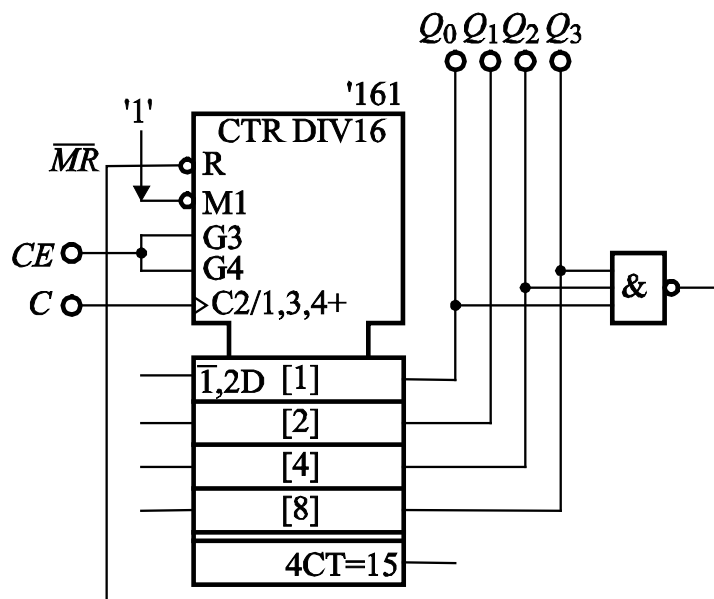


а)



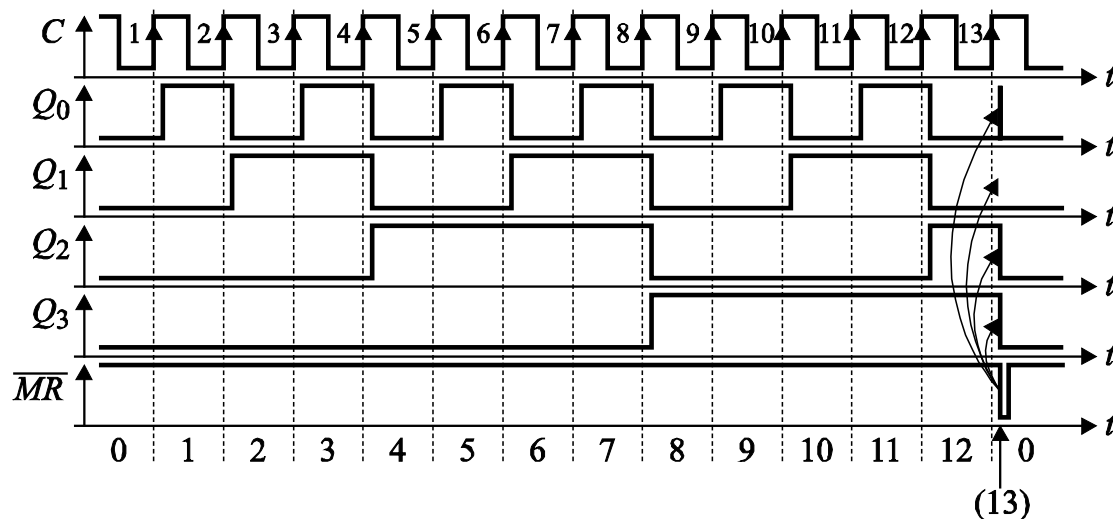
б)

Съкращаване на старшите състояния на брояч: а) – при използване на асинхронно нулиране; б) – при използване на синхронно нулиране.

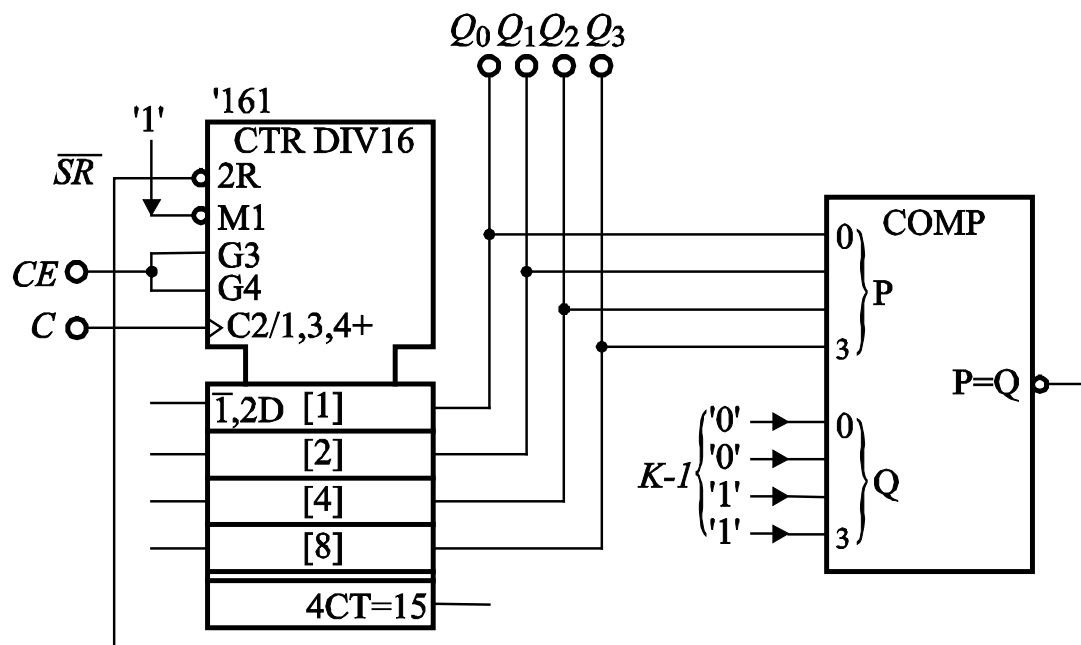


**Брояч до 12 (модул на
броене 13) с
използване на
асинхронно нулиране
за съкращаване на
последните
състояния.**

a)

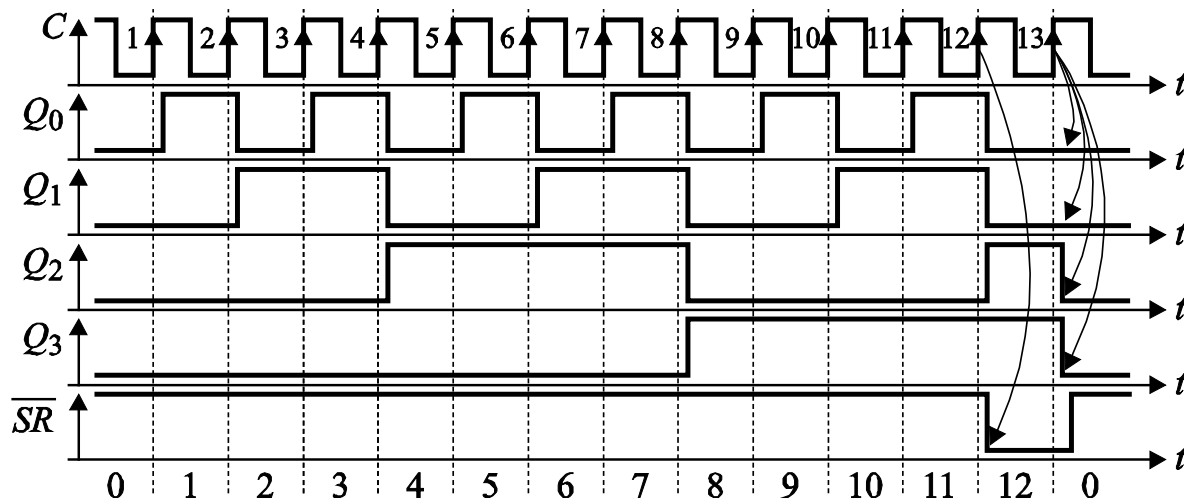


б)

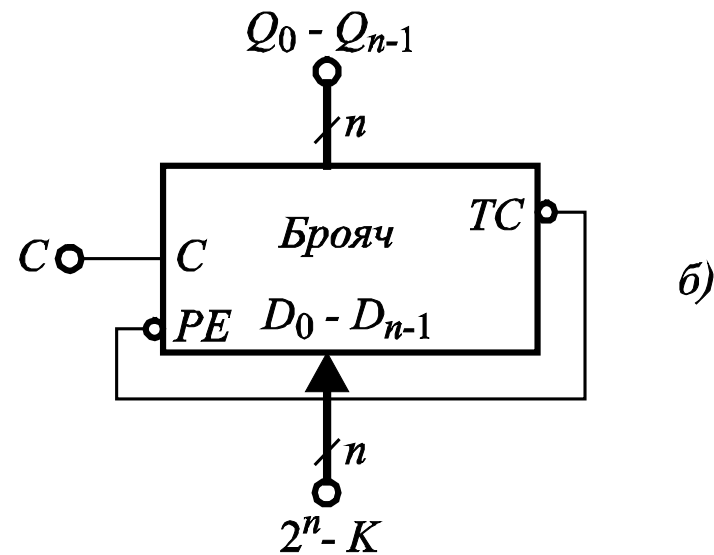
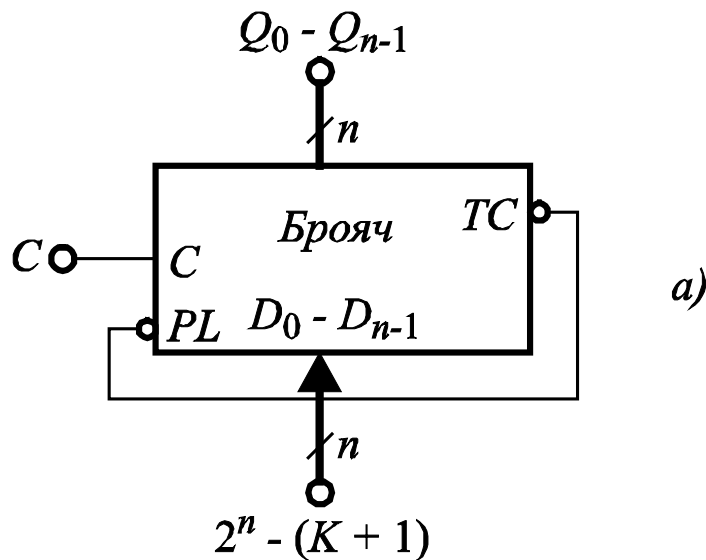


Брояч с модул на броене 13, с използване на синхронно нулиране за съкращаване на последните състояния.

a)



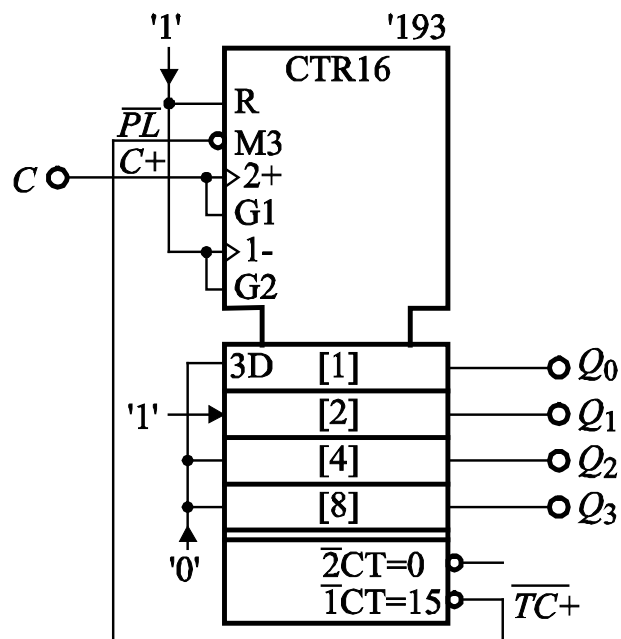
б)



Съкращаване на младшите състояния на брояч: а) – при използване на асинхронно зареждане; б) – при използване на синхронно зареждане.

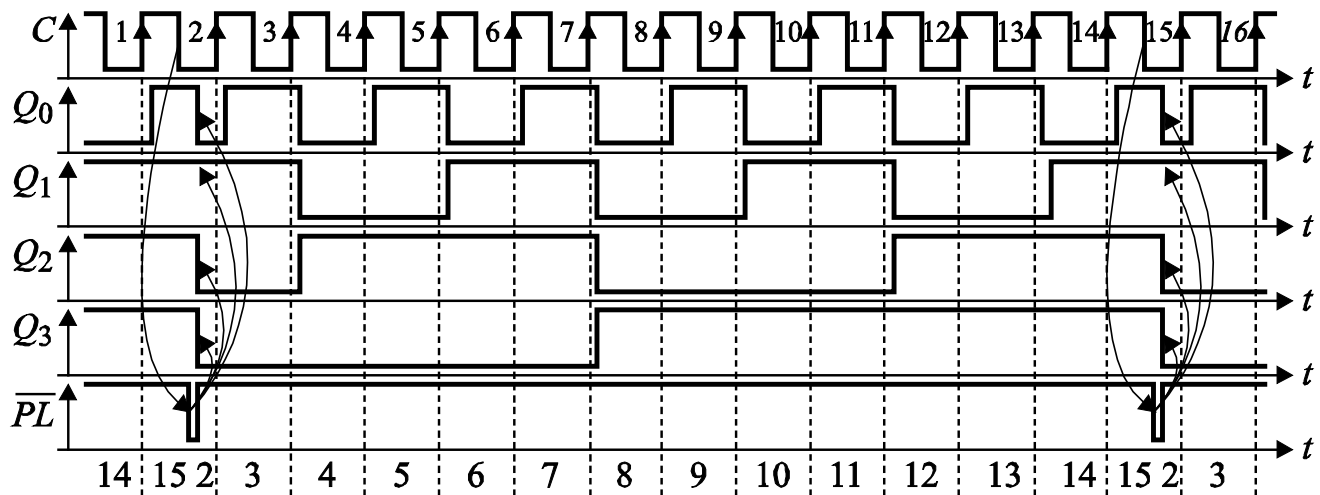


Цифрова схемотехника



*Делител на честота,
използващ асинхронно
заредане за съкращаване
на младшите състояния.*

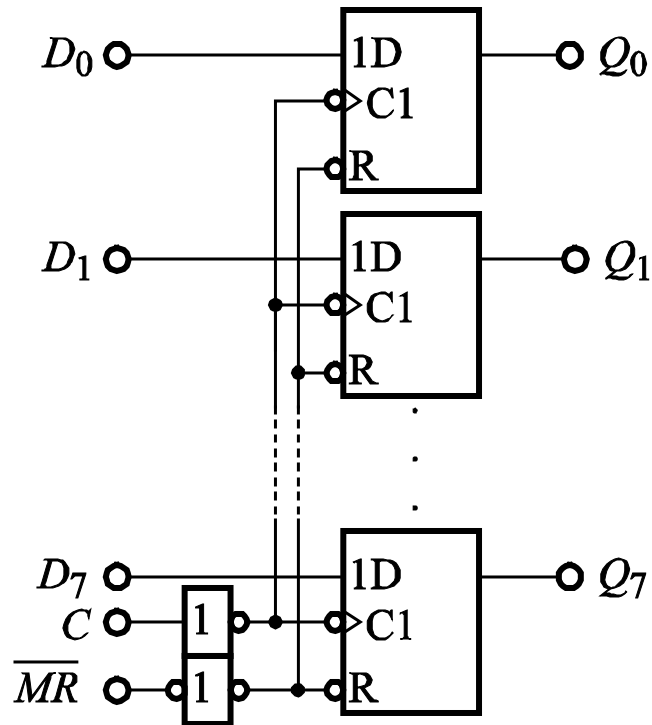
a)



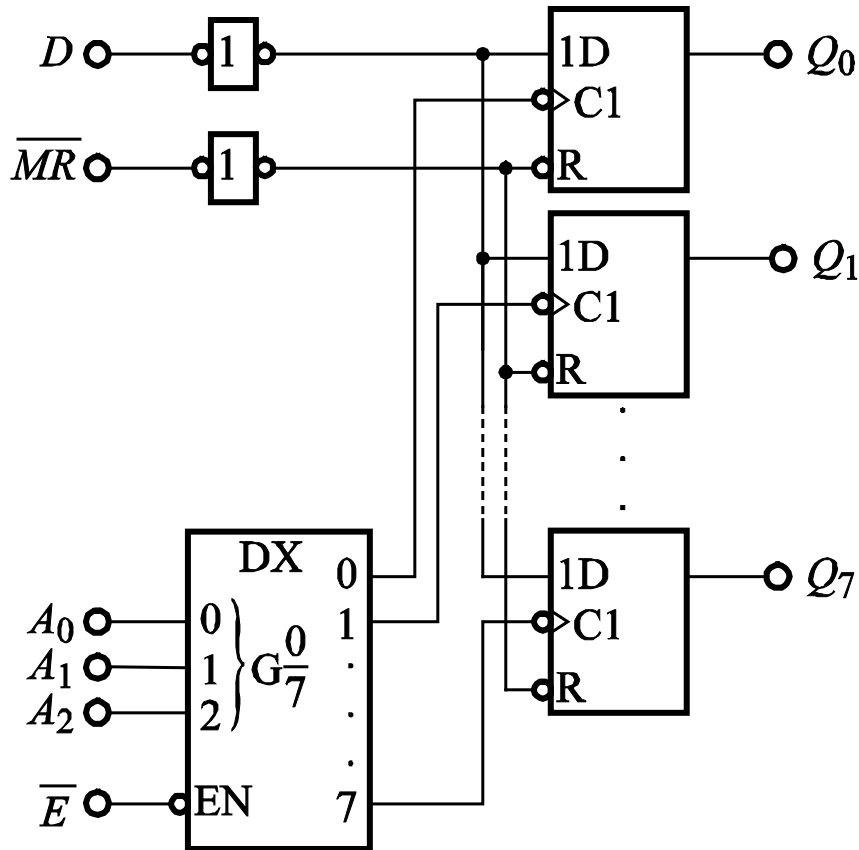
б)

4.3. Регистри

4.3.1. Паралелни регистри

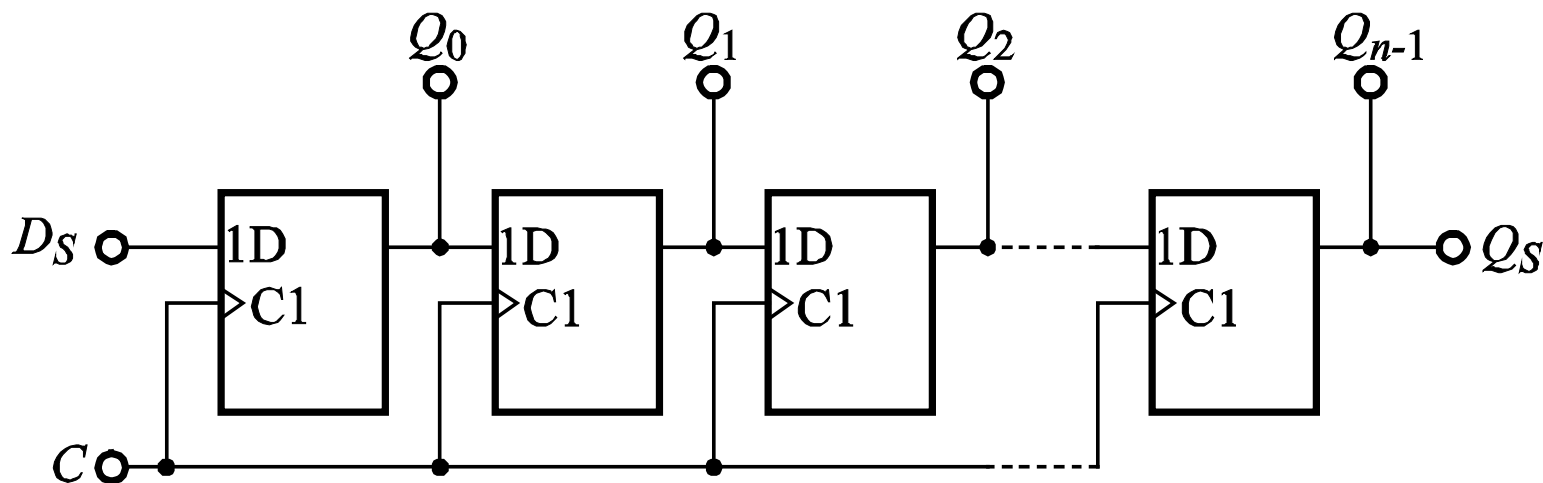


8-разреден паралелен регистър '273

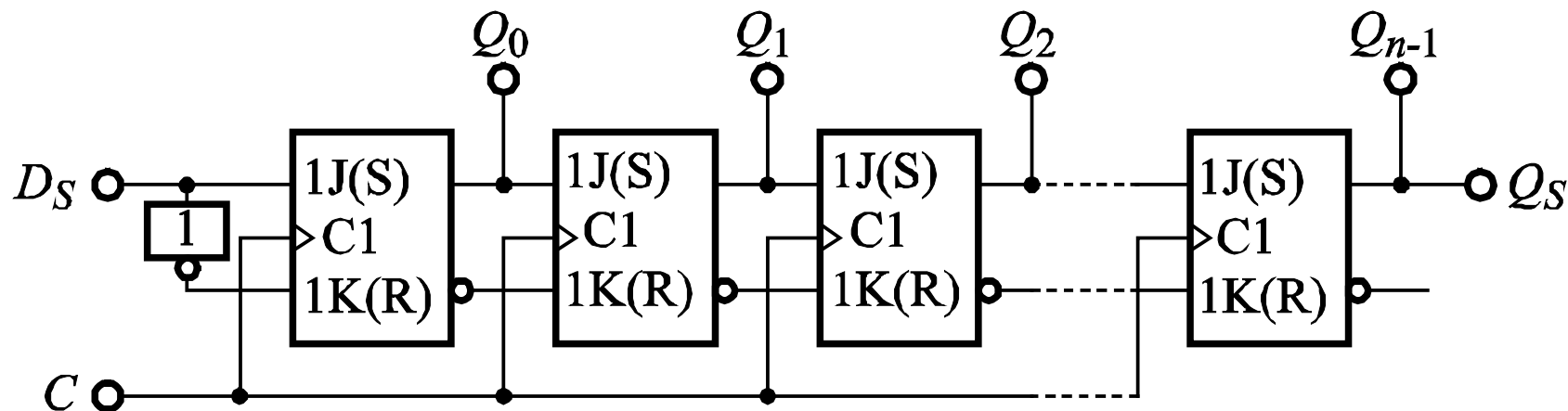


8-разреден адресируем фиксатор.

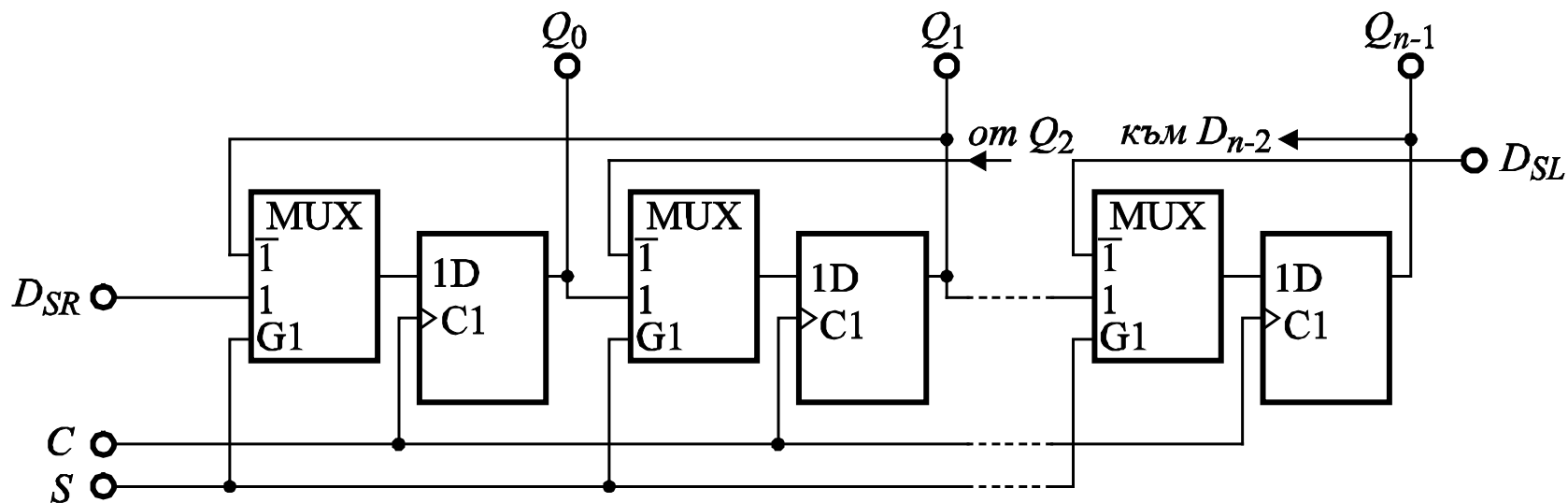
4.3.2. Преместващи регистри



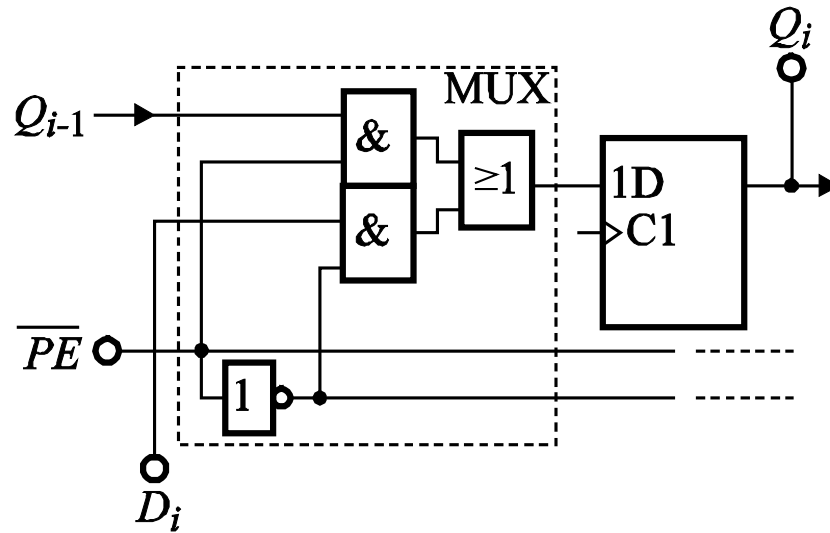
Преместващ регистър с последователен вход и паралелни изходи, изграден с D-тригери.



Преместващ регистър с последователен вход и паралелни изходи, изграден с JK(SR)-тригери.



Ревърсивен преместващ регистър с последователни входове и паралелни изходи.

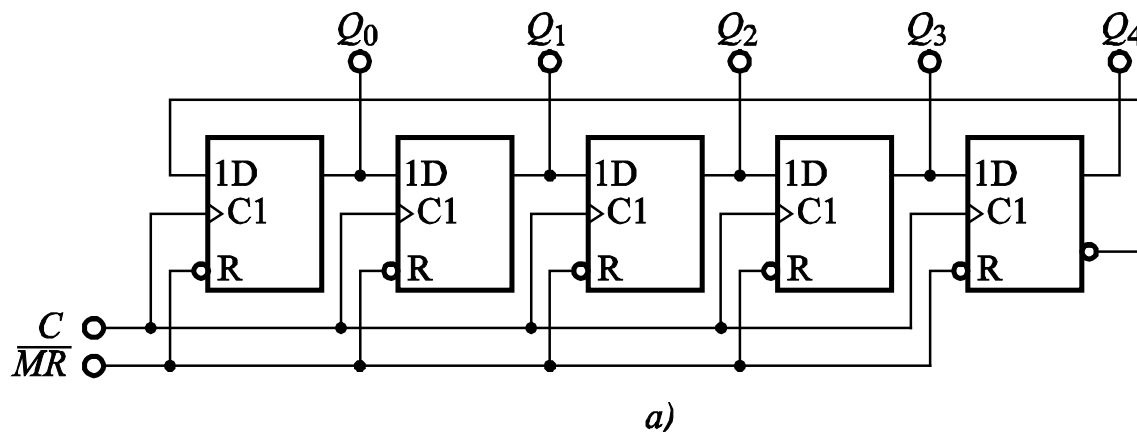


Синхронно зареждане на D-тригер.

4.3.3. Кръгов преместващ регистър и брояч на Джонсън

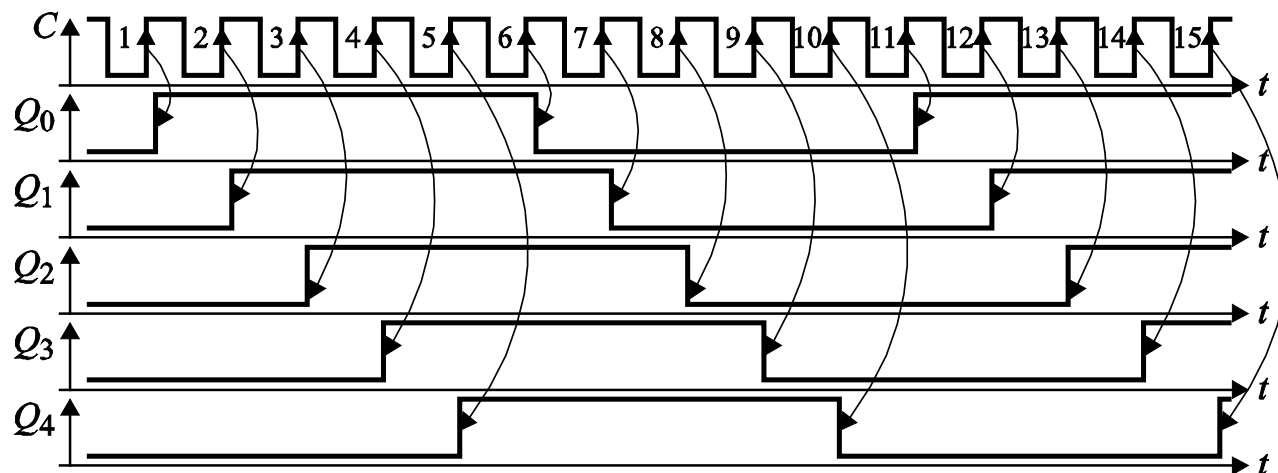


Кръгов преместващ регистър с начално последователно зареждане на информацията.



C	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	1
10	0	0	0	0	0

б)

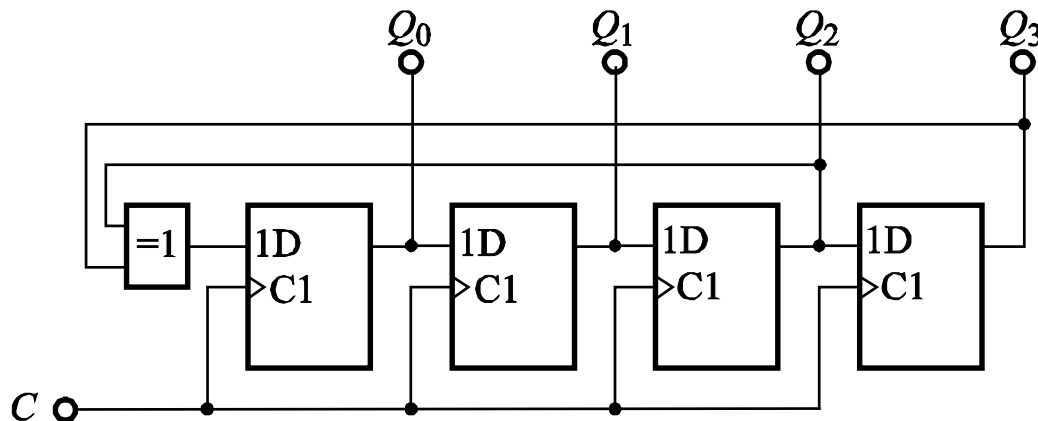


в)

Брояч на Джонсън с 10 състояния.



4.3.4. Генератори на псевдослучайни последователности



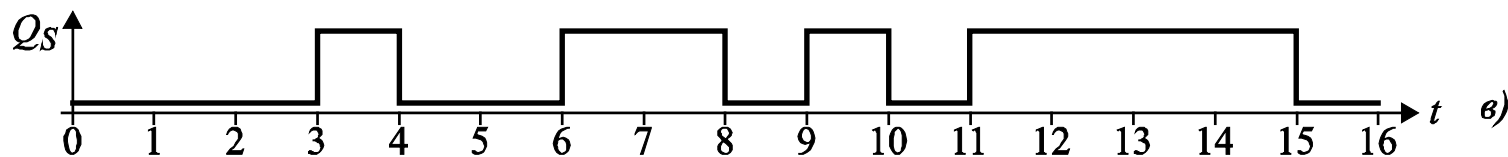
a)

Входящ импулс	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Q_0	1	0	0	1	1	0	1	0	1	1	1	1	0	0	0	1
Q_1	0	1	0	0	1	1	0	1	0	1	1	1	1	0	0	0
Q_2	0	0	1	0	0	1	1	0	1	0	1	1	1	1	0	0
Q_3	0	0	0	1	0	0	1	1	0	1	0	1	1	1	1	0
$D=Q_2 \oplus Q_3$	0	0	1	1	0	1	0	1	1	1	1	0	0	0	1	0

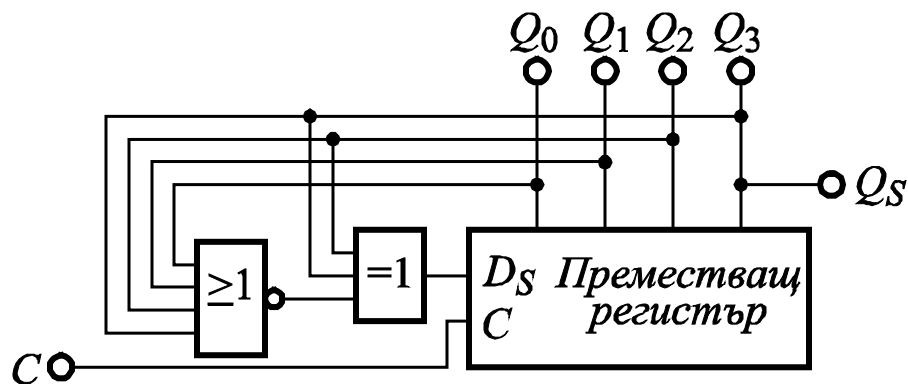
б)

Четирибитов генератор на псевдослучайна последователност.

Число 1 2 4 9 3 6 D A 5 B 7 F E C 8 1



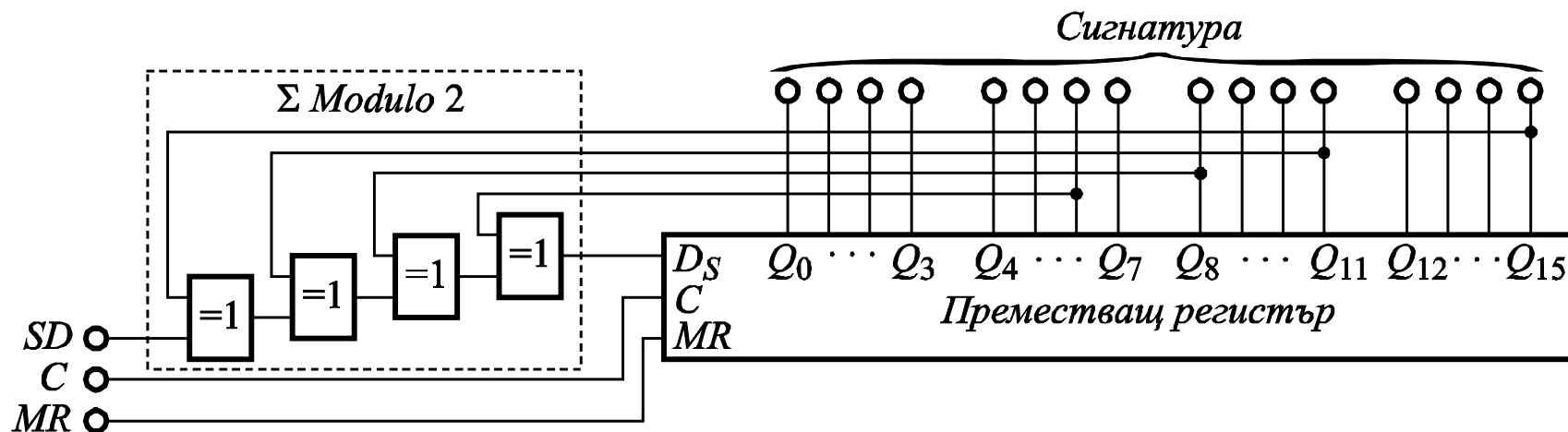
в)



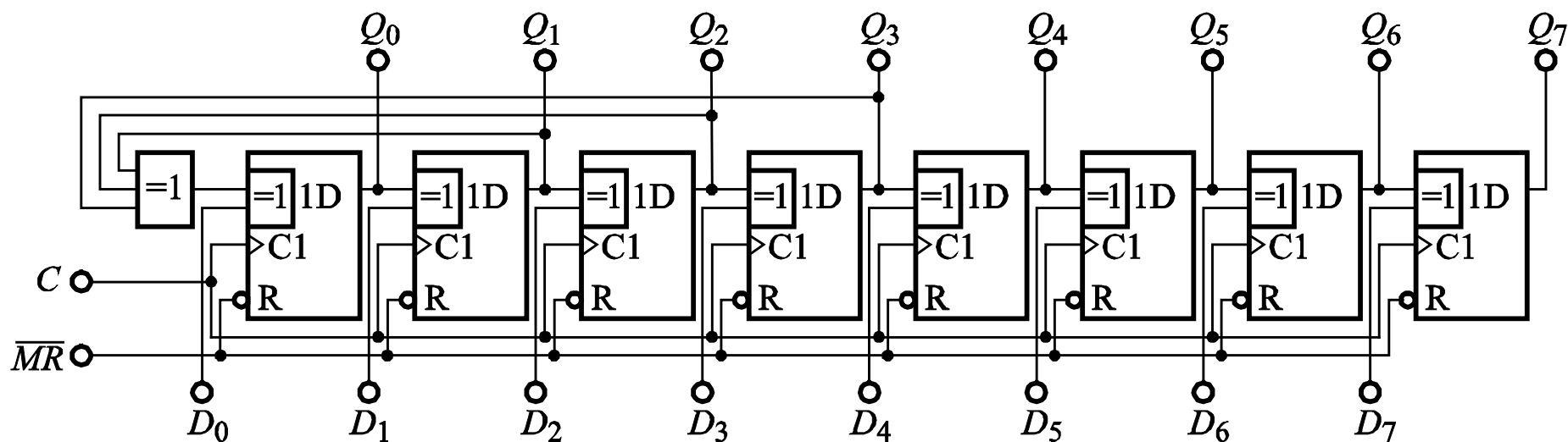
Отстраняване на нулевото състояние на генератор на псевдослучайни числа.

Разредност	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Изходи на	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
тригери за	2	3	3	5	4	7	5	7	9	11	10	13	14	14	14	11	18	17
обратната						5				8	6	8		13				17
вързка						3				6	4	4		11				14

4.3.5. Генератори на сигнатура и на контролен цикличен код



16-разреден последователен формирова̀тел на сигнатура



8-разреден паралелен формирова̀тел на сигнатура.

4.4. Обща структура на последователностните логически схеми

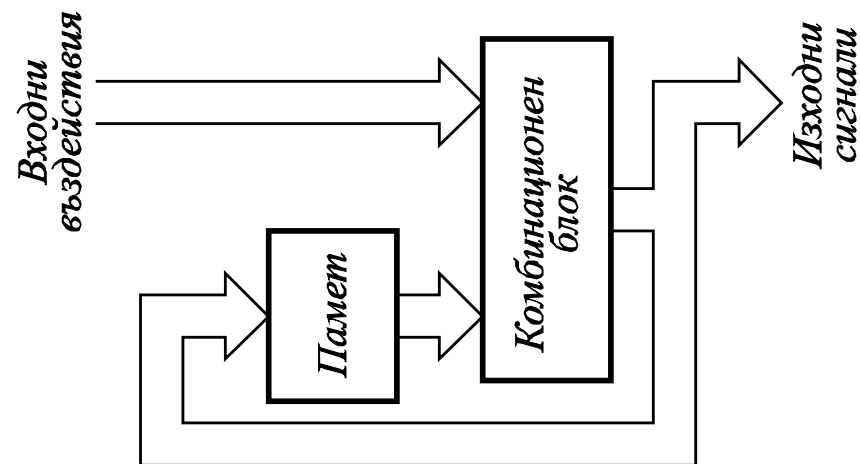
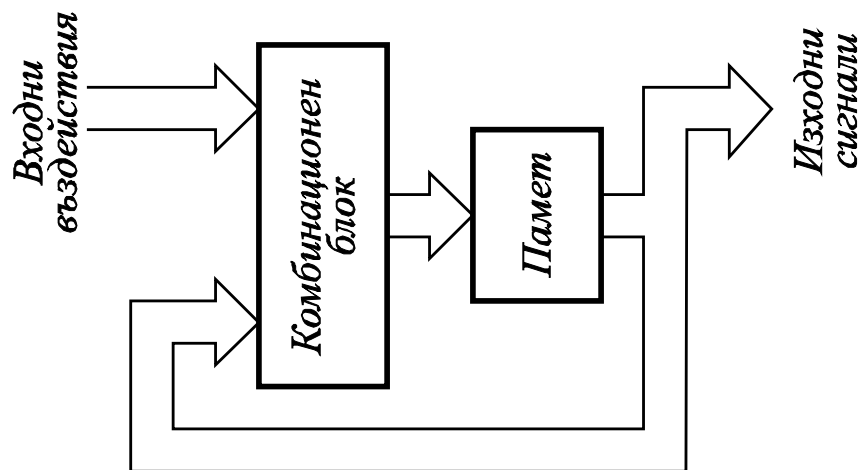
$Q^n = f(Q^{n-1}, X)$. Общо уравнение:

Q^n – вектор на новите вътрешни състояния (в n -тия момент);

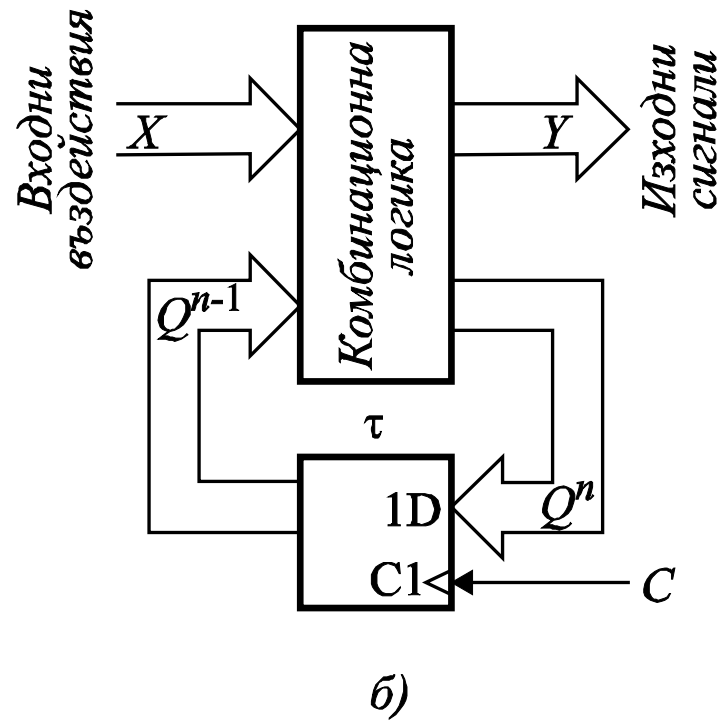
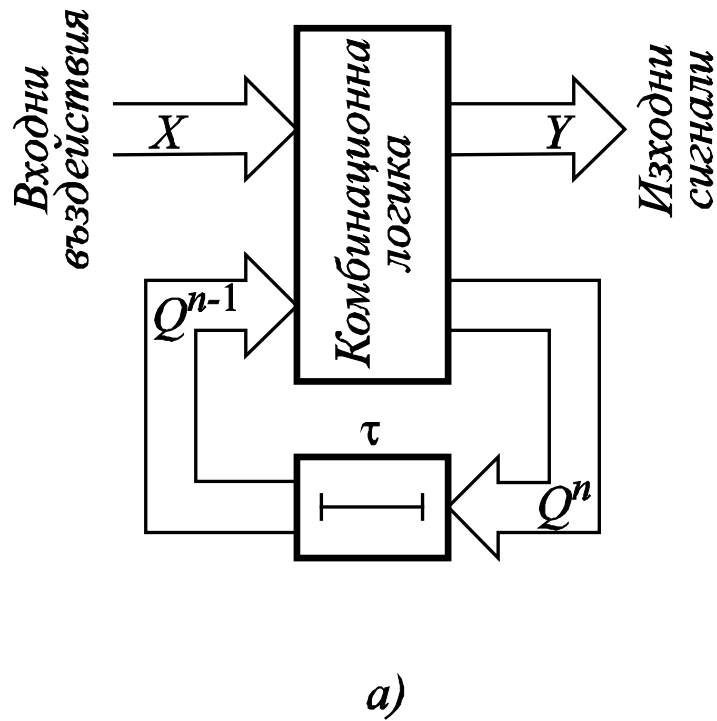
X – вектор на входните въздействия;

Q^{n-1} – вектор на старите вътрешни състояния (в $n-1$ -вия момент);

Y – вектор на изходните реакции (сигнали).



Структура на последователна логика: а) – автомат на Мур; б) – автомат на Мили.



Автомати с памет: а) – асинхронен; б) – синхронен.