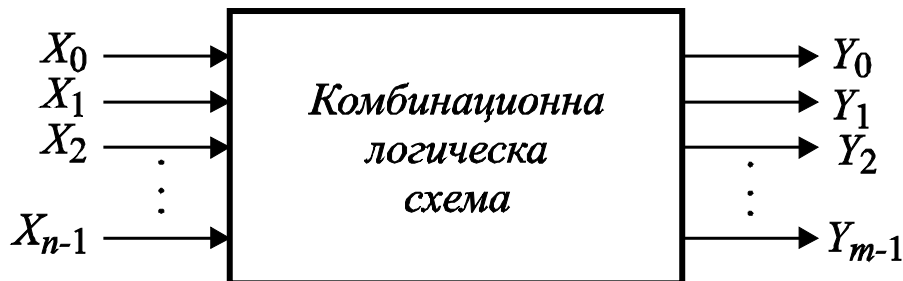




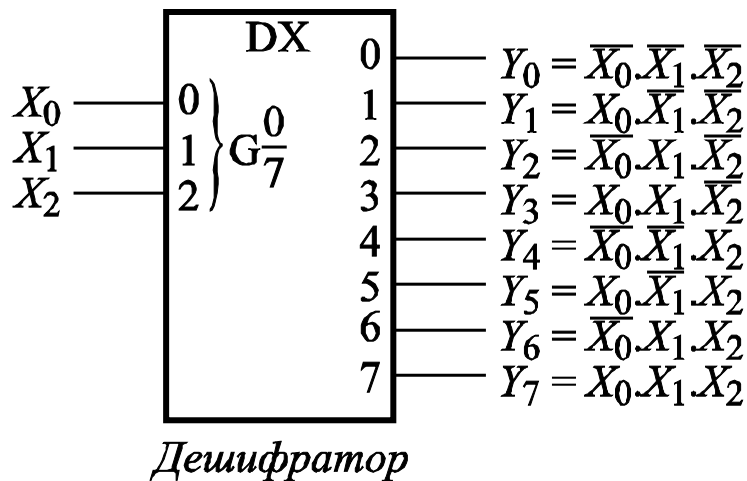
3. КОМБИНАЦИОННИ ЛОГИЧЕСКИ СХЕМИ



$$Y_i = f_i(X_0, X_1, \dots, X_{n-1})$$

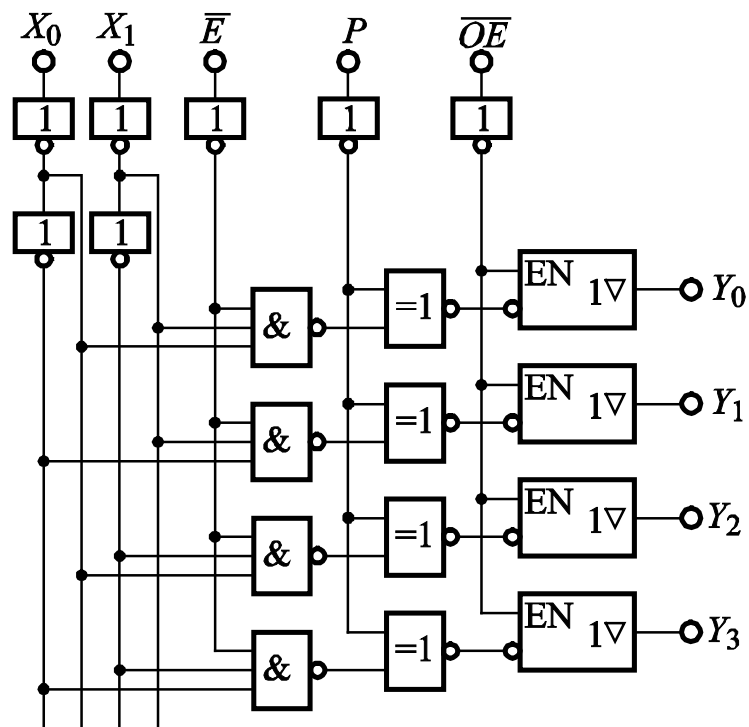
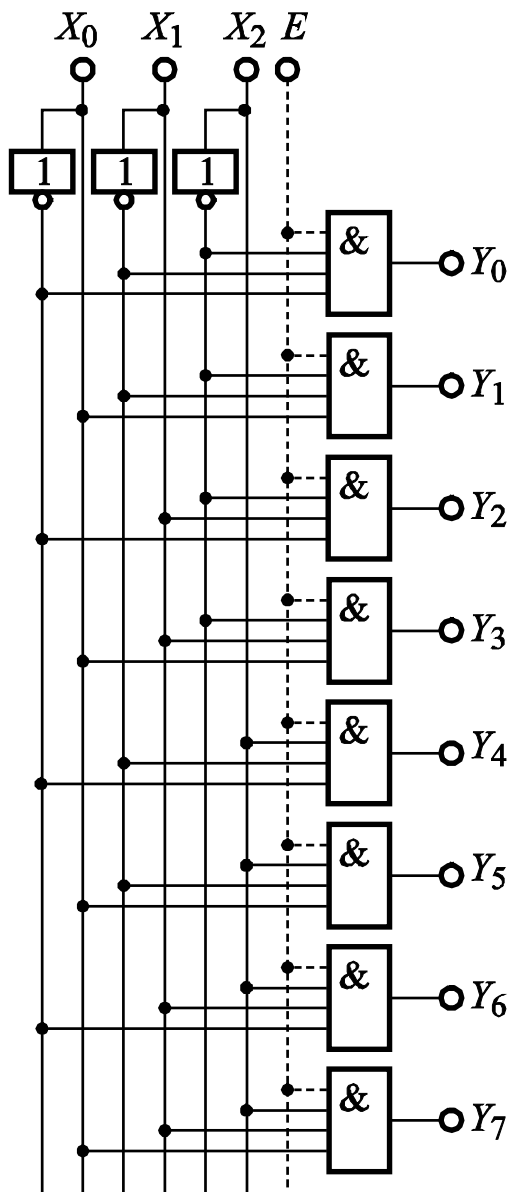
Общ вид на комбинационна логическа схема.

3.1. Дешифратори и шифратори



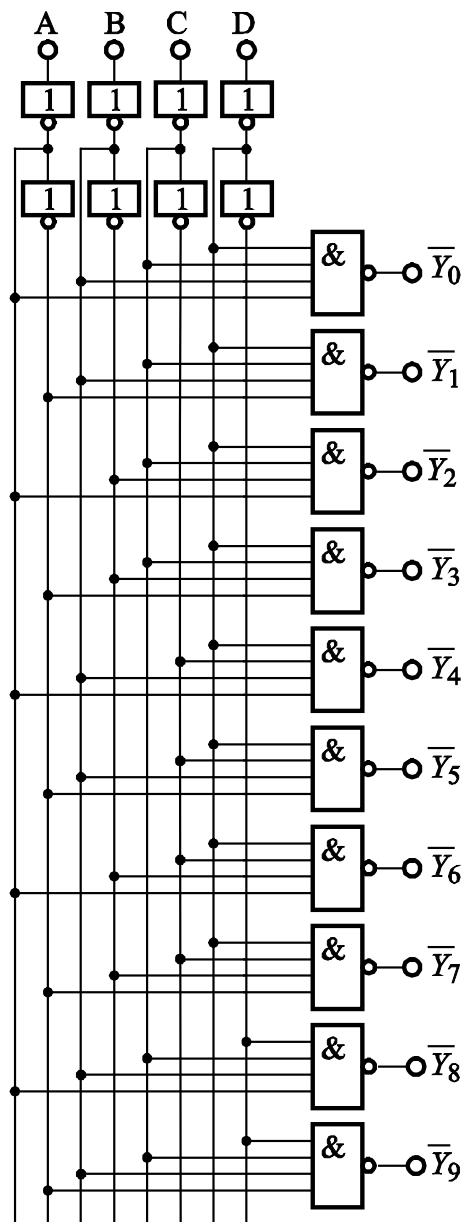
X_0	X_1	X_2	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Пълен дешифратор с 3 входа и 8 изхода с активни изходни нива '1'.



Интегрален дешифратор 1/2 '539.

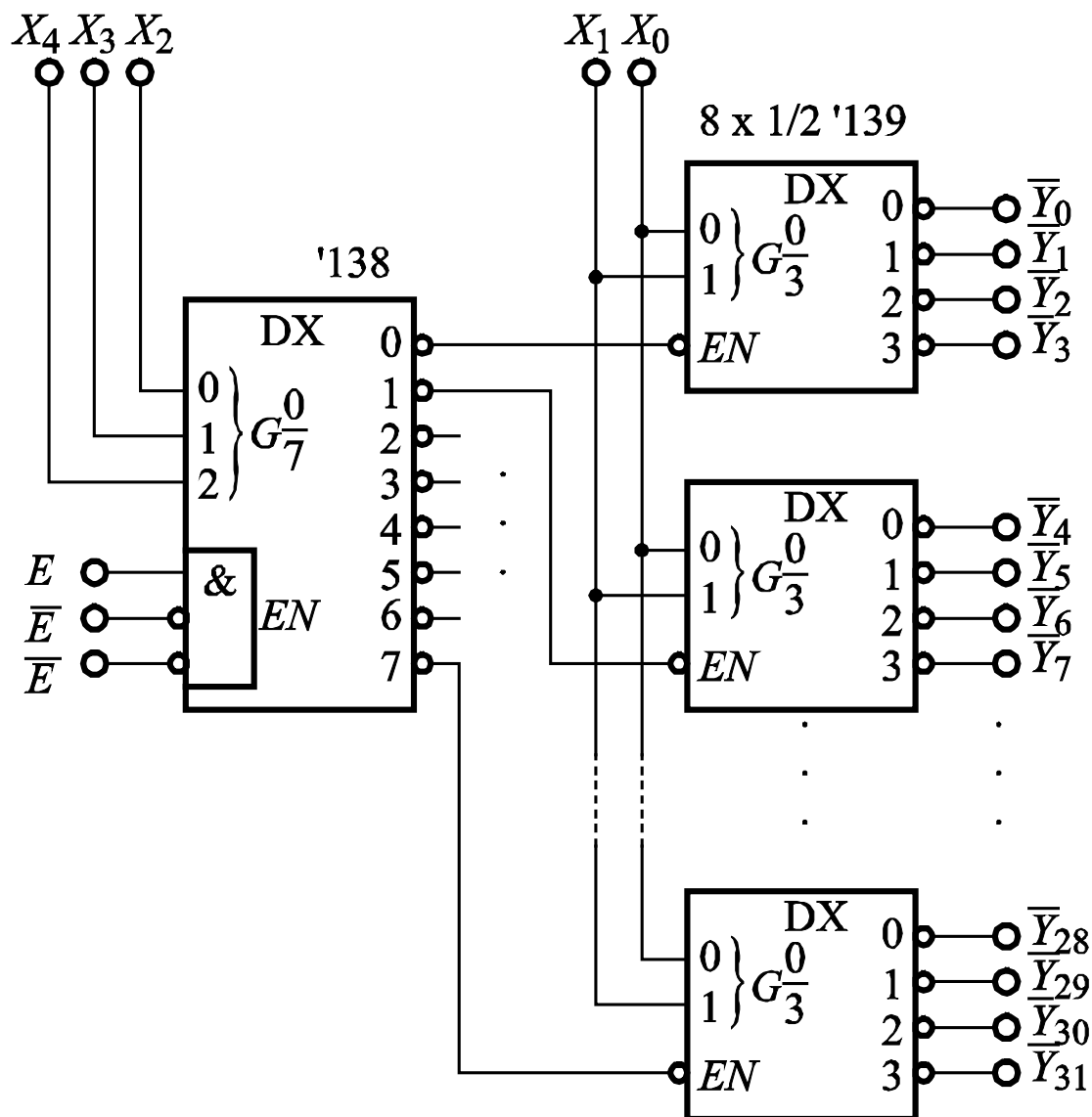
Принципна схема на пълен дешифратор с 3 входа и 8 изхода с активни изходни нива '1'.



*Двоично-
десетичен
дешифратор '42.*



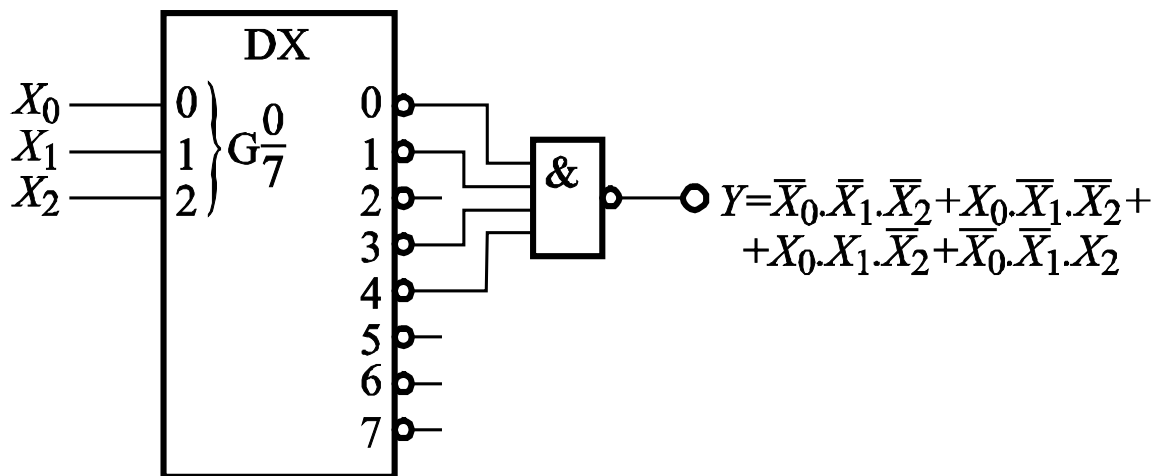
Цифрова схемотехника



Каскадно нарастване на дешифратор с 5 входа и 32 изхода.

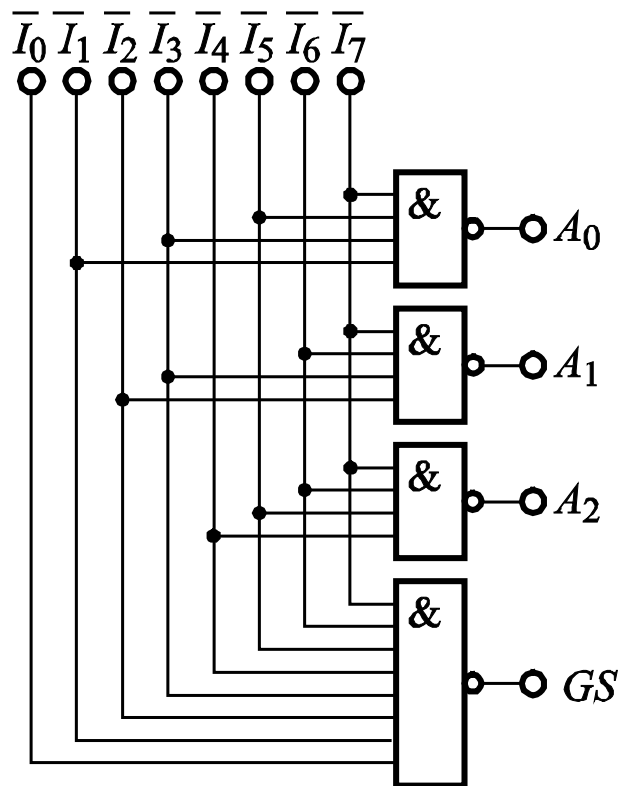
X_0	X_1	X_2	Y
0	0	0	1
1	0	0	1
0	1	0	0
1	1	0	1
0	0	1	1
1	0	1	0
0	1	1	0
1	1	1	0

a)



b)

Реализиране на функция на три променливи с дешифратор.

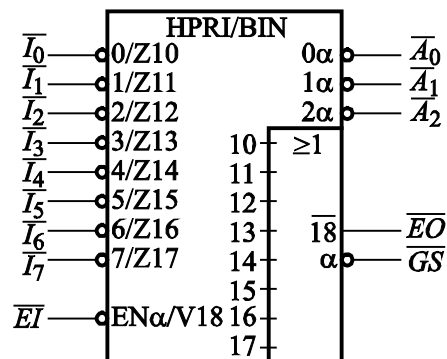
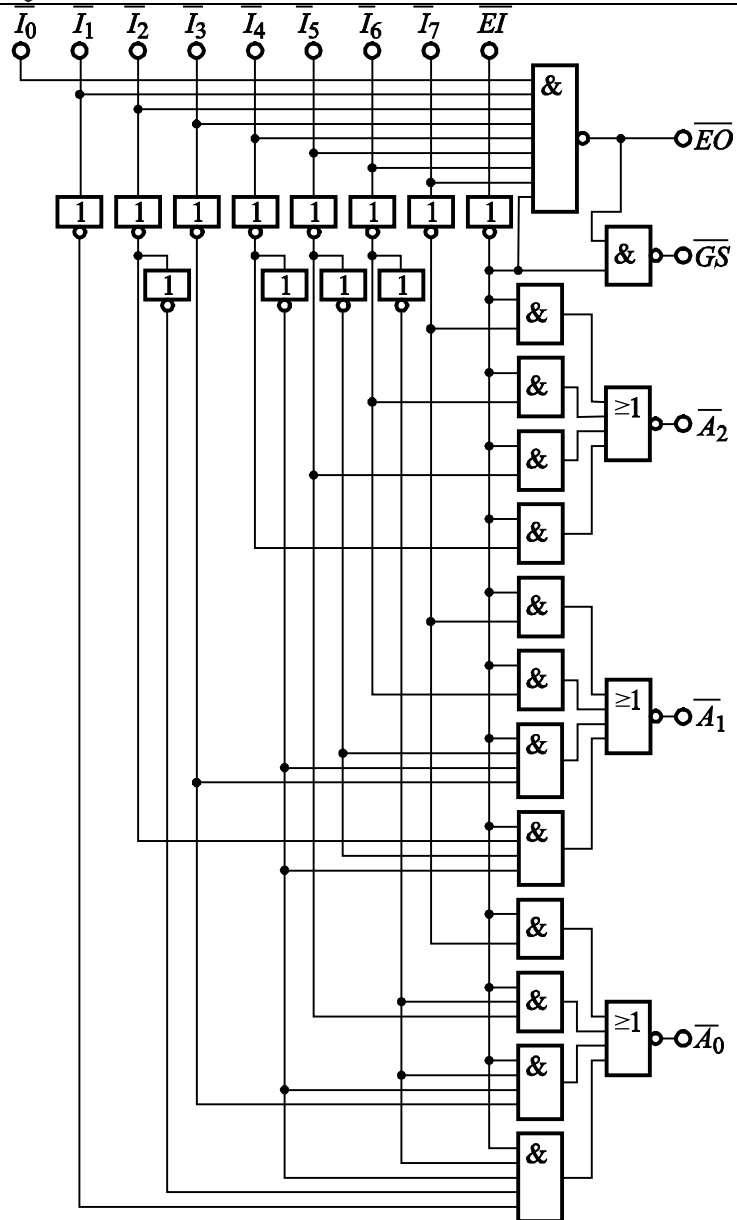


Активиран вход	A_2	A_1	A_0	GS
-	0	0	0	0
\bar{I}_0	0	0	0	1
\bar{I}_1	0	0	1	1
\bar{I}_2	0	1	0	1
\bar{I}_3	0	1	1	1
\bar{I}_4	1	0	0	1
\bar{I}_5	1	0	1	1
\bar{I}_6	1	1	0	1
\bar{I}_7	1	1	1	1

8-входов неприоритетен шифратор.

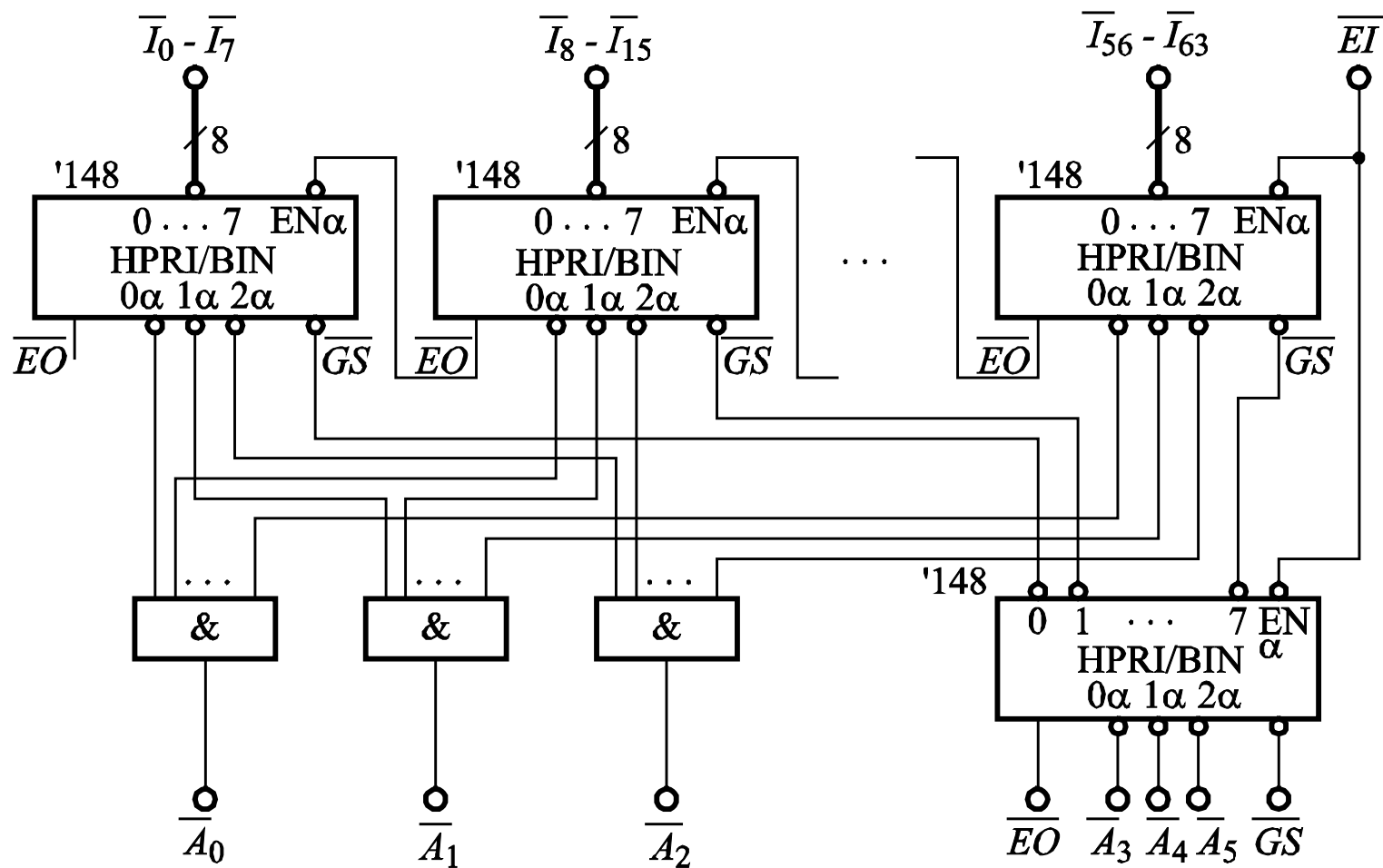


Цифрова схемотехника

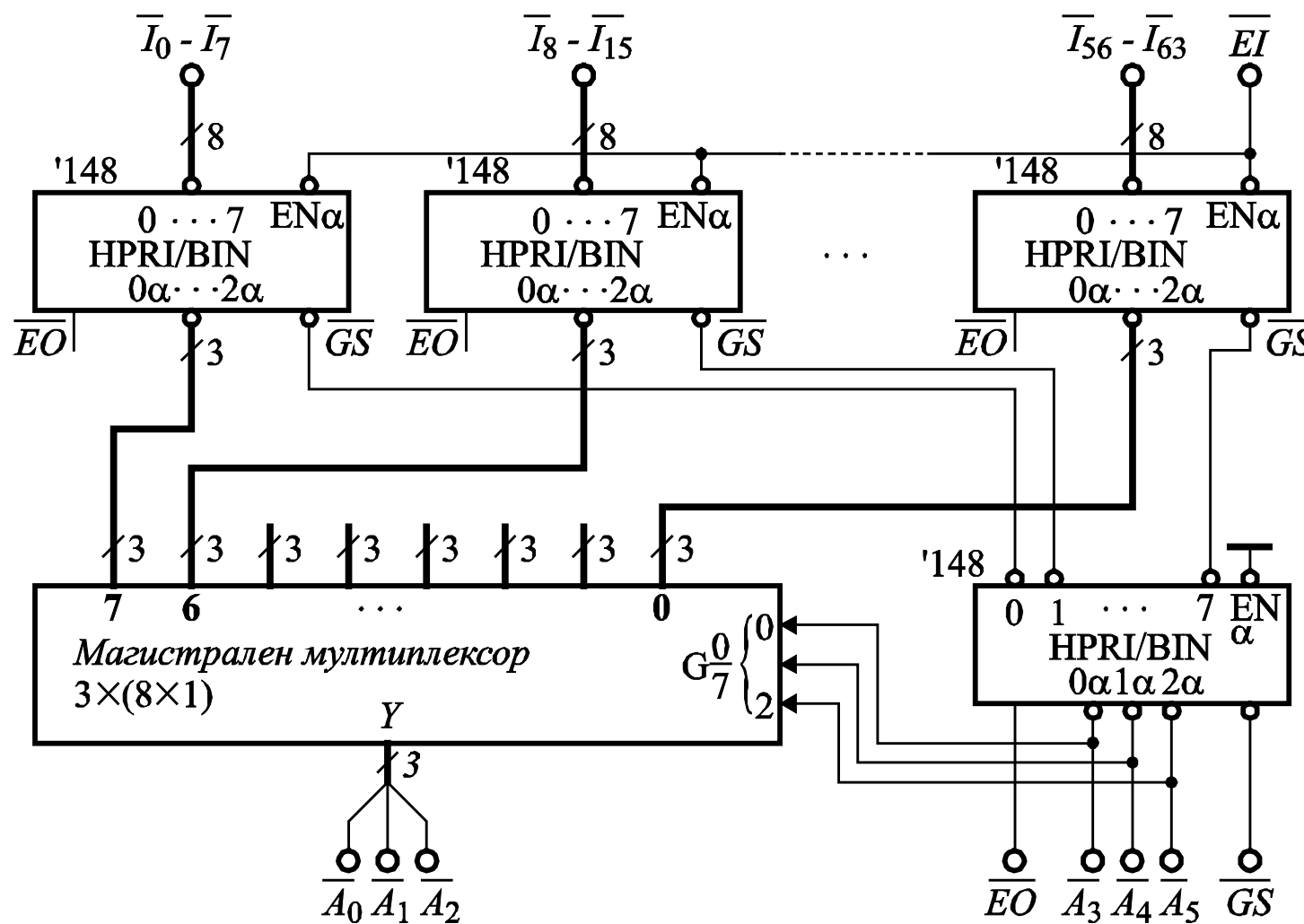


\bar{EI}	\bar{I}_0	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{A}_2	\bar{A}_1	\bar{A}_0	\bar{GS}	\bar{EO}
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

Приоритетен шифратор '148.

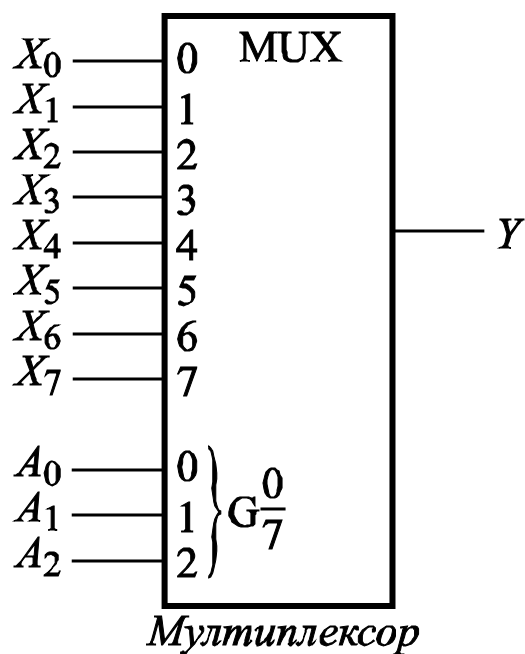


Последователно нарастване на шифратори.

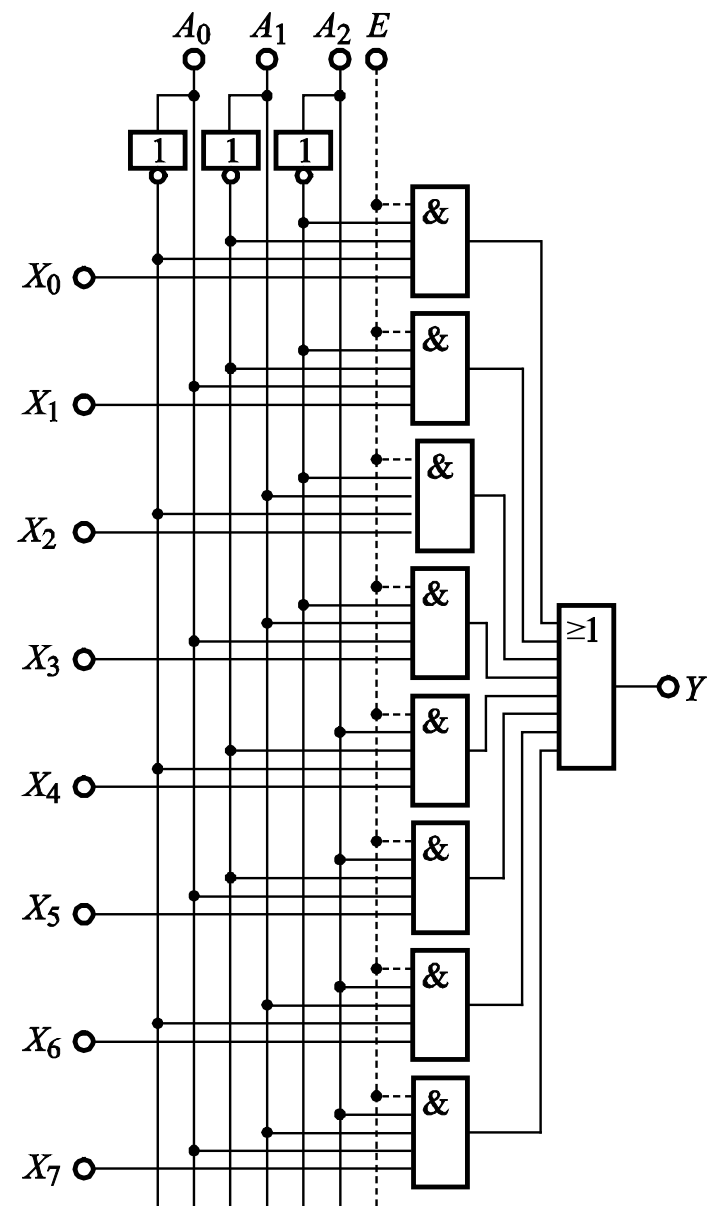


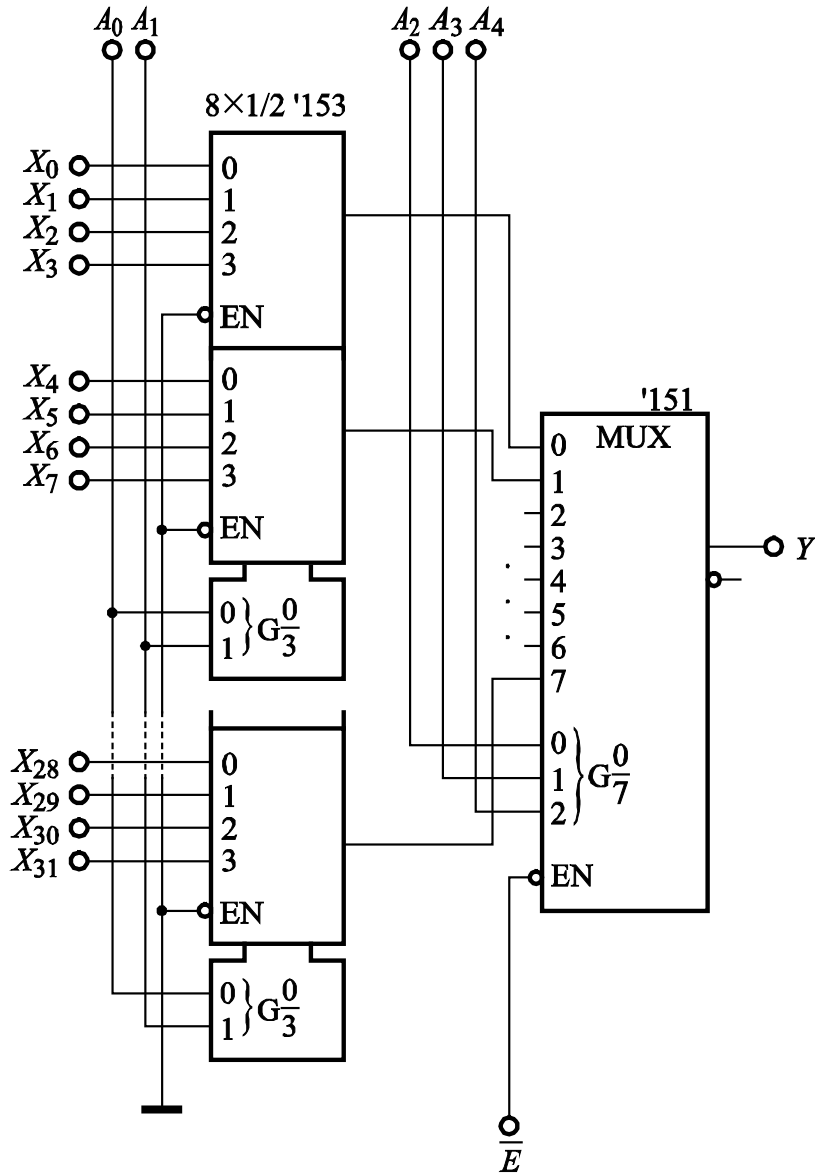
Паралелно нарастване на шифратори.

3.2. Мултиплексори и демултиплексори



Пълен мултиплексор 8 към 1.

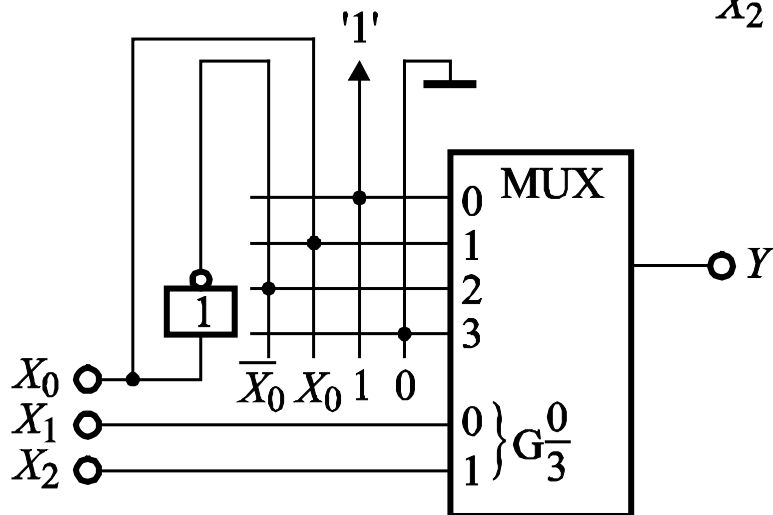
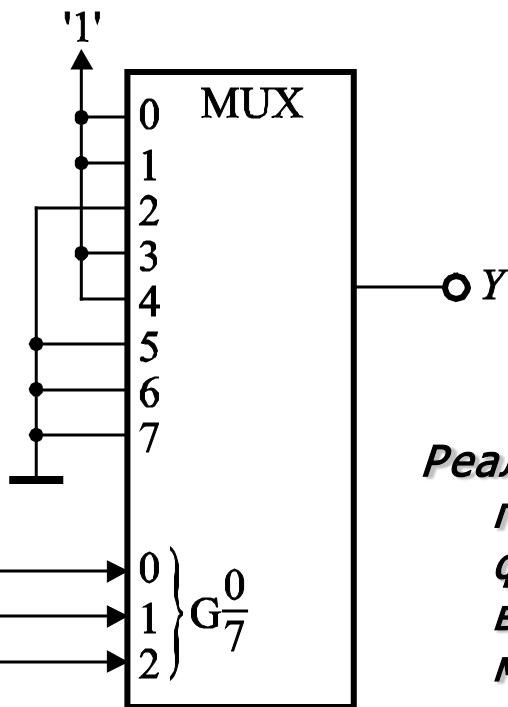


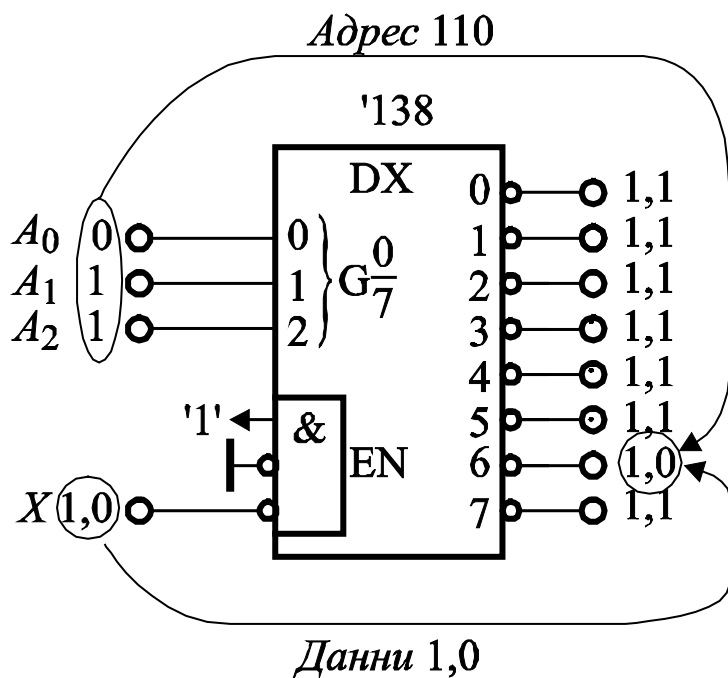


Каскадно нарастване на мултиплексор. 32-канален мултиплексор.



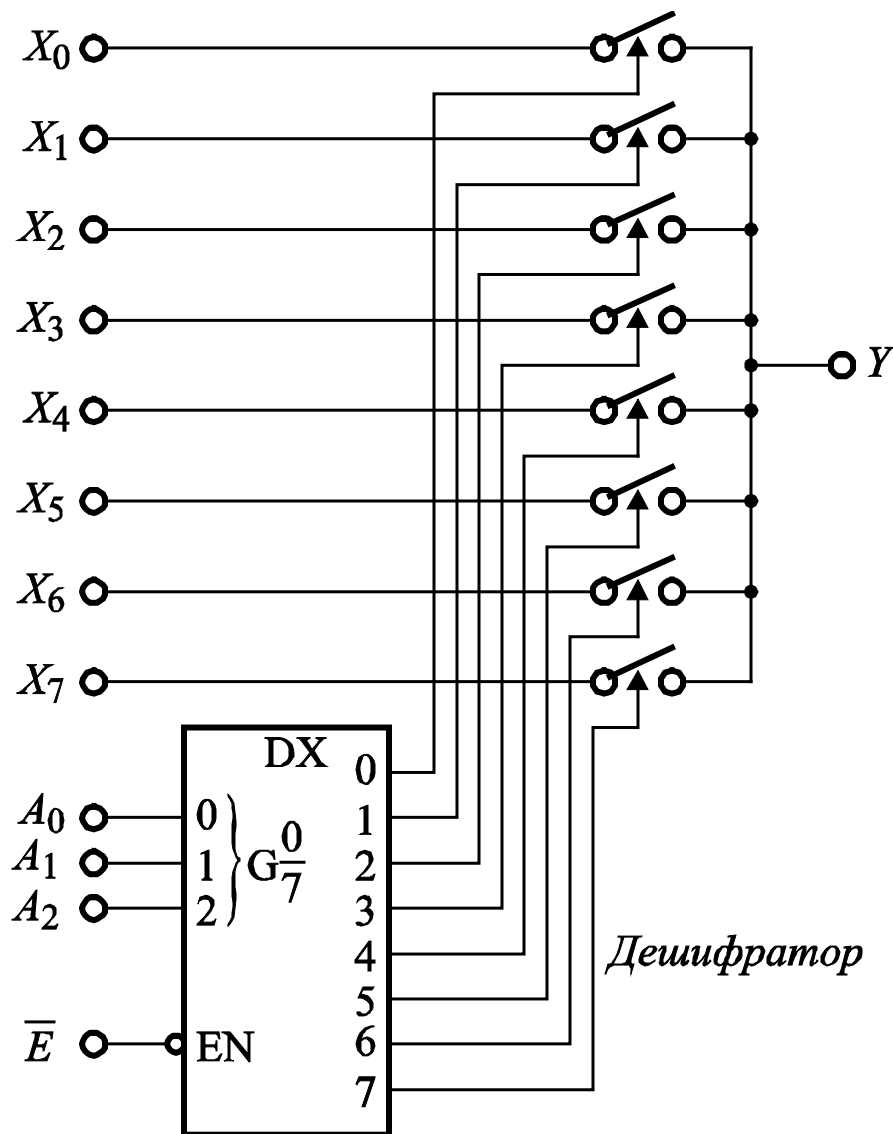
X_0	X_1	X_2	Y
0	0	0	1
1	0	0	1
0	1	0	0
1	1	0	1
0	0	1	1
1	0	1	0
0	1	1	0
1	1	1	0



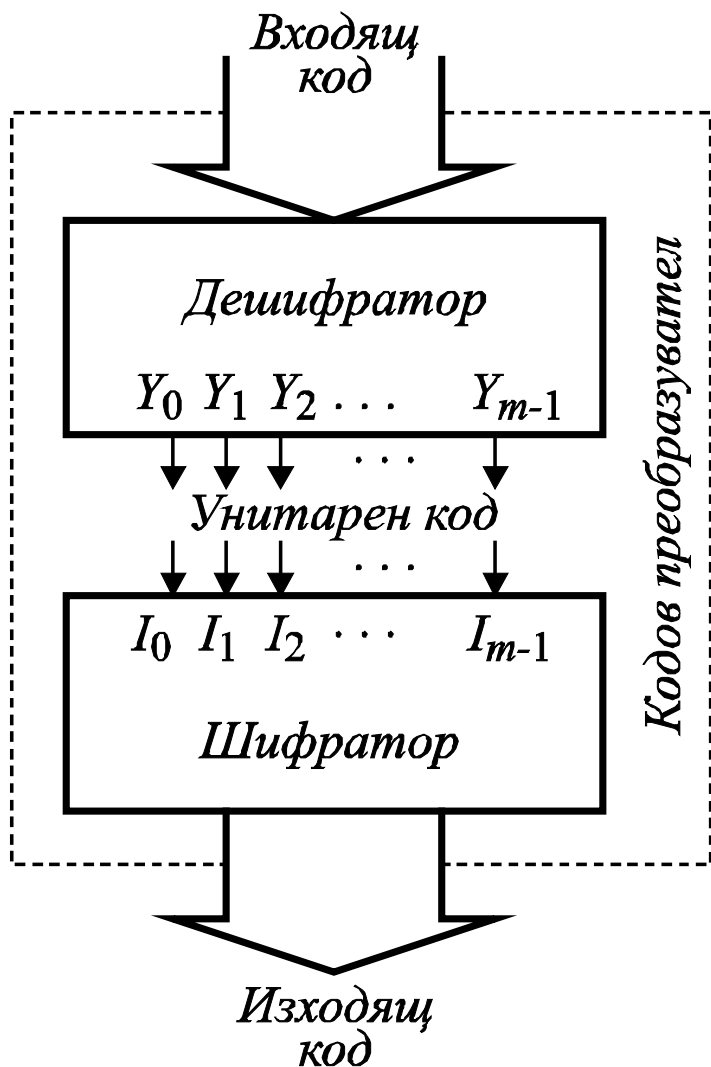


*Използване на дешифратор
за демултиплексиране.*

*Интегрален
мултиплексор/демултиплексор
– '4051.*



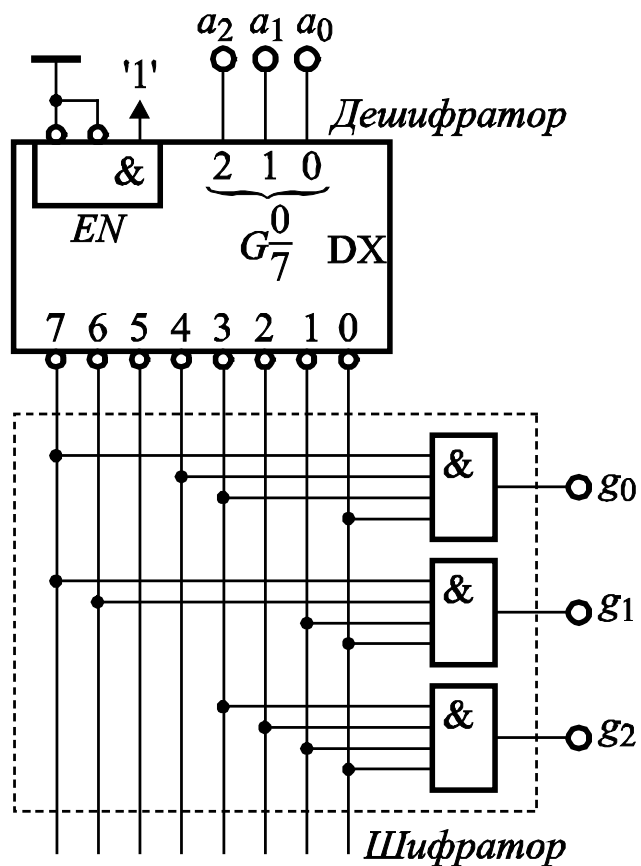
3.3. Кодови преобразуватели



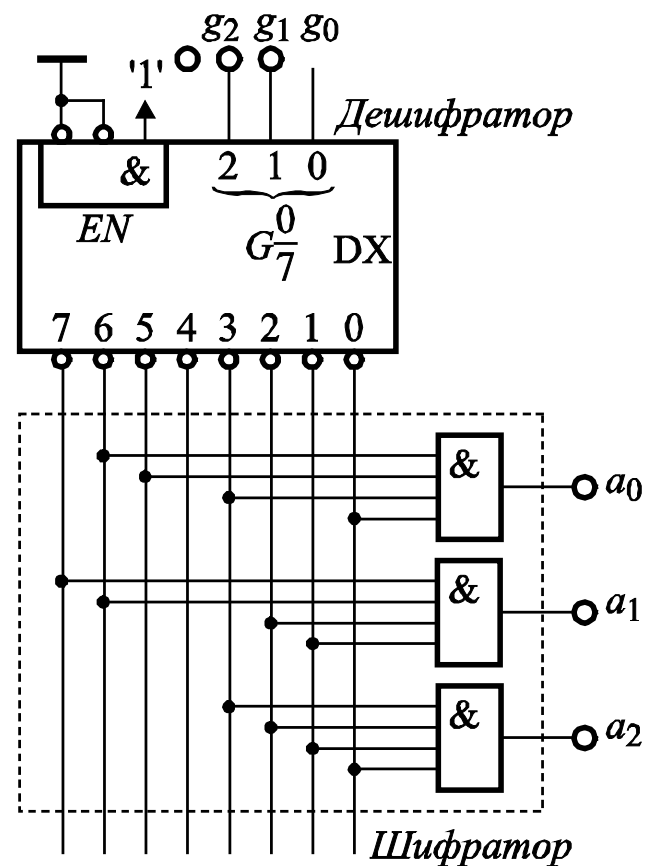
*Кодов преобразувател,
реализиран чрез
дешифратор и шифратор.*



Цифрова схемотехника



а)



б)

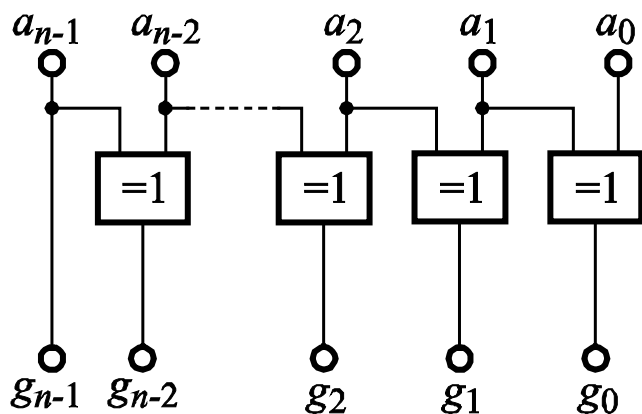
Кодови преобразуватели от двоичен код в код на Грей и обратно.

Операции за преобразуване на n -разредно число от двоичен код в код на Грей :

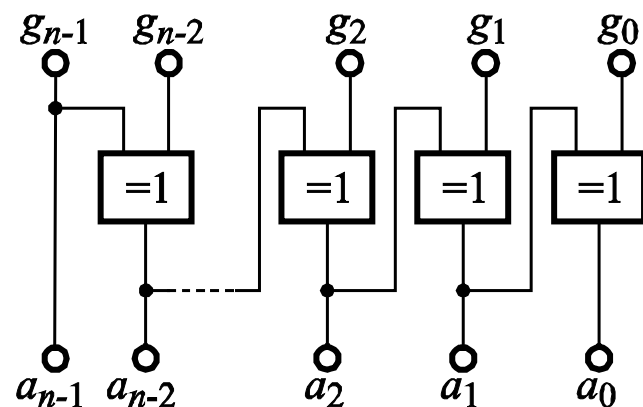
$$g_0 = a_0 \oplus a_1, g_1 = a_1 \oplus a_2, \dots, g_i = a_i \oplus a_{i+1}, \dots, g_{n-1} = a_{n-1}.$$

Операции за преобразуване на n -разредно число от код на Грей в двоичен код:

$$a_{n-1} = g_{n-1} \text{ и } a_i = g_{n-1} \oplus g_{n-2} \oplus \dots \oplus g_i, \text{ при } i < n - 1.$$

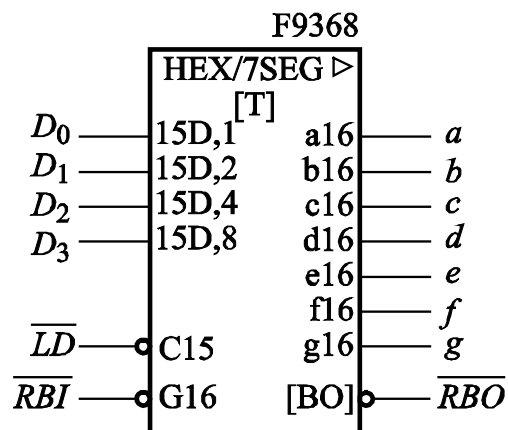


a)

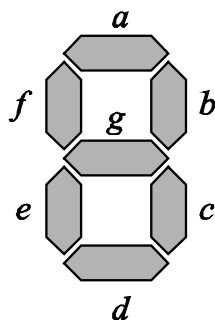


б)

*Кодов преобразувател: а) – от двоичен код в код на Грей;
б) – от код на Грей в двоичен код.*



Число	Входове					Изходи							
	\overline{RBI}	D_3	D_2	D_1	D_0	\overline{RBO}	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	1	0	0	0	0	1	1	1	1	1	1	1	0
1	X	0	0	0	1	1	0	1	1	0	0	0	0
2	X	0	0	1	0	1	1	1	0	1	1	0	1
3	X	0	0	1	1	1	1	1	1	1	0	0	1
4	X	0	1	0	0	1	0	1	1	0	0	1	1
5	X	0	1	0	1	1	1	0	1	1	0	1	1
6	X	0	1	1	0	1	1	0	1	1	1	1	1
7	X	0	1	1	1	1	1	1	1	0	0	0	0
8	X	1	0	0	0	1	1	1	1	1	1	1	1
9	X	1	0	0	1	1	1	1	1	0	0	1	1
A	X	1	0	1	0	1	1	1	1	0	1	1	1
B	X	1	0	1	1	1	0	0	1	1	1	1	1
C	X	1	1	0	0	1	1	0	0	1	1	1	0
D	X	1	1	0	1	1	0	1	1	1	1	0	1
E	X	1	1	1	0	1	1	0	0	1	1	1	1
F	X	1	1	1	1	1	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0

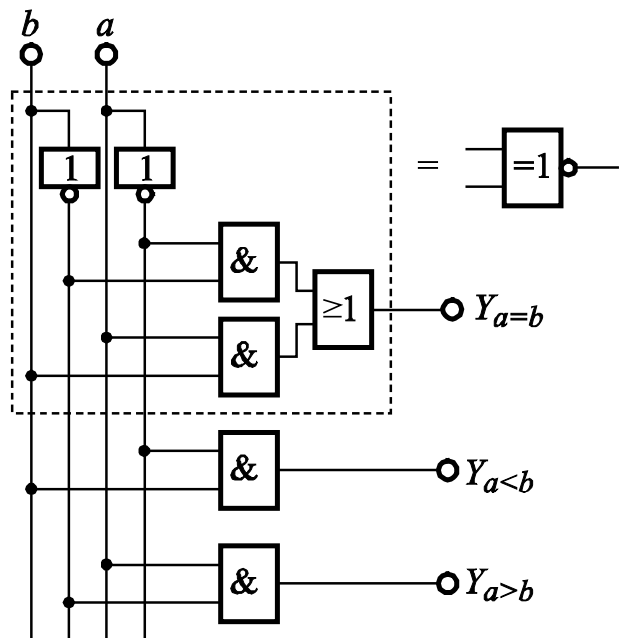


0 1 2 3 4 5 6 7 8 9 A B C D E F

Преобразувател на код F9368.



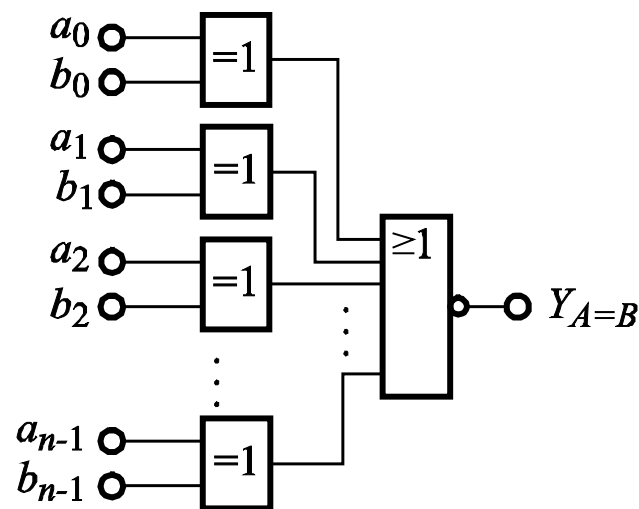
3.4. Цифрови компаратори



a	b	$Y_{a>b}$	$Y_{a=b}$	$Y_{a<b}$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

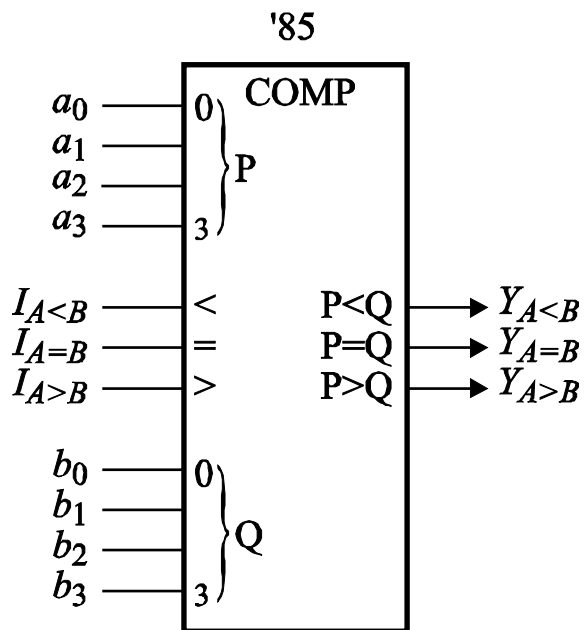
*Едноразреден
магнитуден
компаратор.*

*Сравняване на две
 n -разредни
числа за
равенство.*



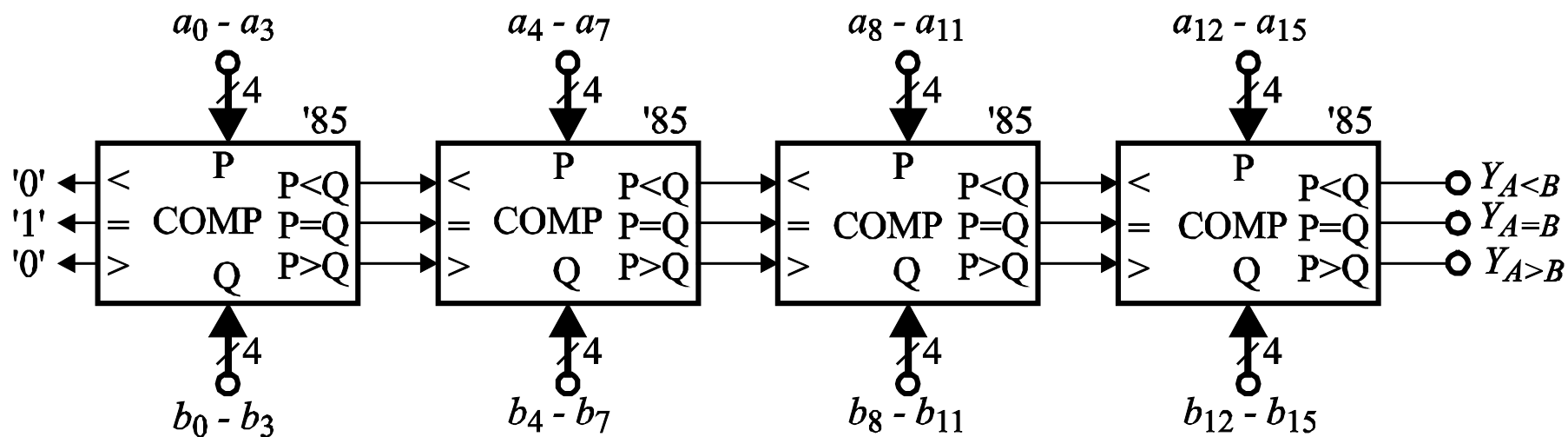


Цифрова схемотехника

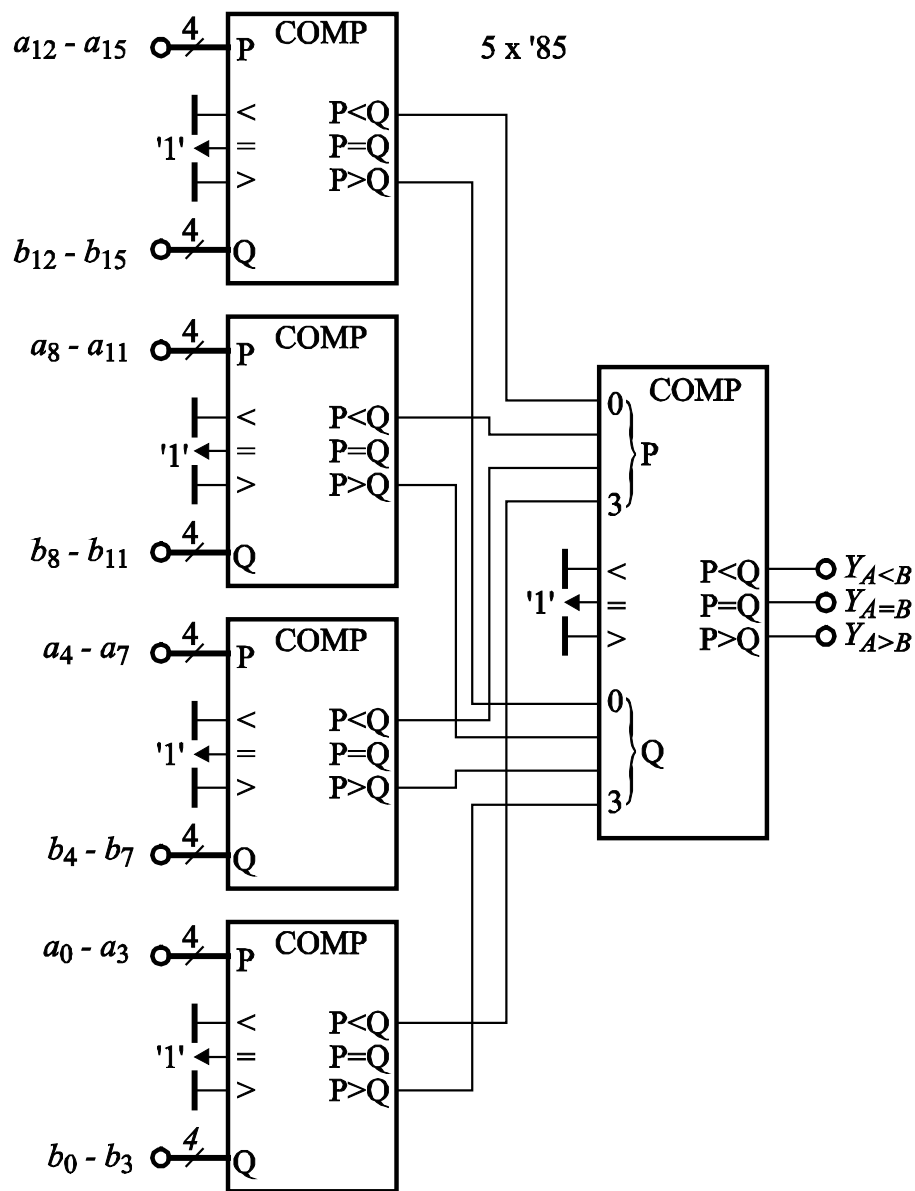


Входове за сравняване				Входове за разширяване			Изходи						
a_3	b_3	a_2	b_2	a_1	b_1	a_0	b_0	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$Y_{A>B}$	$Y_{A<B}$	$Y_{A=B}$
$a_3 > b_3$		X		X		X		X	X	X	1	0	0
$a_3 < b_3$		X		X		X		X	X	X	0	1	0
$a_3 = b_3$	$a_2 > b_2$			X		X		X	X	X	1	0	0
$a_3 = b_3$	$a_2 < b_2$			X		X		X	X	X	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 > b_1$				X		X	X	X	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 < b_1$				X		X	X	X	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 > b_0$					X	X	X	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 < b_0$					X	X	X	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 = b_0$					1	0	0	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 = b_0$					0	1	0	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 = b_0$					0	0	1	0	0	1
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 = b_0$					X	X	1	0	0	1
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 = b_0$					1	1	0	0	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_2 = b_2$	$a_0 = b_0$					0	0	0	1	1	0

Интегрален 4-разреден компаратор '85.

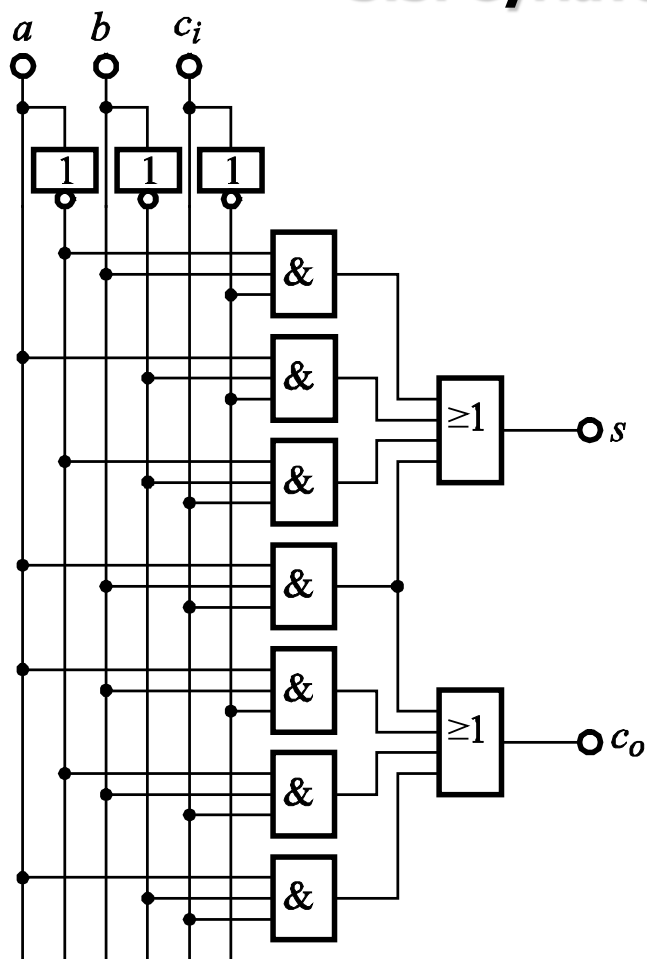


Последователно нарастване на цифрови компаратори.



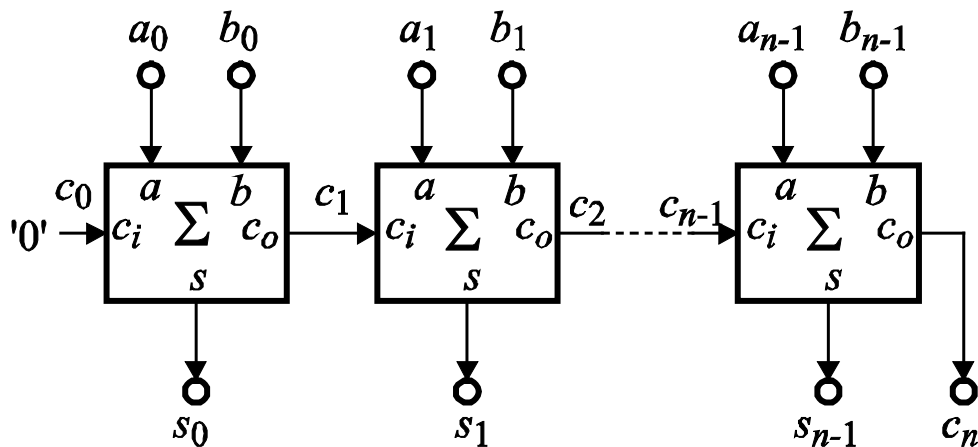
*Паралелно 16-разредно
сравняване.*

3.5. Суматори и други аритметични схеми



Входове			Изходи	
a	b	c_i	s	c_o
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Пълен едноразреден суматор.



*Последователно нарастване на
едноразредни суматори.*



Цифрова схемотехника

Входове			Изходи	
a	b	c _i	s	c _o
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

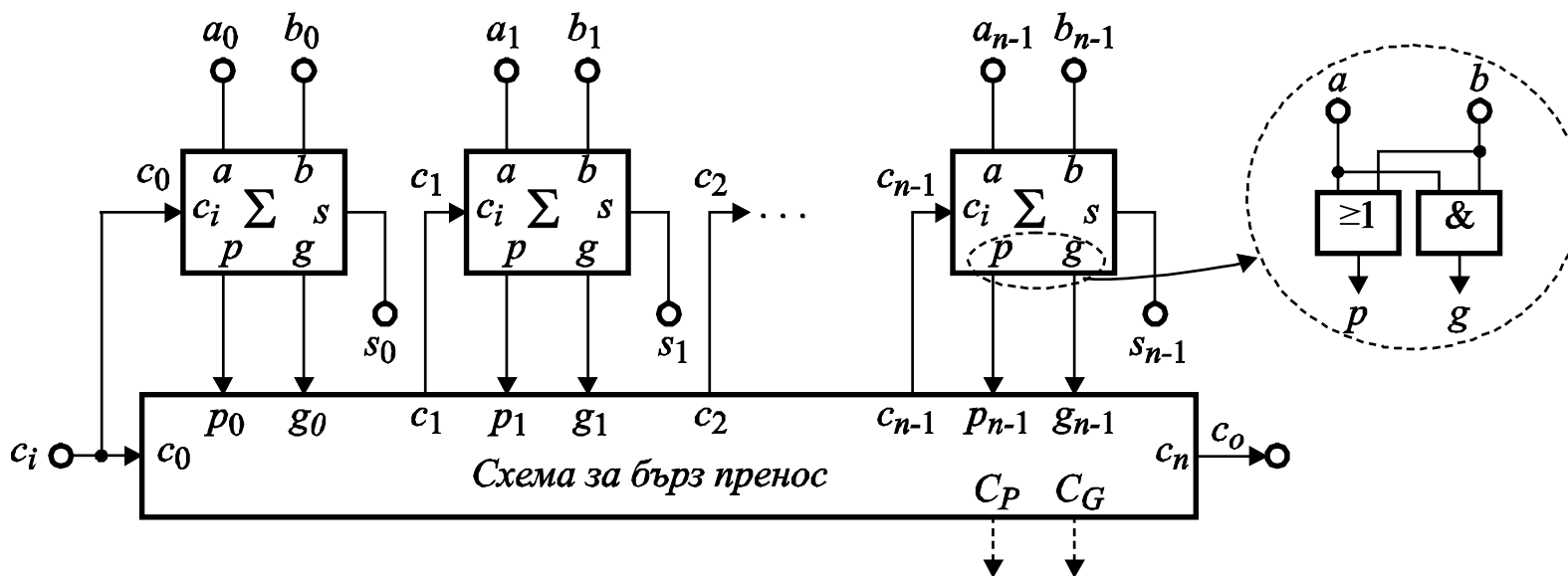
$$c_{k+1} = \underbrace{a_k b_k}_{g_k} + \underbrace{(a_k + b_k)}_{p_k} c_k$$

$$c_1 = g_0 + p_0 c_0,$$

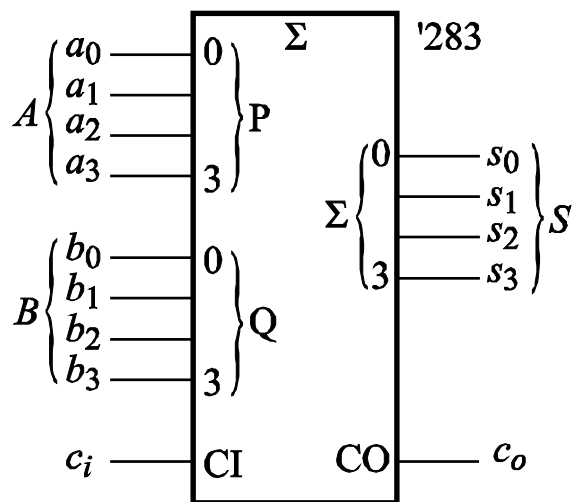
$$c_2 = g_1 + p_1 c_1 = g_1 + p_1 g_0 + p_1 p_0 c_0,$$

$$c_3 = g_2 + p_2 c_2 = g_2 + p_2 g_1 + p_2 p_1 g_0 + p_2 p_1 p_0 c_0,$$

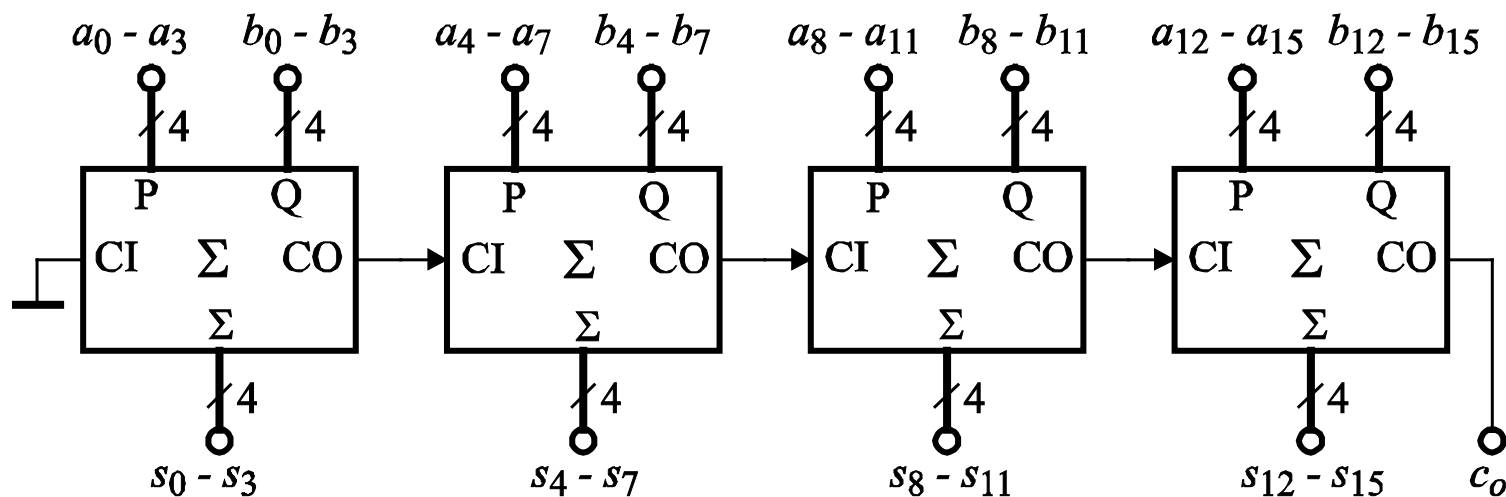
$$c_4 = g_3 + p_3 c_3 = \underbrace{g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 g_0}_{C_G} + \underbrace{p_3 p_2 p_1 p_0}_{C_P} c_0 = C_G + C_P c_0$$



Четириразреден суматор с паралелен пренос.



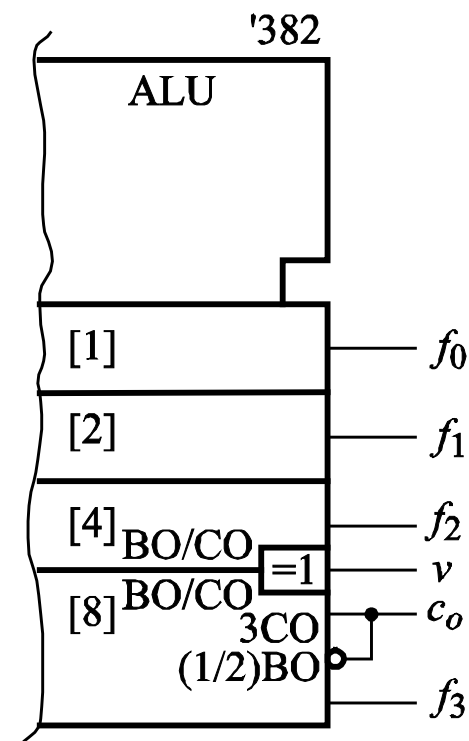
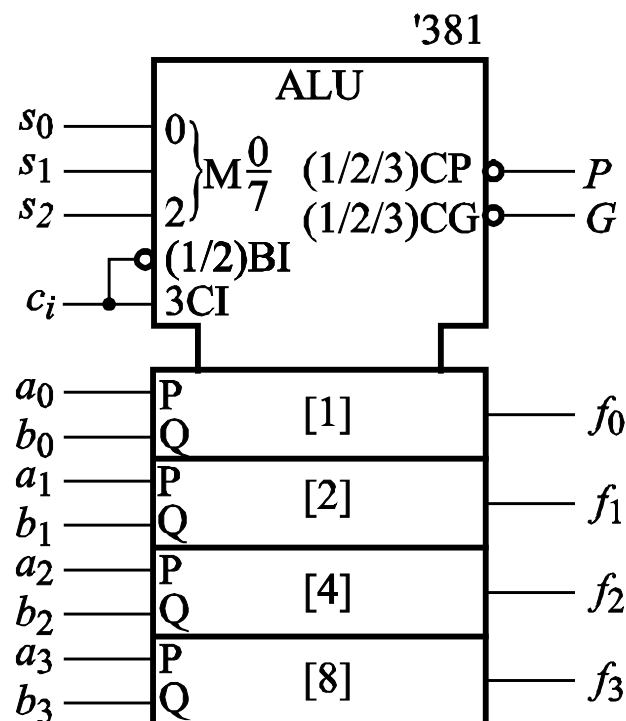
*Интегрален четириразреден
пълнен суматор с ускорен
пренос.*



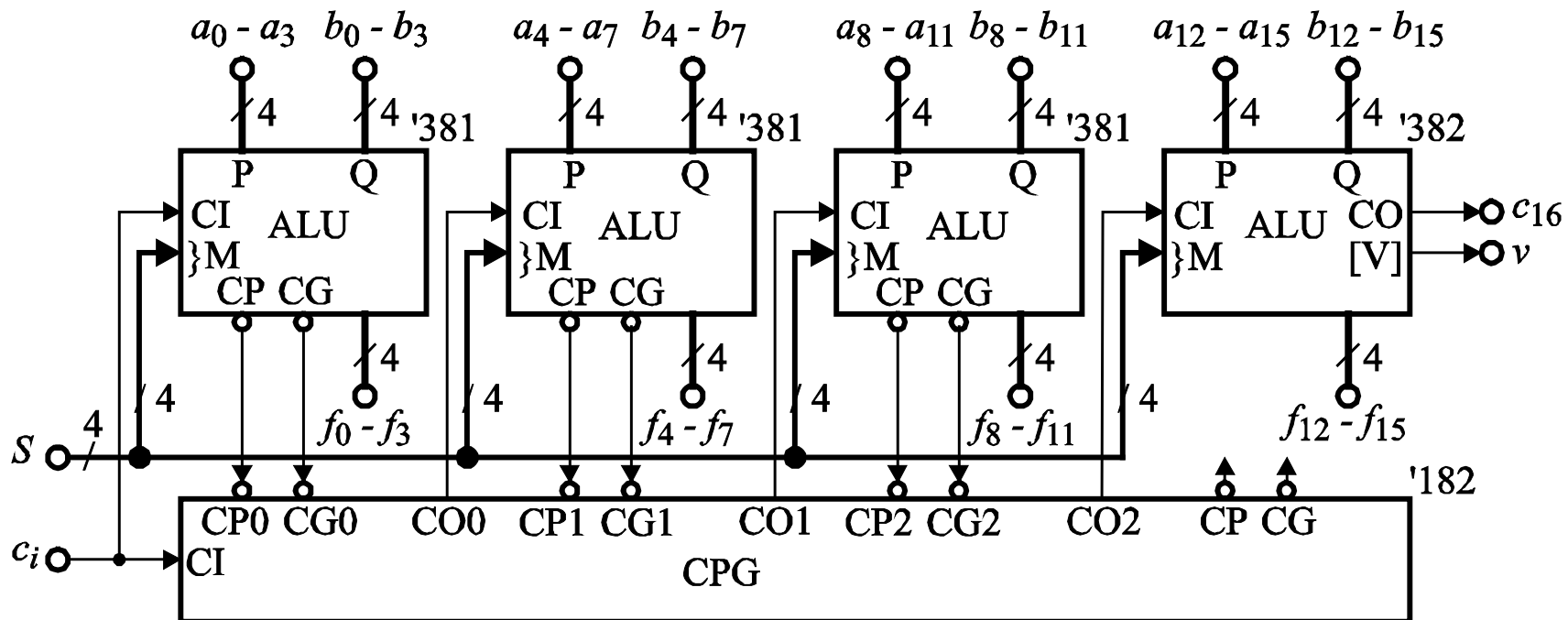
*Последователно нарастване на 4-разредни суматори '283 за
формиране на 16-разредно сумиране.*



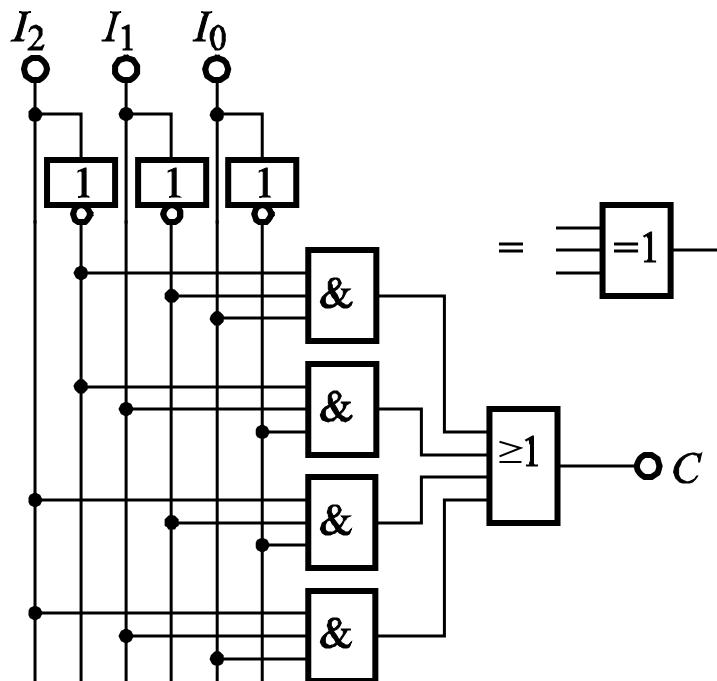
Избор			Операция
s_0	s_1	s_2	
0	0	0	Нулиране
1	0	0	$F = B - A$
0	1	0	$F = A - B$
1	1	0	$F = A + B$
0	0	1	$F = A \oplus B$
1	0	1	$F = A \vee B$
0	1	1	$F = A \wedge B$
1	1	1	Установяване в 1



4-разредно паралелно аритметично-логическо устройство.



Паралелно нарастване на 4-разредни АЛУ '381/382 за операции между две 16-разредни числа, с използването на схема за ускорен пренос '182.



*Формиране на контрол по четност
за 3-разредно число.*

*9-разреден генератор на контролен
бит – '280.*

