

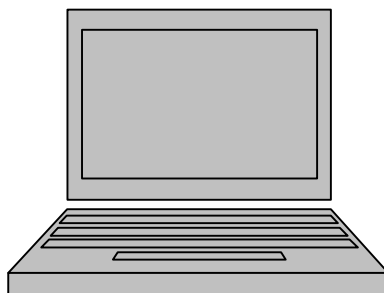
**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ
Гр. ВАРНА**

КАТЕДРА: “КОМПЮТЪРНИ НАУКИ И ТЕХНОЛОГИИ”

СЛАВА МИЛАНОВА ЙОРДАНОВА

ЦИФРОВА СХЕМОТЕХНИКА

ЗАПИСКИ



**ВАРНА
2003**

УДК

В записките, като учебно помагало е разгледан материал отнасящ се до изучаване на елементите на импулсия сигнал, видовете логически елементи, интегрални схеми и реализиране на цифрови и импулсни схеми.

Книгата обхваща следните основни направления: елементи на импулсия сигнал, видовете логически елементи – диодни, диодно-транзисторни (ДТЛ), резисторно–транзисторни (РТЛ), транзисторно-транзисторни (ТТЛ), емитерно-свързани (ЕСЛ), MOS и CMOS елементи и импулсни устройства, като чакащи мултивибратори, автогенераторни мултивибратори, симетрични тригери, тригери на Шмит, интегрални таймери и др..

Изложените в записките знания са подходящи за всички, които се занимават с проектиране и реализиране на цифрови и импулсни схеми.

Авторът изказва своята благодарност на рецензентите доц. д-р инж. В. Смърков и доц. д-р инж. А. Антонов за направените препоръки, довели до подобряване на настоящото издание.

Слава Миланова Йорданова

ISBN

УВОД

С всеки изминат ден интегралните схеми получават все по-голямо развитие и намират все по-широко приложение във всички инженерни области. Използването им изисква добре да се знаят тяхните особености и за тази цел е необходимо тяхното изучаване, както за проектиране на различни схеми така и за практическото им използване. Интегралните ТТЛ елементи са разработени и в основата си са предназначени за цифровата схемотехника.

В първа глава на записките са разгледани: елементи на импулсен сигнал, диференцираща, интегрираща верига, видове диодни ограничители, видове логически елементи и схеми – диодни, диодно-транзисторни (ДТЛ), резисторно–транзисторни (РТЛ), транзисторно-транзисторни (ТТЛ), емитерно-свързани (ЕСЛ), MOS и CMOS елементи.

Във втора глава на записките са разгледани импулсни устройства, като: чакащи мултивибратори, автогенератори мултивибратори, симетрични тригери, тригери на Шмит, интегрални таймери и др.. Разгледани са варианти на тези импулсни устройства в дискретно изпълнение, изградени с ТТЛ логически елементи и в интегрално изпълнение.

Основната цел на автора е да даде необходимата информация на студентите от специалност “КСТ”, при изучаването на дисциплината “Цифрова схемотехника”, залегнала в учебния план на специалността. Затова в изложението е отделено главно внимание на изясняването на принципите на действие и функционалните възможности на различните линейни импулсни схеми, видове логически схеми и елементи, и изградени с тях импулсни устройства. Описани са и някои реализирани и изследвани от автора схемни решения.

Записките по “Цифрова схемотехника” са предназначени за студентите от ТУ-Варна специалност “Компютърни системи и технологии”. Те могат да бъдат използвани и от инженери, работещи с цифрови и импулсни устройства или разработващи такива.

Авторът се надява, че настоящата книга ще бъде полезна за читателите при овладяването на една толкова нужна днес наука, каквато е Цифровата схемотехника. Отзиви могат да се изпращат в катедра: “Компютърни науки и технологии” при Технически университет гр. Варна. Авторът изказва за това своята предварителна благодарност.

I. ГЛАВА

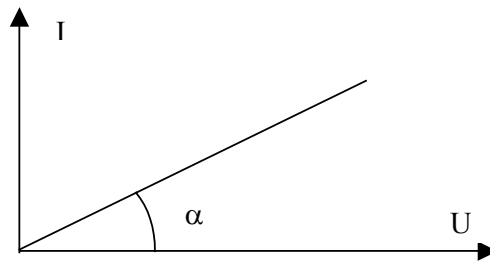
**ЛИНЕЙНИ ИМПУЛСНИ СХЕМИ.
ВИДОВЕ ЛОГИЧЕСКИ СХЕМИ И ЕЛЕМЕНТИ.**

1. Линејни импулсни схеми – диференцирачки вериги. Закон за изменение на изходното напрежение, влияние на реалните параметри на източника и товара.

1.1 Волт-амперна характеристика на линејни елементи

Линејните елементи имат линејна волт-амперна характеристика, т. е. линејни вериги са тези, при които номиналната стойност на параметрите на елемента е постоянна и не зависи на практика от големината на протичащия ток или от стойноста на приложеното напрежение. Линејни елементи са линеен резистор, линеен кондензатор, идеалниот генератор на ток, идеалниот генератор на напрежение, усилвателите, работещи в линеен режим, трансформатор без насищане на феромагнита и др.[1][2][3][4][5]

Волт-амперна характеристика на линеен резистор:

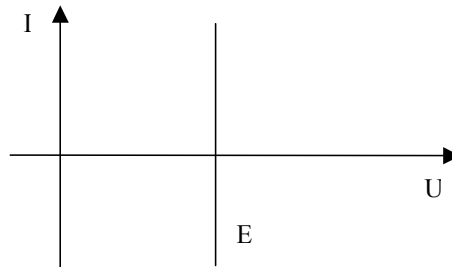


фиг.1.1

Наклонът на характеристиката $tg\alpha = \frac{1}{R}$ - зависи от стойноста на R и

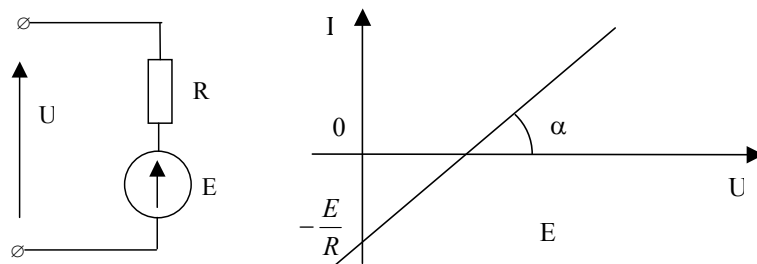
$$i = \frac{1}{R} \cdot u \tag{1.1}$$

Волт-амперната характеристика на генератор на напрежение е вертикалната линија, тъй като при идеалниот генератор на напрежение изходното напрежение не зависи от товарниот ток:



фиг.1.2

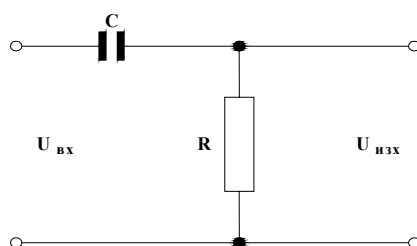
Двуполусниците и четириполусниците, образувани од линејни елементи, също имат линејна волт-амперна характеристика:



фиг.1.3

1.3 Диференцираща верига

1.3.1 Принципна схема:



фиг.1.5

На фиг.1.5 е показана принципна схема на диференцираща верига. Прехвърлящ елемент от входа към изхода е кондензатор, а паралелно на изхода е включен резистор. Напрежението върху кондензатора и протичащия през него ток са свързани помежду си с израза:

$$i = C \frac{dU_c}{dt} \quad (1.2)$$

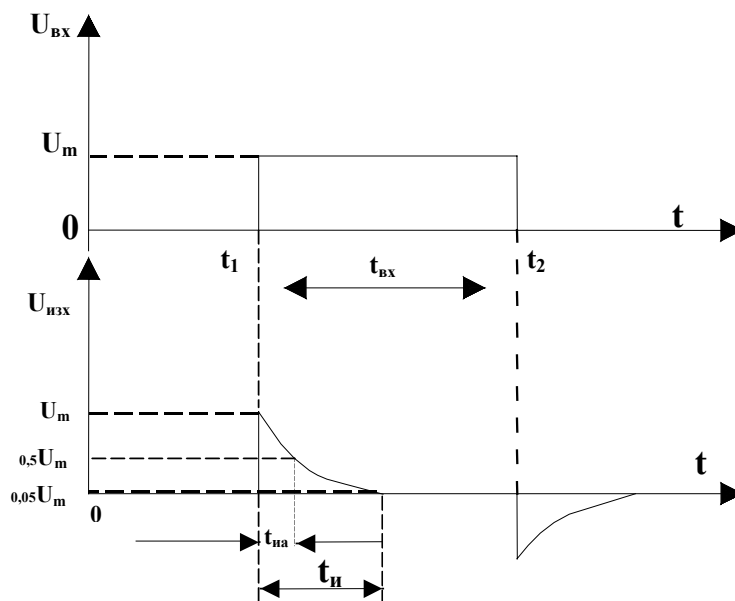
Може да се счита, че токът, протичащ през диференциращата верига, ще се определя по горния израз с достатъчно голяма точност, ако резисторът има много малко съпротивление. В такъв случай за падението на напрежението, получено върху R, което представлява изходното напрежение на диференциращата верига, може да се напише следният израз:

$$U_{изх} = RC \frac{dU_{вх}}{dt} \quad (1.3)$$

Най-важното приложение на диференциращите вериги в импулсната техника, е получаването на краткотрайни импулси от правоъгълни импулси с произволна продължителност, т. н. скъсяване на импулсите. [1][2][3]

Разглеждаме случай, когато на входа на диференциращата верига е подадено напрежение с правоъгълна форма, с амплитуда $U_{вх}$, като при това времеконстантата RC е значително по-малка, както от продължителността на импулса, така и от интервала между импулсите – фиг. 1.6.

1.3.2. Времедиаграми и анализ на процесите.



фиг.1.6.

В момента t_1 , входното напрежение $U_{вх}$ нараства със скок. Напрежението върху кондензатора е все още равно на нула, тъй като той не може да се зареди мигновено. Тогава изходното напрежение ще бъде:

$$U_{изх} = U_{вх} - U_c \quad (1.4)$$

В периода $t_1 \div t_2$ започва да протича ток I_c през кондензатора C . В схемата липсва товар. Кондензаторът започва да се зарежда, като напрежението му расте по закона:

$$U_c = U_{ex} \left(1 - e^{-\frac{t}{\tau}} \right) \quad (1.5)$$

Едновременно с появяването на входното напрежение, токът във веригата със скок достига стойност:

$$i_{max} = \frac{U_{ex}}{R} \quad (1.6)$$

Напрежението на изхода достига максималната си стойност, равно на $U_{вх}$, след което със зареждането на кондензатора C , спада експоненциално с времеконстанта $\tau=RC$. Кондензаторът започва да играе роля на консуматор. Напрежението му U_c нараства, а токът през него I_c намалява.

В момента t_2 входното напрежение става равно на нула.

Тогава :

$$U_{изх} = U_{вх} - U_c = -U_c \quad (1.7)$$

При напълно зареден кондензатор приемаме, че $U_c \approx U_{вх}$, като допускаме, че източника е идеален. След време t_1 кондензаторът се разрежда през R и източника.

За периода $t_1 \div t_2$ входното напрежение е с постоянна стойност т.е. $U_{вх} = const$

$$U_{изх}(t) = U_{ex}(t) - U_c(t)$$

$$U_{изх} = U_{ex} - \frac{1}{C} \int_0^t i_c dt$$

$$RC \frac{dU_{изх}}{dt} = 0 \quad (1.8)$$

$$U_{изх} = i_c R = RC \frac{dU_c}{dt} = RC \frac{d}{dt} (U_{ex} - U_{изх})$$

$$U_{изх} + RC \frac{dU_{изх}}{dt} - RC \frac{dU_{ex}}{dt} = 0$$

Следователно:

$$\frac{dU_{изх}}{dt} + \frac{1}{RC} U_{изх} = 0 \quad (1.9)$$

Това е хомогенно диференциално уравнение от първи ред. Решението му е:

$$U_{изх}(t) = U_m e^{-\frac{t}{RC}} = U_m e^{-\frac{t}{\tau}} \quad (1.10)$$

където: $\tau = RC$ е времеконстанта на веригата.

При $U(\infty) = 0$

$$U_{изх} = U_m e^{-\frac{t}{RC}} \quad (1.11)$$

След време $t \gg \tau$ ($t \rightarrow \infty$)

$$U_{\text{изх}}(t) = U_m e^{-\frac{\infty}{RC}} = 0 \quad (1.12)$$

Активната продължителност на импулса t_{ua} , измерена на ниво $0,5U_m$, се определя от параметрите на веригата R и C , а не зависи от амплитудата U_m и може да бъде изчислена използвайки формули (1.13).

$$U_{\text{изх}}(t) = U_m e^{-\frac{t_{ua}}{RC}} = 0,5U_m$$

$$e^{-\frac{t_{ua}}{RC}} = \frac{1}{2} \quad ; \quad e^{\frac{t_{ua}}{RC}} = 2 \quad (1.13)$$

$$\ln\left(e^{\frac{t_{ua}}{RC}}\right) = \ln 2 \approx 0,7 \quad ;$$

$$\frac{t_{ua}}{RC} \approx 0,7$$

$$t_{ua} = 0,7RC = 0,7\tau$$

След време $0,7\tau$ сигнала достига половината от началната си амплитуда. При диференциране на импулси с много стръмен преден и заден фронт, на изхода се получават положителни и отрицателни островърхи импулси. При това, за $\tau < t_{\text{изх}}$ продължителността на изходните импулси се определя изключително от времеконстантата на диференциращата верига и не зависи от продължителността на входните импулси. Продължителността на изходния импулс се определя на зададено ниво от максималната му стойност. [1][2][3][5]

За ниво: $U_{\text{изх}} = \lambda U_m$

$$\lambda = e^{-t_u/\tau} \quad (1.14)$$

След логаритмуване на горния израз, за продължителността на изходния импулс се получава:

$$t_u = \tau \ln \frac{1}{\lambda} \quad (1.15)$$

При определяне продължителността на изходния импулс на ниво $\lambda=5\%$ от максималното, получаваме:

$$t_u = \tau \ln \frac{1}{0,05} \approx 3RC \quad (1.16)$$

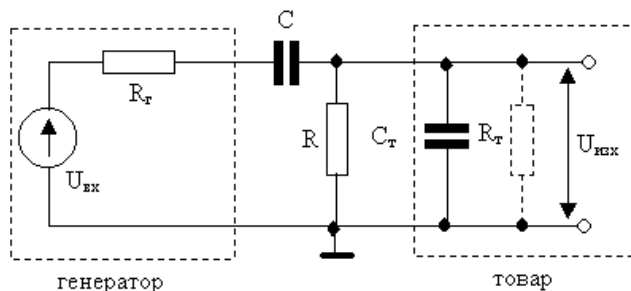
Активната продължителност на диференциращия импулс се определя на ниво $0,5U_m$ и ще бъде:

$$t_{ua} \approx 0,7RC \quad (1.17)$$

На пръв поглед от разгледаното до тук се вижда, че чрез намаляване на времеконстантата на диференциращата RC верига, могат да се получават импулси с произволно малка продължителност. На практика минималната продължителност на импулсите, получавана чрез диференциране, се ограничава, както от крайната стръмност на фронтите на входния импулс, така и от влиянието на паразитните параметри на диференциращото устройство. Към последните могат да се отнесат паразитните капацитети и вътрешното съпротивление на източника на импулси, които се подлагат на диференциране.

В реалните устройства диференциращата RC верига обикновено се предхожда от едно стъпало (ограничител или усилвател), което се характеризира с крайно вътрешно съпротивление R_r ($R_r \neq 0$), и с изходящ капацитет, който за еквивалентната схема на диференциращата RC верига се явява входен. Освен това импулсите, получени на изхода на

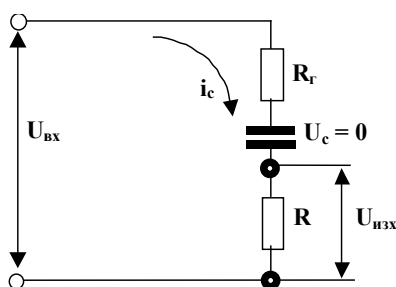
диференциращата RC верига, се подават обикновено към входа на друго стъпало, неизбежният входен капацитет на който се явява, като изходен капацитет на реалната схема на RC диференциращата верига.



фиг.1.7

Както се вижда от еквивалентната схема на реалната диференцираща верига, в нея освен елементите R и C, участват още паразитните параметри – съпротивлението $R_г$ и капацитетите $C_{вх}$, $C_{изх}$ и $R_г$. При някои практически случаи, може един или друг от паразитните параметри на диференциращата RC верига, да оказва по-малко влияние и да се пренебрегне. $R_г$ не влияе върху процесите на веригата, защото може да се отчете при разчета, т. е. при избора на R. Обикновено се задава τ . $R_г$ е вътрешно съпротивление на генератора. [2][4][5][6][7][11]

➤ В момента t_1 при превключване на входното напрежение от 0 до U_m еквивалентната схема има следният вид:



фиг.1.8

Тази схема се различава от идеалната, само по повишената стойност на активното съпротивление, което е равно на $R + R_г = R_e$. Съответно и времеконстантата ще има по-голяма стойност:

$$\tau = R_e C = (R + R_г)C$$

$$i_{c \max} = \frac{U_{вх} - U_c}{R_г + R} = \frac{U_m}{R_г + R} \quad (1.18)$$

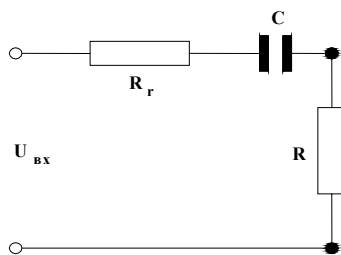
$$U_{изх} = U_m \frac{R}{R_г + R} \quad (1.19)$$

$$U_{изх} = R \cdot i_{c \max} = R \frac{U_m}{R_г + R} \quad (1.20)$$

Това е обща формула на делител на напрежение.

Извод: Амплитудата на изходното напрежение намалява в сравнение с идеалната схема.

➤ В периода $t_1 \div t_2$ по променлив ток еквивалентната схема е следната:



фиг.1.9

$$R_e = R_r + R \quad (1.21)$$

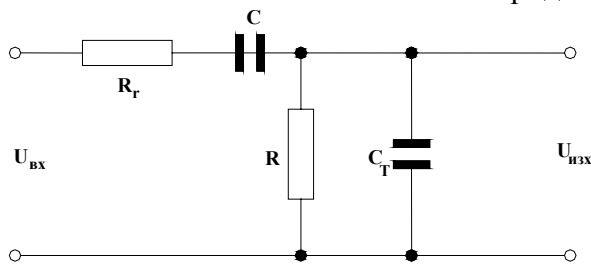
$$\tau = C(R_r + R) \quad (1.22)$$

Увеличава се τ спрямо идеалната схема и амплитудата намалява:

$$U_{изх} = U_0 \frac{R}{R_r + R} \cdot e^{-\frac{t}{C(R_r + R)}} \quad (1.23)$$

➤ Влияние на товара.

Товарното съпротивление R_t , не оказва влияние тъй като то може да бъде отчетено при избора на основното съпротивление R . Еквивалентната схема придобива вида:



фиг.1.10

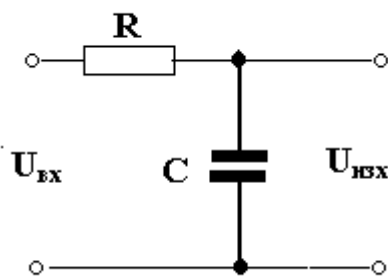
В момента t_1 се получава капацитивен делител на напрежение и изходното напрежение ще бъде:

$$U_{изх} = \frac{C}{C + C_m} U_m e^{-\frac{t}{R(C + C_m)}} \quad (1.24)$$

Извод : Амплитудата на изходното напрежение намалява. Отрицателният фронт също ще има по-малка амплитуда.

1.4. Интегрираща верига. Закон за изменение на изходното напрежение, влияние на реалните параметри на източника и товара

1.4.1. Принципно схема:



фиг.1.11

В реалните интегриращи RC вериги резисторът R има голяма стойност и затова $U_R \approx U_{вх}$, а:

$$i_R = \frac{U_{вх}}{R} = i_c \quad (1.25)$$

Тогава:

$$U_{изх} = U_c = \frac{1}{C} \int_0^t i_c dt \approx \frac{1}{RC} \int_0^t U_{вх} dt \quad (1.26)$$

Точното поведение на изходното напрежение се определя от следното диференциално уравнение, изведено при идеални условия ($R_T = \infty$, $C_T = 0$, $R_r = 0$):

$$i_R = \frac{U_{вх} - U_{изх}}{R}$$

$$i_c = C \frac{dU_c}{dt} \quad (1.27)$$

$$i_c = i_R$$

$$\frac{dU_{изх}}{dt} + \frac{U_{изх}}{R.C} - \frac{dU_{вх}}{dt} = 0 \quad (1.28)$$

Когато на входа се подаде правоъгълен импулс началният ток през веригата е максимален, а изходното напрежение е $U_{изх} = U_c$. Започва разряд на кондензатора C през съпротивлението R. Напрежението на кондензатора расте, а токът намалява. [1][2][7][11]

Законът за изменение на изходното напрежение може да се изведе от общото решение на диференциалното уравнение при полагане на $U_\infty = U_m$:

$$U_{изх}(t) = U_m \left(1 - e^{-\frac{t}{\tau}} \right) \quad (1.29)$$

където: $\tau = R.C$

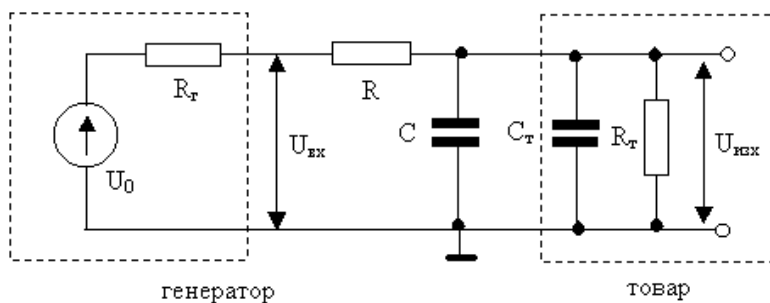
Активната и пълната продължителност на импулса зависят от параметрите на веригата и се изчисляват чрез следните формули:

$$t_{иа} \approx 0,7.R.C$$

$$t_{и} \approx 3.R.C \quad (1.30)$$

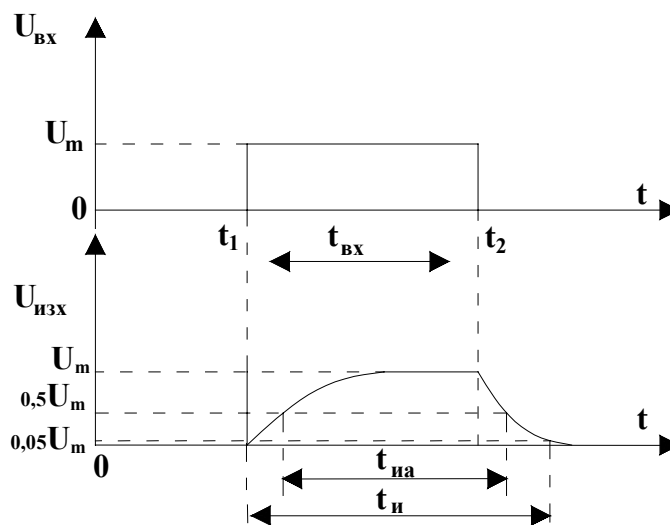
$$U_{изх}(t) = U_{вх} \frac{R_T}{R + R_T} \left(1 - e^{-\frac{t}{\frac{R.R_T}{R+R_T}.C}} \right) \quad (1.31)$$

В реалния случай генераторното съпротивление, товарното съпротивление и товарния капацитет (R_T , R_T , C_T) имат крайни стойности. Генераторното съпротивление може да се отчете при избора на R, а стойността на товарния капацитет C_T - при избора на C. Единствено R_T оказва промяна на амплитудата и времеконстантата без възможност пряко да се компенсира. Поради образувалия се делител на напрежение (съпротивленията R и R_T), амплитудата на изхода е по-малка. Времеконстантата на веригата τ_c намалява при наличие на R_T , тъй като R и R_T се явяват паралелно свързани (през $R_r = 0$). Еквивалентна схема в реалният случай ще има следния вид:



фиг.1.12

1.4.2. Времедиаграми и анализ на процесите:



фиг.1.13

Нека да анализираме процесите в интегрираща верига за $t < t_{и}$, като предполагаме, че на входа в момента $t=0$ започва да действа правоъгълен импулс на напрежение с амплитуда $U_{вх}$ и продължителност $t_{и}$, и че кондензаторът C не е зареден. Съставяме операционното уравнение на схемата:

$$i(p)R + U_{изх}(p) = \frac{U_{вх}}{p} \tag{1.32}$$

$$i(p) = i_C(p) + i_R(p) = pCU_{изх}(p) + \frac{U_{изх}(p)}{R_{вх}}$$

Заместваме $i(p)$ в първото уравнение и получаваме:

$$U_{изх}(p) \left(pCR + \frac{R}{R_{вх}} + 1 \right) = \frac{U_{вх}}{p} \tag{1.33}$$

$$U_{изх}(p) = \frac{U_{вх} R_{вх}}{p(pCR R_{вх} + R + R_{вх})} = \frac{U_{вх} pR_T}{p[p(pCR R_{вх} + R + R_{вх})]} = \frac{H(p)}{pF(p)}$$

Тъй като един от корените на $F(p)=0$ е равен на нула, най-напред намираме оригинала на функцията като:

$$\varphi_1(p) = \frac{H(p)}{pF_1(p)} \tag{1.34}$$

$$pF_1(p) = F(p) \quad (1.35)$$

Получаваме:

$$\varphi_1(t) = \frac{U_{\text{вх}}}{RC} e^{p_1 t} \quad (1.36)$$

където единственият корен на $F_1(p) = 0$ е:

$$p_1 = -\frac{R + R_T}{CRR_T} \quad (1.37)$$

За оригинала на изходното напрежение можем да напишем:

$$U_{\text{изх}}(t) = \int_0^t \varphi_1(t) dt = \frac{U_{\text{вх}}}{RC} \cdot \frac{1}{p_1} e^{p_1 t} - \frac{U_{\text{вх}}}{RC} \cdot \frac{1}{p_1} \quad (1.38)$$

След прости преобразувания получаваме:

$$U_{\text{изх}}(t) = U_{\text{вх}} \frac{R_T}{R + R_T} \left(1 - e^{-\frac{t}{\frac{RR_T}{R+R_T} C}} \right) \quad (1.39)$$

където: τ_e – еквивалентна времеконстанта.

$$\tau_e = \frac{RR_T}{R + R_T} C = R_e C \quad (1.40)$$

При $\tau_e \gg t_{\text{и}}$ изразът за изходното напрежение може да се опрости, като се разложи в ред и се ограничим с първите три члена от разлагането.

$$U_{\text{изх}} \approx U_{\text{вх}} \frac{t}{RC} \left(1 - \frac{1}{2} \cdot \frac{t}{\tau_e} \right) \quad (1.41)$$

Извод: Грешката при интегрирането е обратно пропорционална на времеконстантата. От формулите дадени по-горе се вижда, че увеличаването на съпротивлението R над стойността на R_T води до бързо намаляване на амплитудата на изходното напрежение, без при това да се увеличава съществено стойността на R_e , а от там и точността на интегрирането.

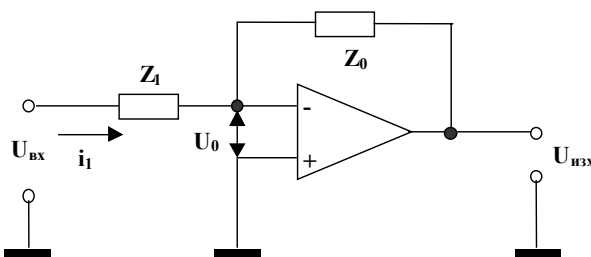
1.5. Диференциране с операционен усилвател

1.5.1. Принципно схема в общия случай.

Операционния усилвател представлява постояннотоков усилвател с голям коефициент на усилване, който има диференциален вход и един изход. Изходното напрежение на сигнала U_o е по-голямо от диференциалния входен сигнал, толкова пъти, колкото е коефициента на усилване на усилвателя $U_{\text{изх}} = K \cdot U_o$. Операционният усилвател има следните свойства: [11]

- голям коефициент на усилване;
- голямо входно съпротивление;
- малко изходно дъпротивление
- и др.

Реалните характеристики на ОУ са повече или по-малко идеални по отношение на външните условия за работа с ОУ. Могат да се изградят схеми с ОУ с обратна връзка и без обратна връзка. На фиг. 1.14 е показана схема на ОУ с обратна връзка на инвертиращият вход. В зависимост от това, какво е съпротивлението в обратната връзка, дали е резистор или кондензатор, може да се изгради диференцираща или интегрираща схема с ОУ. [1][2][11][12]



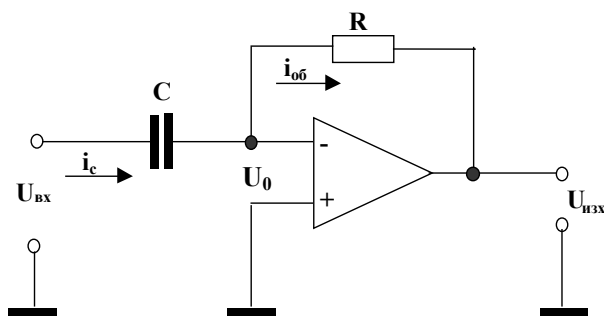
фиг.1.14

Z_0 – комплексно съпротивление на обратната връзка на инвертиращия вход.

$$i_1 = \frac{U_{вх} - U_0}{Z_1} = \frac{U_{вх}}{Z_1} \quad (1.42)$$

1.5.2. Схема на диференциращ усилвател:

Операционният усилвател може да работи и в схема на диференциращо стъпало. В този случай неговото изходно напрежение е производна на входното напрежение. Нека с U_0 означим напрежението подадено на диференциалния вход на ОУ. [11][12]



фиг.1.15

Токът зарежда или разрежда кондензатора C , когато входното напрежение се променя. Тъй като съпротивлението на инвертиращия вход е твърде голямо, то всеки входен ток преминава през резистора R , който е свързан в обратната връзка на операционния усилвател.

$$i_{об} = \frac{U_0 - U_{изх}}{Z_0} = \frac{-\frac{U_{изх}}{K} - U_{изх}}{Z_0} = -\frac{U_{изх}}{Z_0} \cdot \frac{K+1}{K} = -\frac{U_{изх}}{Z_0} \quad (1.43)$$

$$\frac{K+1}{K} \approx 1$$

$$U_0 = -\frac{U_{изх}}{K}$$

$$i_{об} = \frac{U_{вх}}{Z_1} \approx -\frac{U_{изх}}{Z_0} \quad (1.44)$$

$$U_{изх} = -\frac{Z_0}{Z_1} \cdot U_{вх}$$

Полагаме:

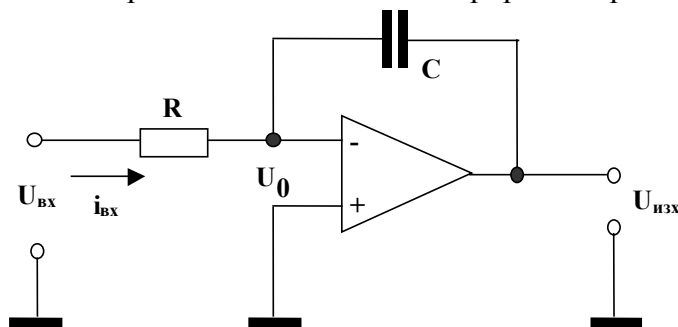
$$\begin{aligned}
 Z_1 &= \frac{1}{j\omega C} = \frac{1}{pC} \\
 i_{вх} &= i_c = C \frac{dU_c}{dt} \\
 i_{вх} &= C \frac{d(U_{вх} - U_0)}{dt} = C \frac{dU_{вх}}{dt} \\
 i_{об} &= \frac{U_0 - U_{изх}}{R} = \frac{-\frac{U_{изх}}{K} - U_{изх}}{R} = -\frac{U_{изх}}{R} \cdot \frac{K+1}{K} \\
 i_{об} &= i_{ex} \\
 C \frac{dU_{ex}}{dt} &= -\frac{U_{изх}}{R} \cdot \frac{K+1}{K} \\
 U_{изх} &= -RC \frac{dU_{ex}}{dt} \\
 U_{изх}(t) &= -KU_{вх} e^{-\frac{t}{RC(K+1)}} \\
 \tau &= \frac{RC}{K+1}
 \end{aligned} \tag{1.45}$$

Извод: Еквивалентната времеконстанта при използването на ОУ е $(K+1)$ пъти по-малка от времеконстантата на обикновената диференцираща верига. Амплитудата на изходното напрежение е K пъти по-голяма от амплитудата на изходното напрежение при диференцираща верига без операционен усилвател.

1.6. Интегриране с операционен усилвател

Изходното напрежение по форма е отрицателен интеграл от входното напрежение за точно избрани стойности на R и C . Действието на схемата се анализира при допускане, че ОУ е идеален. [11]

На фиг. 1.16 е показана принципна схема на интегрираща верига с ОУ.



фиг.1.16

Тази схема се нарича още интегратор на Милер. Той предава сигнала без загуби, дори с допълнително усилване.

$$\begin{aligned}
 U_{изх}(p) &= -KU_0(p) \\
 U_0(p) &= U_{изх}(p) \pm i(p) \frac{1}{pC}
 \end{aligned} \tag{1.47}$$

K е коефициент на усилване по напрежение на разглеждания усилвател. От първото уравнение определяме:

$$U_0(p) = -\frac{U_{\text{изх}}(p)}{K} \quad (1.48)$$

и замествайки във второто уравнение, получаваме:

$$i(p) = pC[U_0(p) \pm U_{\text{изх}}(p)] = -U_{\text{изх}}(p)pC \frac{K+1}{K} \quad (1.49)$$

От друга страна:

$$U_{\text{изх}}(p) = U_0(p) + i(p)R \quad (1.50)$$

Като заместим получените по-горе стойности за U_0 и $i(p)$ в последното уравнение получаваме:

$$U_{\text{вх}}(p) = -\frac{U_{\text{изх}}(p)}{K} - U_{\text{изх}}(p) \frac{pRC(K+1)}{K} \quad (1.51)$$

$$U_{\text{изх}}(p) = -\frac{KU_{\text{вх}}(p)}{1+pRC(K+1)} \quad (1.52)$$

Ако към входа на усилвателя се подаде правоъгълен импулс на напрежение с амплитуда $U_{\text{вх}}$ и продължителност $t_{\text{и}}$, изходното напрежение за $t < t_{\text{и}}$ ще се опише с формулата:

$$U_{\text{изх}}(p) = -\frac{KU_{\text{вх}}}{p[1+pRC(K+1)]} = \frac{H(p)}{p[pF_1(p)]} \quad (1.53)$$

Тъй като един от корените на $F(p) = pF_1(p) = 0$ е равен на нула, получаваме:

$$F_1(t) = -\frac{KU_{\text{вх}}}{RC(K+1)} \cdot e^{p_1 t} \quad (1.54)$$

където единствения корен на $F(p) = 0$ е :

$$p_1 = -\frac{1}{(K+1)RC} \quad (1.55)$$

Следователно за оригинала на изходното напрежение можем да запишем:

$$U_{\text{изх}}(t) = \int_0^1 -\frac{U_{\text{вх}}}{RC} \cdot \frac{K}{K+1} \cdot e^{p_1 t} = -\frac{U_{\text{вх}}}{RC} \cdot \frac{K}{K+1} \cdot \frac{1}{p_1} \cdot e^{p_1 t} + \frac{U_{\text{вх}}}{RC} \cdot \frac{K}{K+1} \cdot \frac{1}{p_1} \quad (1.56)$$

$$U_{\text{изх}}(t) = -KU_{\text{вх}} \left[1 - e^{-\frac{t}{(K+1)RC}} \right] \quad (1.57)$$

$$\tau = (K+1)RC$$

Интегриращата схема с ОУ може да се направи с по-малко изходно напрежение на несиметрия, ако между неинвертиращия вход и земя се постави подходящо избран резистор. Обикновено той е равен по стойност със съпротивлението на входния резистор R . [11][12]

Извод: Еквивалентната времеконстанта при използването на ОУ е $(K+1)$ пъти по-голяма от времеконстантата на обикновената интегрираща верига. Амплитудата на изходното напрежение е K пъти по-голяма от амплитудата на изходното напрежение при интегриращата верига без операционен усилвател.

2. Нелинейни методи за преобразуване на импулсни сигнали

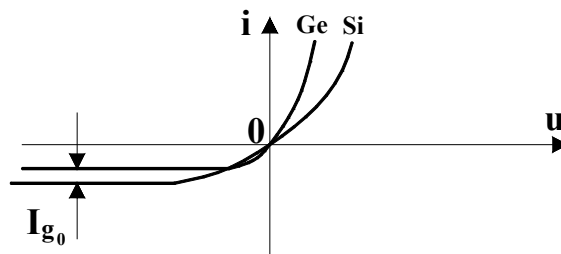
2.1. Диодни ограничители - определение.

Амплитуден ограничител се нарича устройство, чието изходно напрежение престава да се променя, когато входният сигнал достигне определена стойност, наречена ниво или праг на ограничение. Частта на входния сигнал до нивото на ограничението трябва да се възпроизвежда на изхода с минимални изкривявания.

Ограничителите намират широко приложение в импулсната техника, за формиране на калибрационни импулси в осцилографите и индикаторите на радиолокационните устройства. [2][7][10]

2.2. Волт-амперна характеристика на полупроводников диод:

На фиг. 2.3 е показана волт-амперната характеристика на силициев и германиев диод.



фиг.2.1

Всяка характеристика има два клона:

- прав - съответстващ на положителното напрежение ($U > 0$) на анода спрямо катода;
- обратен - съответстващ на отрицателното напрежение ($U < 0$) между анода и катода.

Аналитично характеристиката на диода се определя в широка област с израза:

$$i = I_{до} \left(e^{\frac{U}{\varphi_t}} - 1 \right) \quad (2.1)$$

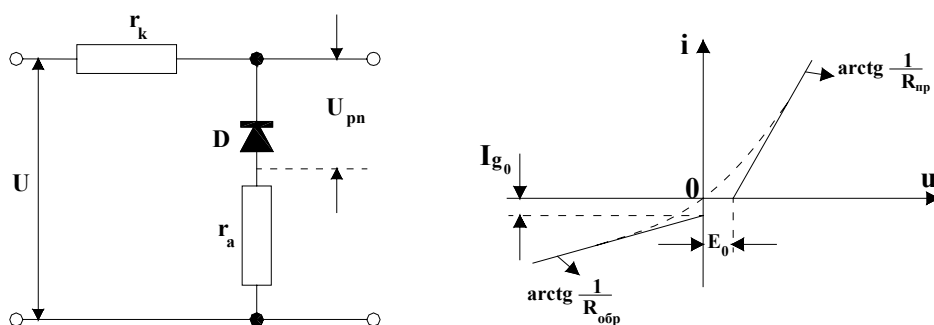
който показва V-A характеристика на p-n прехода. В горната формула:

$I_{до}$ — топлинен ток

φ_t - топлинен потенциал.

Реалният диод освен p-n прехода включва в себе си и полупроводните области на анода и катода и омическите контакти. Съпротивленията на контактите в сравнение с обемните съпротивления на анода и катода са много малки, поради което могат да се пренебрегнат.

Заместителна схема на реален диод:

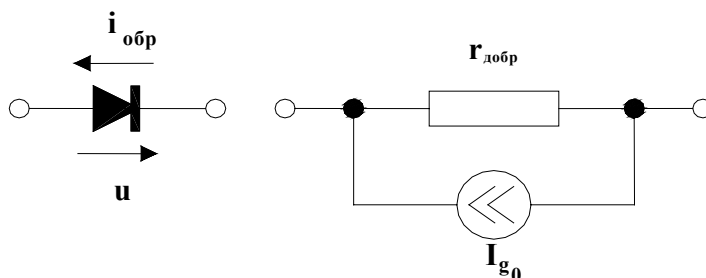


фиг. 2.2

Характеристиката на диода може да се апроксимира линейно за двете работни области – отпушен и запушен диод. Тези области могат да се представят със следните аналитични изрази и еквиваленти схеми.

- **област – 1. Това е областта когато диода е запушен:**

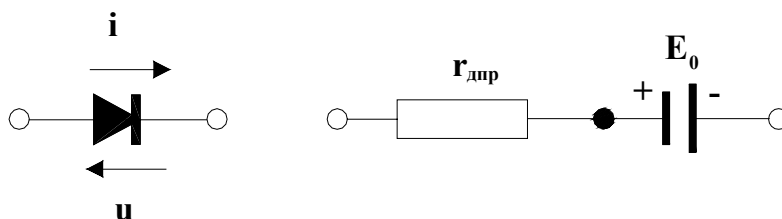
$$i_{\text{обр}} = I_{\text{до}} + \frac{u}{r_{\text{добр}}} \quad (2.2)$$



фиг. 2.3

- **област – 2. Това е областта когато диода е отпушен.**

$$i_{\text{пр}} = \frac{u - E_0}{r_{\text{дпр}}} \quad (2.3)$$



фиг. 2.4

Където:

- i, u – моменти стойности на тока и напрежението на диода;
- $r_{\text{дпр}}$ и $r_{\text{добр}}$ – право и обратно съпротивление на диода;
- E_0 – характеризира големината на отрязъка от оста на напрежението, отсечен от идеализираната характеристика на диода и се нарича напрежение на отместване.

$$I_{\text{до}} = 20 \mu\text{A} \text{ - за Ge диоди}$$

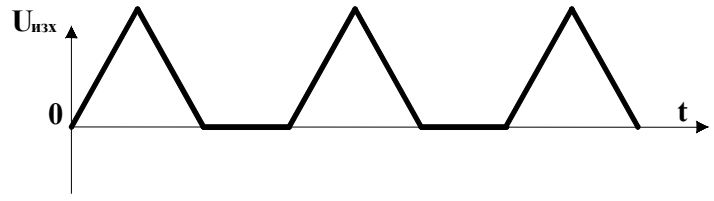
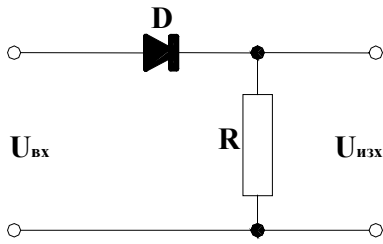
$$I_{\text{до}} < 1 \mu\text{A} \text{ - за Si диоди}$$

2.3. Последователни диодни ограничители - едностранни и двустранни. Преходни процеси.

Последователни ограничители се наричат диодни ограничители, изходното напрежение на които се взема от краищата на ограничителния резистор.

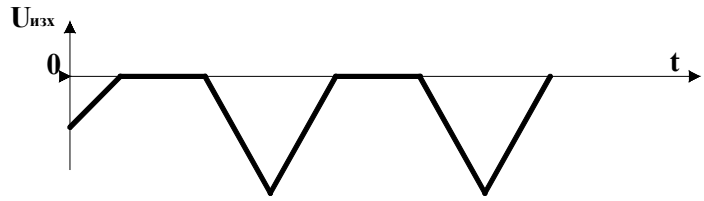
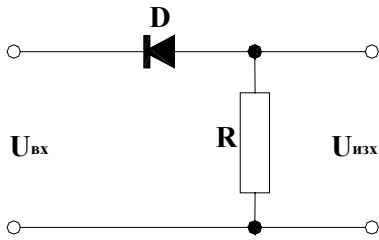
2.3.1. Схеми на едностранни диодни последователни ограничители с ниво на ограничение равно на нула.

Ограничението се извършва при преминаване на диода от отпушено в запушено състояние, което се приема че става при съпротивление анод-катод, равно на нула. За изменение на нивото на ограничение към схемите се добавят източници на опорно напрежение. [2]



фиг. 2.5

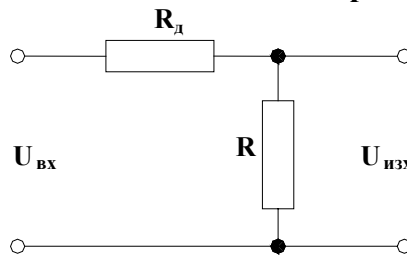
- При $U_{вх} > 0$ - диода се отпушва и $U_{изх} = U_{вх}$
- При $U_{вх} \leq 0$ - диода се запушва и $U_{изх} = 0$



фиг. 2.6

- При $U_{вх} > 0$ - диода се запушва и $U_{изх} = 0$
- При $U_{вх} \leq 0$ - диода се отпушва и $U_{изх} = U_{вх}$

2.3.2 Еквивалентна схема на последователен диоден ограничител.



фиг. 2.7

$$U_{изх} \frac{U_{вх}}{R_d + R} \cdot R = U_{вх} \frac{1}{1 + \frac{R_d}{R}} \quad (2.4)$$

- При $U_{вх} > 0$ - диода е отпушен и $R_d = R_{дпр}$.

$$U_{изх} = U_{вх} \frac{1}{1 + \frac{R_{дпр}}{R}} = U_{вх} \quad (2.5)$$

$$\text{НО: } \frac{R_{дпр}}{R} \ll 1 \quad (2.6)$$

Извод: За да се предава безпрепятствено входният сигнал трябва $R_{дпр} \ll R$.

- При $U_{вх} \leq 0$ - диода е запушен и $R_d = R_{добр}$

$$U_{\text{изх}} = U_{\text{вх}} \frac{1}{1 + \frac{R_{\text{добр}}}{R}} = 0 \quad (2.7)$$

$$\frac{R_{\text{добр}}}{R} \gg 1 \quad (2.8)$$

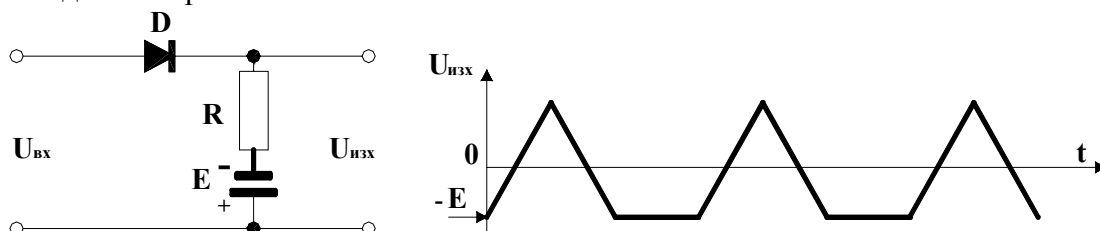
Извод: За да се предава безпрепятствено входният сигнал, трябва $R_{\text{добр}} \gg R$.
Необходимото условие за ограничение е:

$$R_{\text{дпр}} \ll R \ll R_{\text{добр}} \quad (2.9)$$

Разгледаното ограничение е спрямо нулево ниво. За изменение на нивото на ограничение към схемите се добавят източници на опорно напрежение.

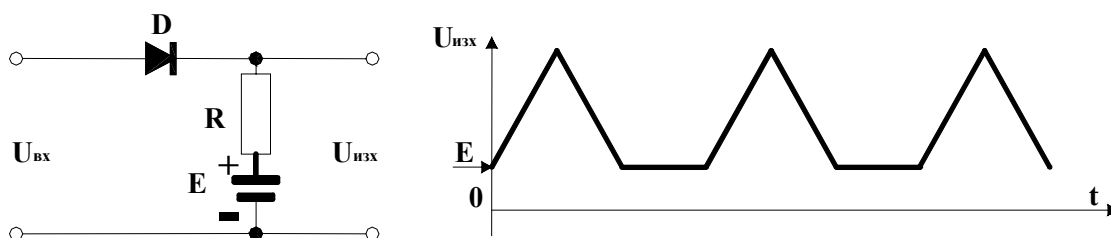
2.3.3 Схеми на последователни ограничители с положително и отрицателно опорно напрежение.

Приложеното напрежение определя нивото на ограничение, а начина на включване определя видът на ограничителя.



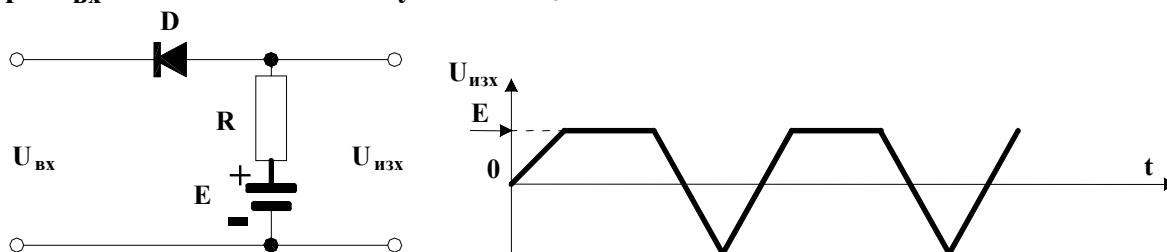
фиг. 2.8

- При $U_{\text{вх}} \geq -E$ - диода е отпушен и $U_{\text{изх}} = U_{\text{вх}}$
- При $U_{\text{вх}} < -E$ - диода е запушен и $U_{\text{изх}} = -E$



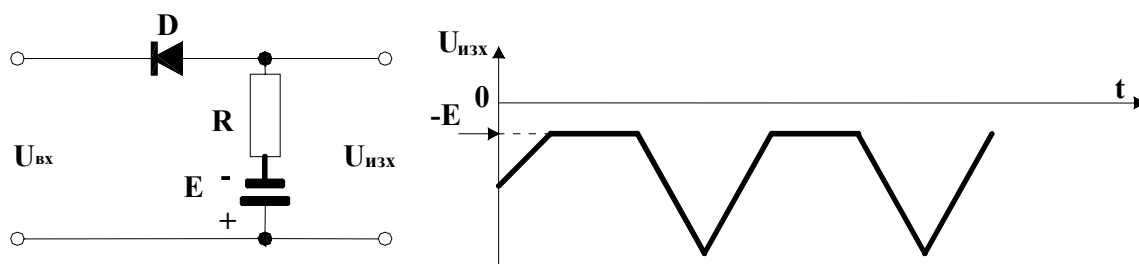
фиг. 2.9

- При $U_{\text{вх}} \geq E$ - диода е отпушен и $U_{\text{изх}} = U_{\text{вх}}$
- При $U_{\text{вх}} < E$ - диода е запушен и $U_{\text{изх}} = E$



фиг. 2.10

- При $U_{\text{вх}} \leq E$ - диода е отпушен и $U_{\text{изх}} = U_{\text{вх}}$
- При $U_{\text{вх}} > E$ - диода е запушен и $U_{\text{изх}} = E$



фиг. 2.11

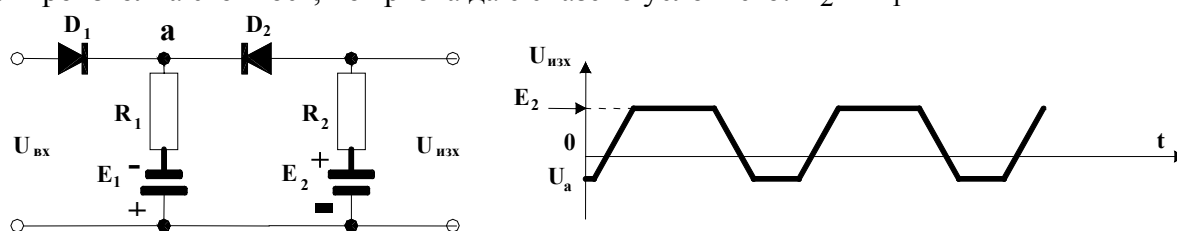
- При $U_{вх} \geq -E$ - диода е запушени и $U_{изх} = -E$
- При $U_{вх} < -E$ - диода е отпушен и $U_{изх} = U_{вх}$

Последователната схема на диоден ограничител има предимството, че източникът на опорно напрежение е свързан серийно с високоомния резистор R, така че за нормалната работа на ограничителя не е необходимо вътрешно съпротивление на източника да е малко.

2.3.4. Двустранни последователни диодни ограничители.

Те се получават, чрез последователно свързване на два едностранни последователни ограничителя с подходящо избрани нива на ограничение.

Схема на двустранен последователен ограничител, при който нивата на ограничение могат да имат произволна стойност, но трябва да е спазено условието: $R_2 > R_1$



фиг. 2.12

Горното ниво на ограничение на двустранен последователен ограничител е приблизително равно на E_2 , а долното ниво се задава с израза:

$$\frac{E_2 R_1 - |E_1| R_2}{R_1 + R_2} \quad (2.10)$$

- Ако напрежението в т. а е $U_a > E_2$ - диодът D_2 се запушва и $U_{изх} = E_2$
- Ако напрежението в точка а, е в границите $U_{вх} < U_a < E_2$ - диодите D_1 и D_2 са отпушени и $U_{изх} = U_{вх}$.
- Ако напрежението в т. а е $U_a > U_{вх}$ - диодът D_1 е запушен и $U_{изх} = U_a$

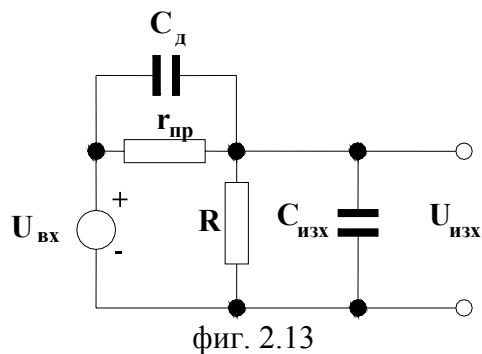
2.3.5. Преходни процеси при последователни диодни ограничители.

Съществено влияние върху действието на последователният ограничител оказват капацитета на диода и изходния капацитет на схемата $C_{изх}$. Изходният капацитет на схемата се състои от монтажния капацитет и входния капацитет на следващото стъпало. Приемаме, че диодът е безинерционен. Влиянието на паразитните капацитети върху действието на схемата се проявява в най-силна степен при бързи (скокообразни) изменения на входното напрежение. Поради това се разглежда случай при който на входа на последователен диоден ограничител действа правоъгълно напрежение с размах $U_{вх}$ и безкрайно малка продължителност на фронтите. Ако приемем че вътрешното съпротивление на източника е равно на нула, то в

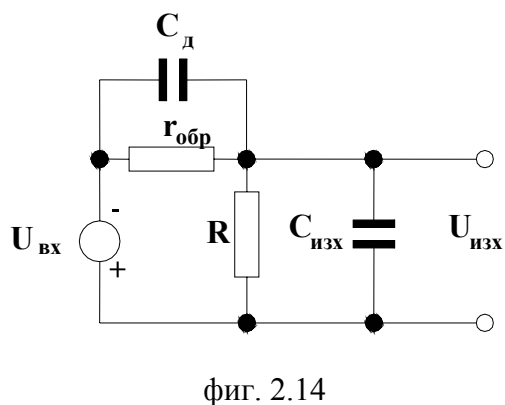
моментите на скоковете на $U_{вх}$, изходното напрежение ще се променя със скок и със стойност, която се определя от капацитивния делител C_d , $C_{изх}$. След скока изходното напрежение се изменя по експоненциален закон и се стреми към стойност определена от резисторният делител r_d , R . [7][12]

Еквивалентни схеми при отпушен и при запушен диод:

а) Еквивалентна схема при отпушен диод



б) Еквивалентна схема при запушен диод



Тъй като обикновено обратното съпротивление на диода ($r_{обр}$) е много по-голямо от R , то при анализа се пренебрегва. Съгласно общата теория на преходните процеси в линейните вериги от I-ви ред, решението може да се запише в следния вид:

$$U_{изх}(t) = U(\infty) + [U(0) - U(\infty)]e^{-\frac{t}{\tau}} \quad (2.11)$$

Следователно при положителен входен импулс, изходното напрежение за схемата на фиг. 2.14 се дава с израза:

$$U_{изх} = U_{вх} \frac{R}{r_{пр} + R} + \left(U_{вх} \frac{C_d}{C_d + C_{изх}} - U_{вх} \frac{R}{r_{пр} + R} \right) e^{-\frac{t}{R_e C_e}} \quad (2.12)$$

където:

$$\tau = R_e C_e$$

$$C_e = C_d + C_{изх}$$

$$R_e = r_{пр} R / (r_{пр} + R) \quad (2.13)$$

$$r_{обр} \gg R \quad (2.14)$$

$$U_{\text{изх}}(\infty) = U_{\text{вх}} \frac{R}{r_{\text{пр}} + R} \quad (2.15)$$

$$U_{\text{изх}}(0) = U_{\text{вх}} \frac{C_{\text{д}}}{C_{\text{д}} + C_{\text{изх}}} \quad (2.16)$$

За изходното напрежение при отрицателен входен импулс, като се има предвид че:

$$U_{\text{вх}} \frac{R}{r_{\text{пр}} + R} \approx U_{\text{вх}} \quad (2.17)$$

$$U_{\text{изх}}(\infty) = 0$$

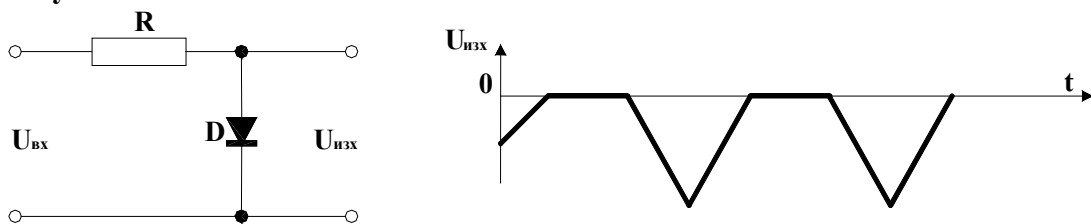
се получава:

$$U_{\text{изх}} = \left(U_{\text{вх}} - U_{\text{вх}} \frac{C_{\text{д}}}{C_{\text{д}} + C_{\text{изх}}} \right) e^{-\frac{t}{R(C_{\text{д}} + C_{\text{изх}})}} \quad (2.18)$$

2.4. Паралелни диодни ограничители – едностранни и двустранни. Преходни процеси

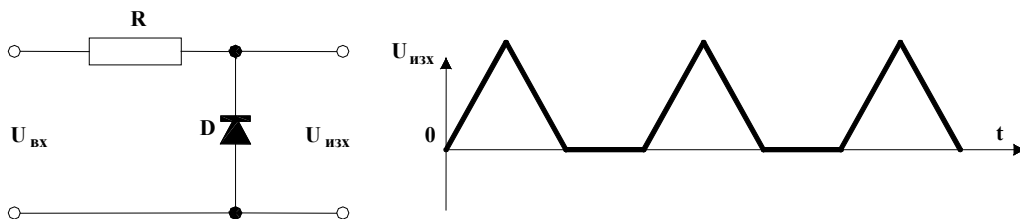
Паралелни диодни ограничители се наричат диодни ограничители изходното напрежение на които се взема от краищата на диода.

2.4.1. Схеми на едностранни паралелни диодни ограничители с ниво на ограничение равно на нула.



фиг. 2.15

- При $U_{\text{вх}} > 0$ - Диодът е отпушен и $U_{\text{изх}} = 0$
- При $U_{\text{вх}} < 0$ - Диодът е запушен и $U_{\text{изх}} = U_{\text{вх}}$

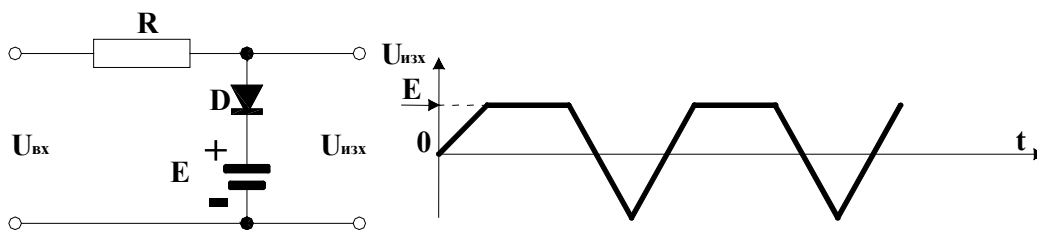


фиг. 2.16

- При $U_{\text{вх}} > 0$ - Диодът е запушен и $U_{\text{изх}} = U_{\text{вх}}$
- При $U_{\text{вх}} < 0$ - Диодът е отпушен и $U_{\text{изх}} = 0$.

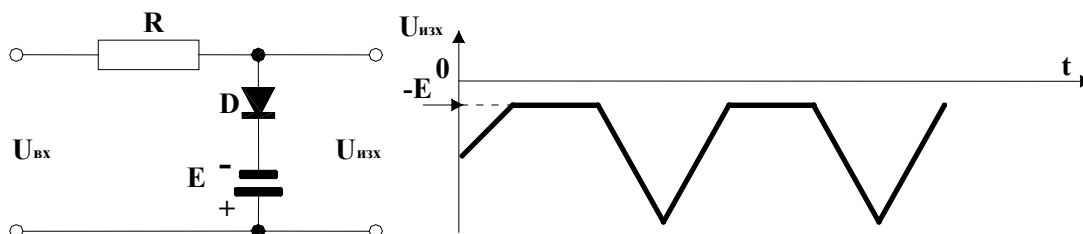
Ограничаването при тези схеми се извършва при преминаването на диода от отпушено в запушено състояние, което премаме че става при напрежение анод – катод, равно на нула. Ако искаме да изменим нивото на ограничаване, към схемата на ограничителя трябва да се добави източник на опорно напрежение. Този източник ще определя нивото на ограничаване.

2.4.2 Схеми на паралелни диодни ограничители с положително и отрицателно опорно напрежение:



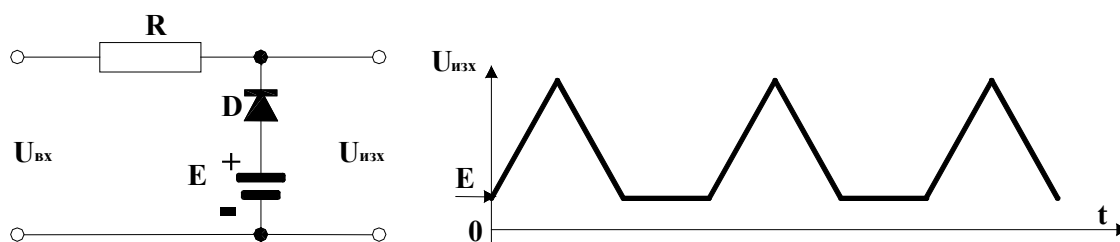
фиг. 2.17

- При $U_{вх} \leq E$ - Диодът е запушен и $U_{изх} = U_{вх}$
- При $U_{вх} > E$ - Диодът е отпушен и $U_{изх} = E$



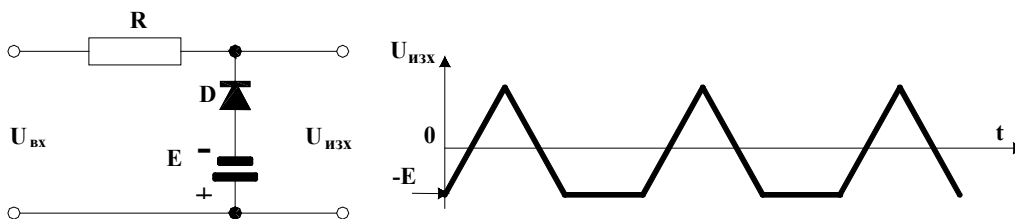
фиг. 2.18

- При $U_{вх} > -E$ - Диодът е отпушен и $U_{изх} = -E$
- При $U_{вх} \leq -E$ - Диодът е запушен и $U_{изх} = U_{вх}$



фиг. 2.19

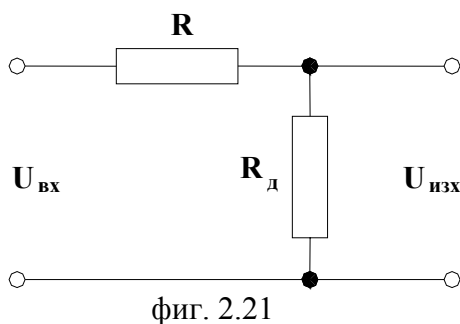
- При $U_{вх} \leq E$ - Диодът е отпушен и $U_{изх} = E$
- При $U_{вх} > E$ - Диодът е запушен и $U_{изх} = U_{вх}$



фиг. 2.20

- При $U_{вх} \geq -E$ - Диодът е запушен и $U_{изх} = U_{вх}$
- При $U_{вх} < -E$ - Диодът е отпушен и $U_{изх} = -E$

Тъй като реалните диоди не са идеални вентили, кривите показващи изходното напрежение не са така идеални, както са показани на по-горните схеми. Това се доказва, чрез използване на линейната характеристика на диода и като се построи еквивалентна схема на паралелен диоден ограничител. Необходимо е да се вземе под внимание и влиянието на товара на изхода.



$$U_{изх} = i \cdot R_{д} = \frac{U_{вх}}{R + R_{д}} \cdot R_{д} = U_{вх} \frac{1}{1 + \frac{R}{R_{д}}} \quad (2.19)$$

- Първи случай $U_{вх} > 0$. Диодът е отпушен и $R_{д} = R_{дпр}$ и е от порядъка на стотици ома.

$$U_{изх} = U_{вх} \frac{1}{1 + \frac{R}{R_{дпр}}} \approx 0 \quad (2.20)$$

ако:

$$\frac{R}{R_{дпр}} \gg 1 \quad (2.21)$$

Извод: За да се получи ограничение от горе е необходимо да се спази следното условие: $R \gg R_{дпр}$

- Втори случай $U_{вх} < 0$. Диодът е запушен и $R_{д} = R_{добр}$ и е от порядъка на мегаома.

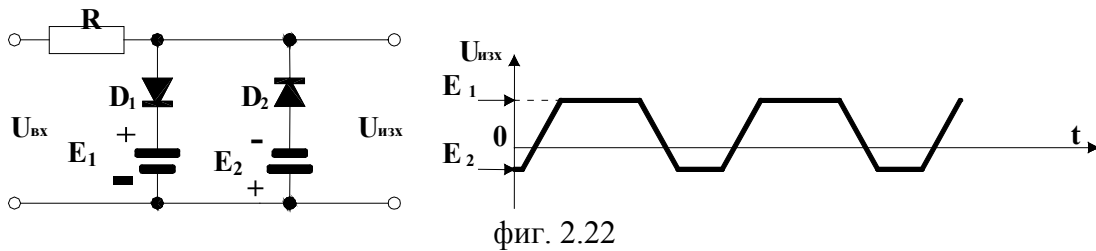
$$U_{изх} = U_{вх} \frac{1}{1 + \frac{R}{R_{добр}}} \approx U_{вх} \quad (2.22)$$

Извод: Условието за пропускане на сигнала в тази част е: $R \ll R_{добр}$.

2.4.3. Схеми на двустранни паралелни диодни ограничители.

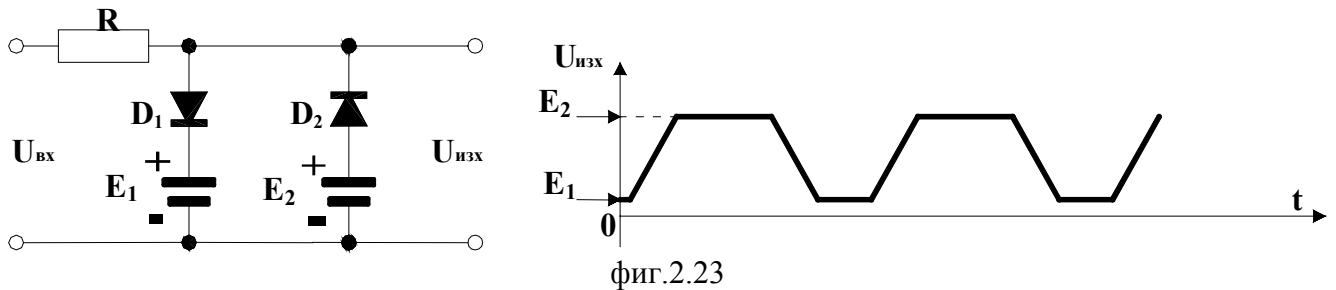
Двустранните ограничители се състоят в същност от два едностранни ограничителя, които имат общ ограничителен резистор.

Схема на двустранен паралелен ограничител, при който едното опорно напрежение е положително, а другото е отрицателно:



- При $U_{ВХ} = 0$ - Диода D_1 е запушен, диода D_2 също е запушен и $U_{ИЗХ} = U_{ВХ}$.
- При $U_{ВХ} > E_1$ - Диода D_1 е отпушен, а диода D_2 е запушен и $U_{ИЗХ} = E_1$.
- При $U_{ВХ} < -E_2$ - Диода D_1 е запушен, а диода D_2 е отпушен и $U_{ИЗХ} = -E_2$.

Схема на двустранен паралелен ограничител, при който и двете опорни напрежения са с положителен поляритет. В този случай се ограничава двустранно само положителната полуълна на входното напрежение.

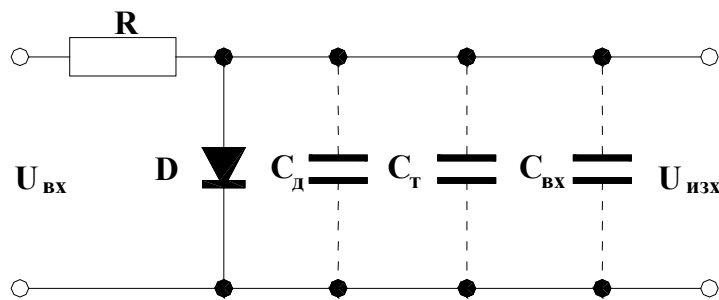


- Необходимо е да е изпълнено условието: $E_2 > E_1$.

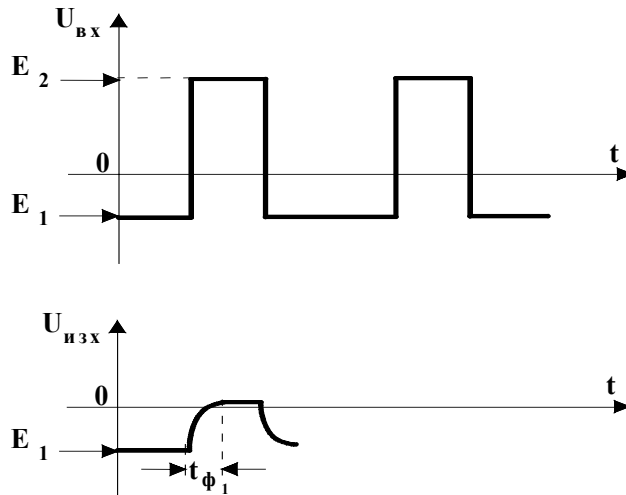
2.4.4. Преходни процеси при паралелни диодни ограничители.

Причините довеждащи до закъснение на изходните сигнали спрямо входните са следните:

- Влияние на паразитните капацитети
- Влияние на инерционността на диода – процесите не се извършват мигновено.



фиг. 2.24



фиг. 2.25

В момента когато входното напрежение стане равно на нула ($U_{вх} = 0$) диодът се отпушва. Изходното напрежение ($U_{изх}$) също става равно на нула, тъй като диодът шунтира изходната верига.

Тогава:

$$U_{изх}(t) = U(\infty) - (U(\infty) - U(0))e^{-\frac{t}{\tau}} = E_2 - (E_2 + E_1)e^{-\frac{t}{\tau}} \quad (2.23)$$

$$U_{\infty} = E_2 \quad (2.24)$$

$$U_0 = -E_1$$

В момента на отпушване на диода:

$$U_{изх}(t) = E_2 - |E_2 + E_1|e^{-\frac{t}{\tau}} = 0 \quad (2.25)$$

$$e^{\frac{t}{\tau}} = \frac{E_2}{E_2 + E_1} \quad (2.26)$$

$$t_{\phi 1} = \tau \ln \frac{E_2 + E_1}{E_2} \quad (2.27)$$

Ако : $|E_1| = |E_2|$

$$\ln \frac{E_2 + E_1}{E_2} = \ln 2 = 0,7 \quad (2.28)$$

тогава:

$$t_{\phi 1} = 0,7\tau = 0,7RC_0 \quad (3.29)$$

В момента, когато входното напрежение стане равно на напрежението E_2 и се стреми към напрежение E_1 – започва разряд на кондензатора C_e ($C_e = C_d + C_T + C_{вх}$) през R до напрежение E_1 по експоненциален закон.

$$U_{\text{изх}}(t) = U(\infty) - (U(\infty) - U(0))e^{-\frac{t}{\tau}} = -E_1 \left(1 - e^{-\frac{t}{\tau}} \right)$$

$$U(\infty) = -E_1$$

$$U(0) = 0 \tag{2.30}$$

$$t_{\phi 2} \approx 3 \cdot \tau = 3RC_e$$

$$t_{\phi 1} \ll t_{\phi 2}$$

Изследването се извършва, като се допуска, че диодът е идеален ключ и не се отчита неговата инерционност. Превключването му не става мигновено поради процесите, протичащи в него. Предният фронт $t_{\phi 1}$ се дължи на постепенното натрупване на заряди в p-n прехода. Задният фронт $t_{\phi 2}$ се дължи на разсейването на неосновните носители. [2][3][4]

2.4.5. Приложение на диодните ограничители.

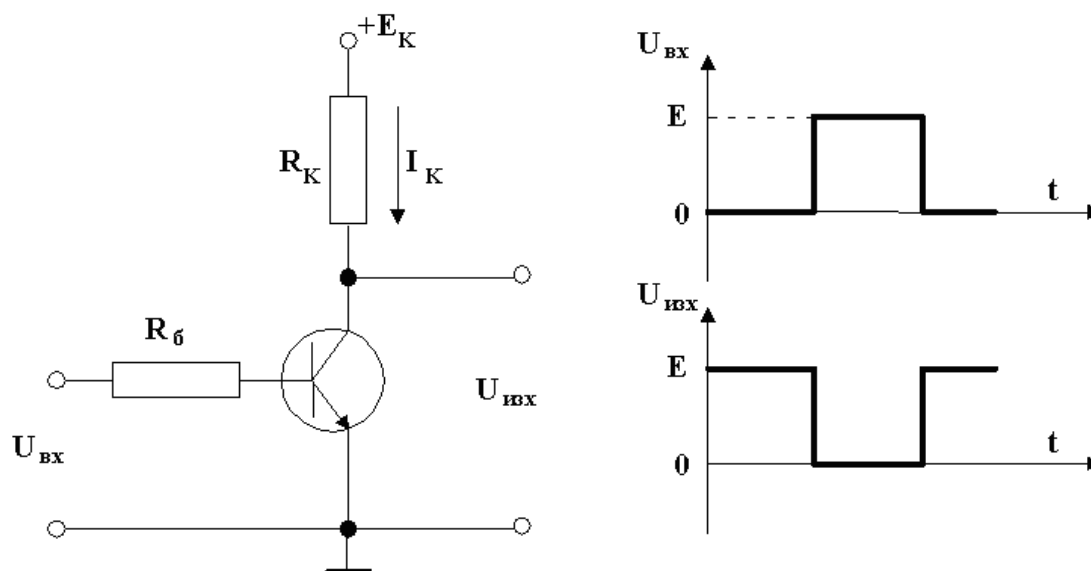
- За формиране на импулсни сигнали от напрежение със синусоидална форма. За целта синусоидалния сигнал се подава на входа на ограничителя, а на изхода му се получава трапецовиден сигнал.
- За скъсяване на фронта на импулсни сигнали.
- За селекция на импулсни сигнали по амплитуда. Най-типичен случай е амплитудния селектор за отделяне на синхроимпулсите в телевизионните приемници.

3. Ключови схеми с биполярни транзистори – схеми на свързване, режим при схема обща база.

Биполярните транзистори са най-често прилаганите активни елементи в импулсната техника. Те се използват, както в схемите на импулсните усилватели, така и в ключови схеми. В ключовите схеми транзистора се намира в две възможни състояния: отпушен и запушен. [7][12]

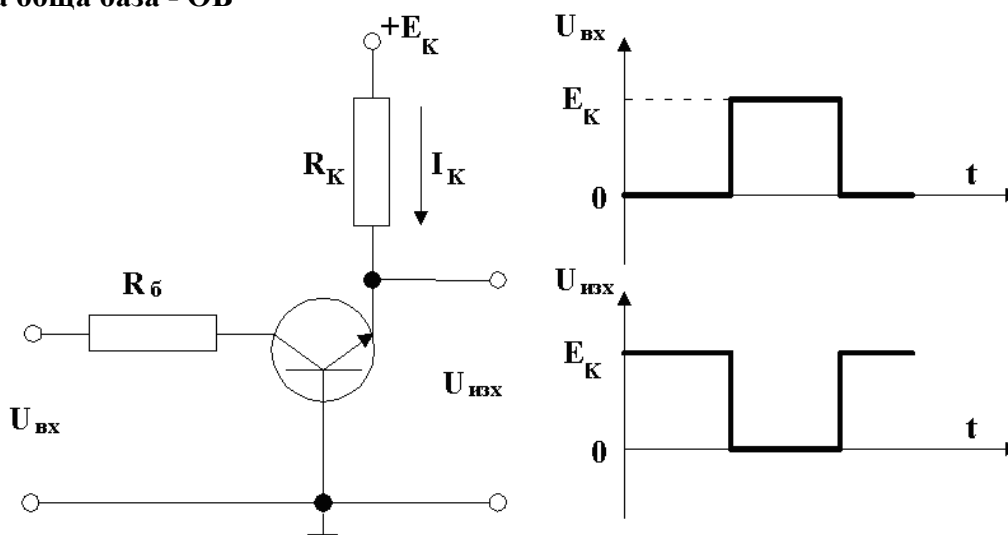
3.1. Схеми на възможните начини на свързване на транзистора в ключови схеми.

- Схема общ емитер - ОЕ



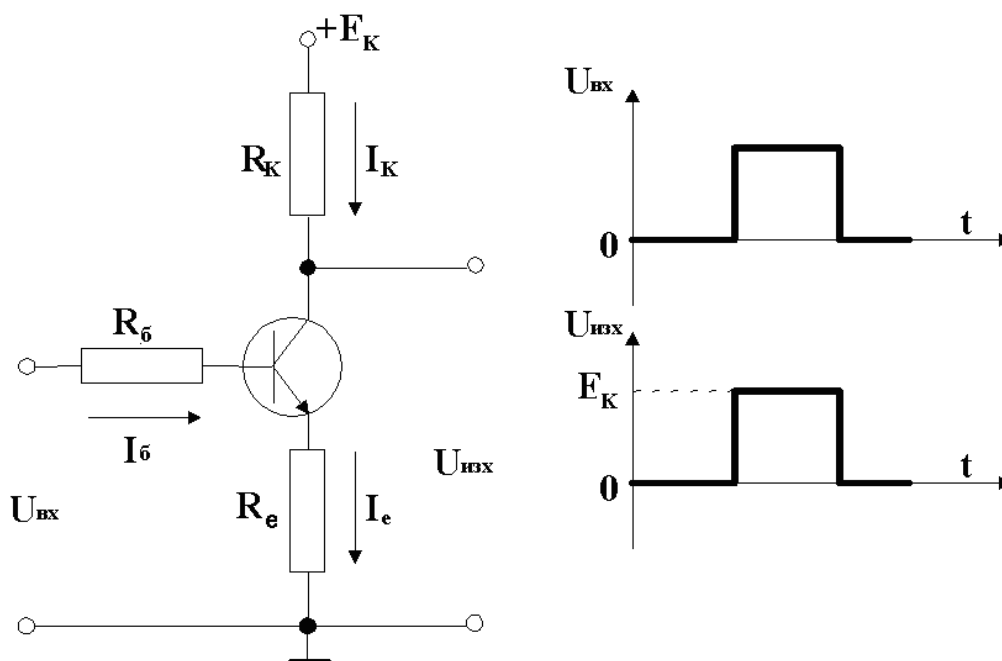
фиг. 3.1

- Схема обща база - ОБ



фиг. 3.2

- Схема общ колектор – ОК

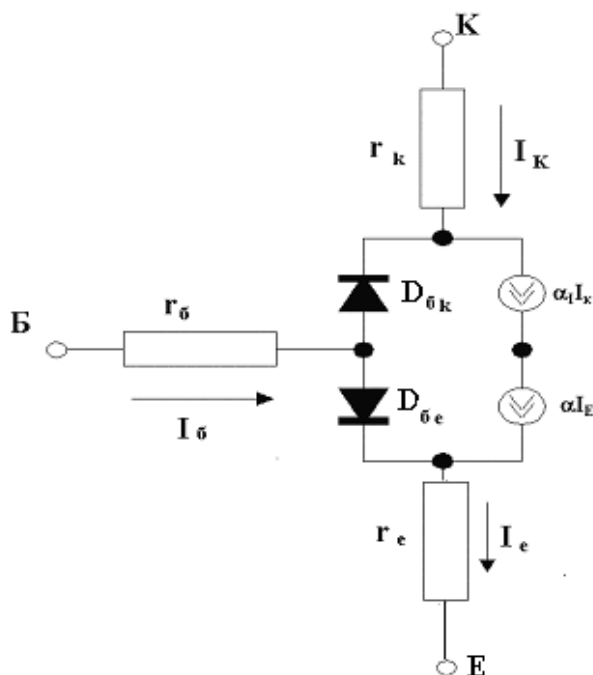


фиг. 3.3

На практика най-често се използва схема общ емитер. Ключът в тази схема може да се разглежда като инвертор, тъй като изходното напрежение е с противоположно ниво на входното.

При разглеждане работата на транзистора в ключов режим е удобно да се използва опростена еквивалентна схема, в която транзисторът се представя като два диода свързани между вътрешната точка на базата В, колектора С и емитера Е.

Еквивалентна схема:



фиг. 3.4

Параметрите r_e и r_k са съпротивленията на полупроводниковия материал, съответно на колектора и на емитера. Действието на транзистора в еквивалентната схема се реализира от двата генератора на ток. Еквивалентната схема на транзистор от типа р-п-р е същата, с тази разлика, че диодите са свързани обратно и съответно токовете протичат в обратни посоки.

Когато транзисторът работи в активен режим, емитерният преход е отпушен и в базата се инжектират електрони, по-голямата част от които достигат до колектора. КOLEKTOРНИЙ преход е запушен. В еквивалентната схема ефектът на пренасяне на електроните в колекторната верига се реализира от генератора на ток αI_E . [1][5][6][7]

Възможно е транзисторът да работи в инверсен режим, при което колекторния преход инжектира електрони в базата, а емитерния преход ги събира. В този случай ефектът на пренасяне на електроните се изпълнява от генератора на ток $\alpha_I I_k$. Тук α_I е коефициентът на усилване на транзистора при инверсно свързване. Обикновено транзисторите са несиметрични, като площта при колекторния преход е по-голяма от площта на емитерния преход. Поради което, α_I е по-малък от α . Най-често $\alpha_I = (0,3 \div 0,8)$. По същата причина r_k е по-малко от съпротивлението r_e . От еквивалентната схема могат да се запишат следните уравнения.

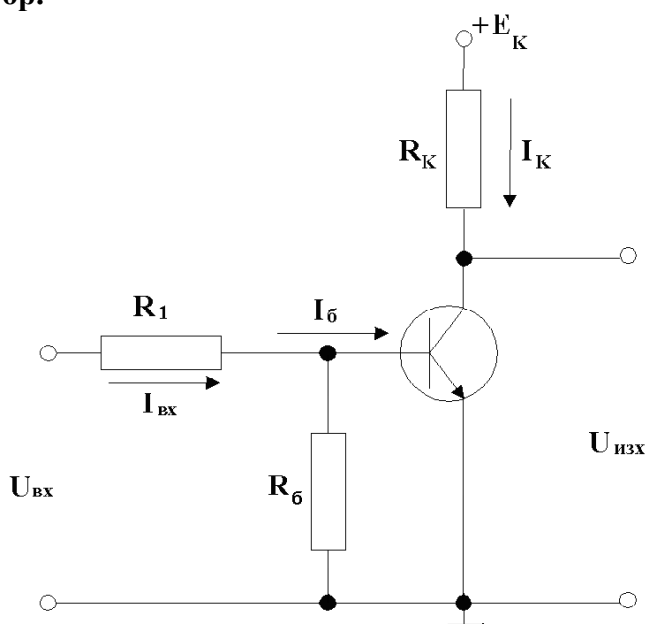
$$I_e = \alpha_I I_k + I_{\delta e} = \alpha_I I_k + I_{e0} \left(e^{\frac{U_{be}}{n\varphi}} - 1 \right) \quad (3.1)$$

$$I_i = I_e - I_k \quad (3.2)$$

$$I_k = \alpha I_e - I_{\delta k} = \alpha I_e - I_{k0} \left(e^{-\frac{U_{cb}}{m\varphi}} - 1 \right) \quad (3.3)$$

- Тук U_{be} и U_{cb} са напреженията съответно на емитерният и колекторният преход.
- I_{e0} - това е обратният (топлинен) ток на емитера при прекъсване на колектора ($I_k=0$).
- I_{k0} - това е обратният (топлинен) ток на колектора при прекъсване на емитера ($I_e=0$).

3.2. Запушен транзистор.



фиг. 3.5

3.3. Наситен транзистор.

При увеличаване на тока на базата $I_{\bar{b}}$ съответно се увеличава колекторния ток I_k и се намалява напрежението U_{ke} . Работната точка на транзистора се премества на горе по товарната права т. е. транзисторът започва да работи в активен режим (област I). За него е в сила равенството:

$$I_k = \beta I_{\bar{b}} \quad (3.8)$$

В точка В транзисторът работи в активен режим. Преходът база-емитер е отпушен, а прехода база-колектор е запушен. При това:

$$U_{ke} = E_k - I_k R_k \quad (3.9)$$

$U_{be} > 0$ и $U_{kb} < 0$

При следващо увеличаване на базовия ток се достига до такава работна точка в която напрежението на колектора спада до толкова, че се отпушва и прехода база-колектор на транзистора. и тогава е в сила формулата:

$$I_k \neq \beta I_{\bar{b}} \quad (3.10)$$

Състоянието при което се отпушват едновременно и двата прехода на транзистора се нарича наситен режим на работа. При него $I_{\bar{b}}$ и I_k са свързани с неравенството:

$$I_{\bar{b}s} > \frac{I_{ks}}{\beta} \quad (3.11)$$

Индекса s означава, че формулите се отнасят за режим на насищане на транзистора. Граница на режима на насищане е работната точка, от която престава да се изпълнява равенството:

$$I_k \neq \beta I_{\bar{b}} \quad (3.12)$$

Работната точка на транзистора в наситен режим се намира на линията на насищане или непосредствено до нея (област II). Линията на насищане се определя от равенството:

$$U_{ks} = I_{ks} r_s \quad (3.13)$$

където: $r_s = r_k + r_e$ е съпротивлението на наситения транзистор (няколко ома).

$$\text{От } I_{\bar{b}s} > \frac{I_{ks}}{\beta} \quad (3.14)$$

Следователно, за работата на транзистора в наситен режим е необходимо да се осигури известно съотношение на базовия и на колекторния ток, без да е от значение абсолютната им стойност. Режим на насищане може да се осъществи даже и при работа в областта на микротоковете. За характеризирание на дълбочината на насищане се въвежда параметърът степен на насищане – S.

$$S = \frac{\beta I_{\bar{b}s}}{I_{ks}} \quad (3.15)$$

Обикновено S се избира в границите от 1.5 до 2, като най-често е 1.5. Колекторният ток в наситен режим е:

$$I_{ks} = \frac{(E_k - U_{ks})}{R_k} \approx \frac{E_k}{R_k} \quad (3.16)$$

Базовият ток е:

$$I_{\bar{b}s} = S \frac{I_{ks}}{\beta} = S \frac{E_k}{\beta R_k} \quad (3.17)$$

Този базов ток протича при подаване на входно напрежение равно на логическа единица, в случая приблизително равно на E_k . Още за базовият ток на насищане може да се запише, че:

$$I_{\bar{o}s} = \frac{(U_{\bar{o}xs} - U_{\bar{o}es})}{R_{\bar{o}} + r_{\bar{o}xs}} \quad (3.18)$$

Напрежението на прехода база–емитер в наситен режим е:

$$U_{\bar{o}es} \approx U_{\bar{o}eo} \quad (3.19)$$

Изходното напрежение на наситения транзистор е много малко и е равно на съпротивлението r_s . Напрежението между колектора и емитера U_{ks} на наситения транзистор се определя от електрическият еквивалент на носителите.

От графиката $I_k = f(U_{ke})$ се вижда, че точка С отговаря на наситен транзистор. Условието за насищане е:

$$U_{ks} = I_{\bar{o}s} r_e - U_{\bar{o}e} - U_{k\bar{o}} + \frac{I_{ks}}{r_e} \quad (3.20)$$

$$I_{\bar{o}} \geq I_{\bar{o}нас} \quad (3.21)$$

Изводи:

- U_{ks} на наситения транзистор е много малко (милivolти – до части от волта) и нараства с увеличаване на токовете, протичащи през ключа.
- U_{ks} при Si транзистори е по-високо, отколкото при Ge, тъй като съпротивленията r_e и r_k и коефициентът m , имат по-големи стойности.
- При инверсно включване на транзистора U_{ks} е значително по-ниско и практически е :

$$U_{ks} \approx I_{\bar{o}s} r_k + I_{es} (r_k + r_e) \quad (3.22)$$

Тъй като:

$$\begin{aligned} \alpha &> 1 \\ \ln \alpha &\approx 0 \end{aligned} \quad (3.23)$$

то разликата на напреженията на колектора при превключване от режим на запусване в режим на насищане е:

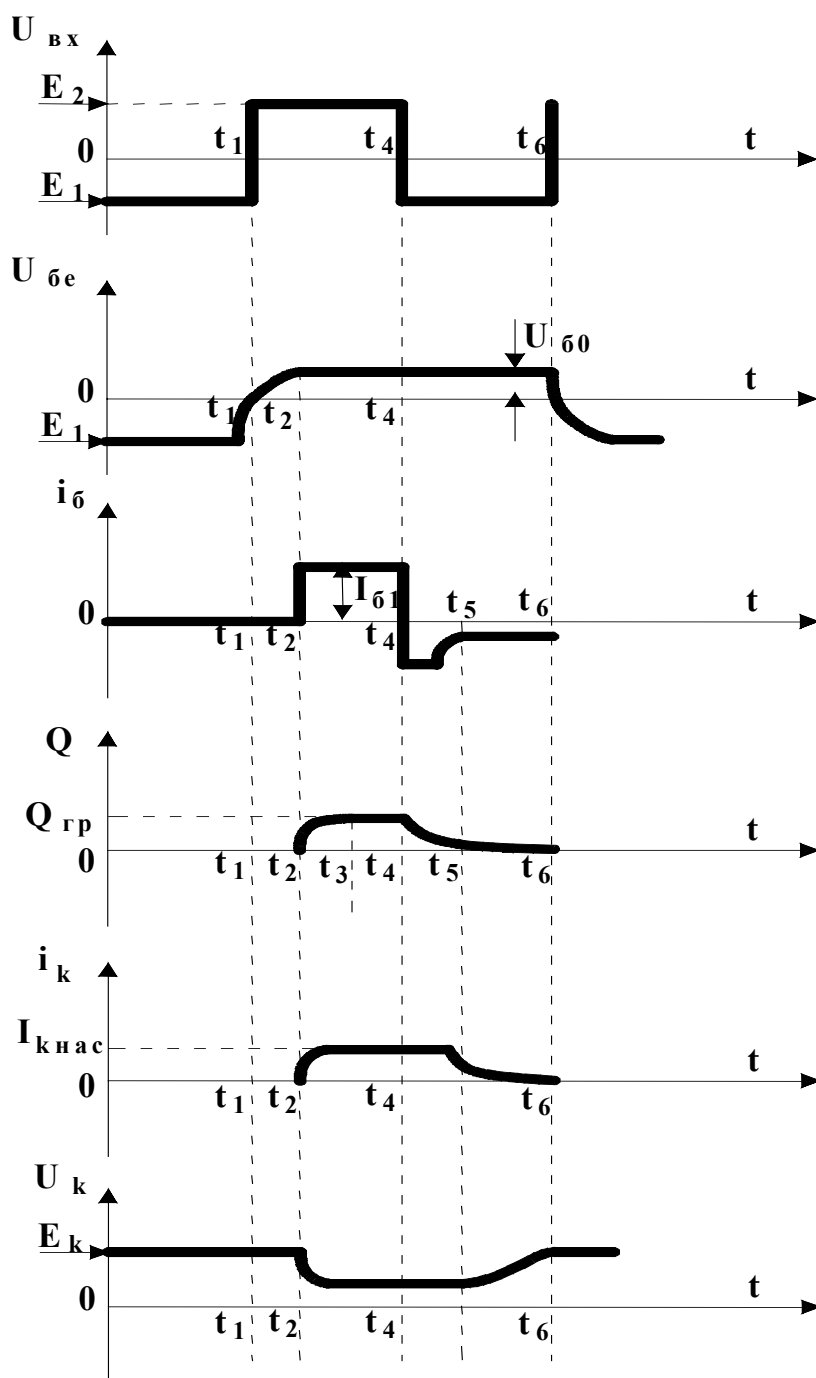
$$U_{uzx} = E_k - I_{ko} R_k - U_{kes} \approx E_k \quad (3.24)$$

3.4. Ключови схеми с биполярни транзистори – преходни процеси.

Съществуват две причини за забавяне на изходния сигнал спрямо входния:

- **Паразитните капацитети**
- **Инерционността на транзистора**, т. е. натрупването на неосновни токоносители в областта на базата.

Влиянието на паразитните капацитети при добре оразмерени вериги е малко. На фиг. 3.7 са показани времедиаграмите, описващи работата на биполярен транзистор в ключов режим.



фиг. 3.7

В изходно състояние транзисторът е запущен, под действието на запущащо входно напрежение: $U_{вх} = E_1 < 0$. [7] [9]

В момента t_1 входното напрежение нараства със скок до $U_{вх} = E_2$ и преходът база – емитер на транзистора се отпушва. От момента t_1 , колекторният ток $I_k(t)$ започва да расте пропорционално на заряда Q в базата и на изходното напрежение U_k . Започва да се формира нарастващият фронт $t_{ф1}$. Паразитният капацитет забавя началото на отпушване на запущения

транзистор. Разглеждаме биполярен транзистор. Q е зарядът в областта на базата. В момента t_1 се извършва превключване на входния сигнал. [1][7][12]

В момента от t_1 до t_2 преходът база–емитер се отпушва и протича базисен ток. Паразитните капацитети C_e и C_k се презареждат.

В момента t_2 преходът база–емитер се отпушва. Започва да тече базисен ток:

$$I_{\beta 1} = \frac{E_2 - U_{\beta e}}{R_{\beta}} \approx \frac{E_2}{R_{\beta}} \quad (3.25)$$

Времето на закъснение при отпушване t_{30} се определя по следния начин:

$$U_{\beta e}(t) = U(\infty) - (U(\infty) - U_0)e^{-\frac{t}{\tau}} \quad (3.26)$$

$$\tau_e = R_{\beta}(C_e + C_k) \quad (3.27)$$

$$t = t_{30}$$

$$U(0) = -E_1 \quad (3.28)$$

$$U(\infty) = E_2$$

Нека:

$$U_{\beta e}(t_{30}) = E_2 - [E_2 - (-E_1)]e^{-\frac{t}{\tau}} = E_0 \quad (3.29)$$

След това започва нарастване на базовия ток и натрупване на заряди в областта на базата до стойност Q, по експоненциален закон. Колекторния ток I_k също расте пропорционално на натрупването на заряди в базата.

$$\frac{E_2 - E_0}{E_2 + E_1} = e^{\frac{t}{\tau}} \quad (3.30)$$

$$t_{30} = \tau_e \ln \frac{E_1 + E_2}{E_2 - E_0} \quad (3.31)$$

От момента t_2 започва натрупване на заряди по експоненциален закон. Законът за изменението на заряда е:

$$C_k \frac{dU_k}{dt} + \frac{dQ}{dt} + \frac{Q}{\tau_{\beta}} = i_{\beta} \quad (3.32)$$

Базисният ток $i_{\beta} = I_{\beta 1}$ се изразходва за:

- Презареждане на кондензатора (изменение на заряда му) $C_k \frac{dU_k}{dt}$
- Изменение на заряда на базата $\frac{dQ}{dt}$
- За поддържане на вече натрупания заряд на неосновните токоносители $\frac{Q}{\tau_{\beta}}$

τ_{β} е дифузионна константа. Тя зависи от времето на живот на неосновните токоносители.

$$\tau_{\beta} = \frac{\beta}{2\pi f_T} \quad (3.33)$$

f_T е вътрешната честота на транзистора, за която усилването му е $\beta=1$.

Тъй като паразитните капацитети на прехода база–колектор са сравнително малки, влиянието на $C_k \frac{dU_k}{dt}$ е пренебрежително малко и може да се пренебрегне, в уравнението за i_b . Тогава това уравнение придобива вида:

$$\frac{dQ}{dt} + \frac{Q}{\tau_\beta} = i_b \quad (3.34)$$

Решението на това диференциално уравнение е от вида:

$$Q(t) = Q(\infty) - [Q(\infty) - Q(0)]e^{-\frac{t}{\tau_\beta}} = I_{\beta 1} \left(1 - e^{-\frac{t}{\tau_\beta}} \right) \quad (3.35)$$

$$Q(t_{3H}) = I_{\beta 1} \left(1 - e^{-\frac{t_{3H}}{\tau_\beta}} \right) = Q_{sp} = I_{\beta H} \quad (3.36)$$

Заедно с експоненциалното нарастване на зарядите започва изменение и на колекторния ток. В момента t_3 переходът база–колектор се отпущва и транзисторът се насища.

- $I_{\beta H}$ - граничен ток,
- t_{3H} - време на закъснение при насищане.
- $Q_{гр} = I_{\beta H} \cdot \tau_\beta$

От t_2 до t_3 транзисторът работи в активен режим.

$$I_{\beta 1} - I_{\beta 1} e^{-\frac{t_{3H}}{\tau_\beta}} = I_{\beta H}$$

$$e^{-\frac{t_{3H}}{\tau_\beta}} = \frac{I_{\beta 1} - I_{\beta H}}{I_{\beta 1}} \quad (3.37)$$

$$t_{3H} = \tau_\beta \ln \frac{I_{\beta 1}}{I_{\beta 1} - I_{\beta H}} \quad (3.38)$$

От t_3 до t_4 , транзисторът е в наситен режим. Продължава натрупването на заряди в базата по експоненциален закон, но с по-малък наклон.

В момента t_4 , започва превключването.

$$\tau_{нас} = \tau_\beta$$

$$Q(\infty) = I_{\beta 1} \cdot \tau_n < Q_1 = I_{\beta 1} \tau_\beta \quad (3.39)$$

От t_4 до t_5 в базата има достатъчно заряди $Q > Q_{гр}$. Транзисторът е все още в наситено състояние. Времето за разсейване на неосновните токоносители е до изравняване на Q и $Q_{гр}$.

От t_5 до t_6 се извършва разсейване на зарядите в базата до нула. С превключването на I_b тече ток в обратна посока, защото започва разсейване на натрупаните заряди. След това транзисторът се отпущва. До време $t = t_5$ в базата има достатъчно заряди и те поддържат тока I_k . През периода от t_4 до t_5 зарядите в базата са по-големи от граничния заряд т.е. $Q > Q_{гр}$.

В момента $t = t_5$ зарядът се изравнява с граничния такъв, т. е. $Q=Q_{Гр}$ и транзисторът влиза в активен режим. Колекторния ток намалява. Необходимо е продължителността на двата фронта $t_{\phi 1}$ и $t_{\phi 2}$ да е колкото е възможно по-малка. [1][2]

3.5. Ускоряване на превключването в транзисторните ключове.

3.5.1. Увеличаване на бързодействието на транзисторните ключове.

Бързодействието на транзисторните ключове е необходимо да бъде голямо поради следните причини:

- Ако елементът е бързодействащ, то се осигурява по-голяма максимална честота на системата, т. е. процесите няма да се застъпват.
- Времето t_{30} зависи от C_K , C_e и R_{ϕ} .
- Времето t_{3H} зависи от степента на насищане – S . То намалява с увеличаването на $I_{\phi 1}$ и $I_{\phi H}$.
- Времето t_{3p} зависи от $I_{\phi 1}$ и $I_{\phi H}$, но обратно. Колкото повече заряди са се натрупали, толкова по-дълго време ще се разсейват. Времето t_{3p} се увеличава с увеличаване на $I_{\phi 1}$

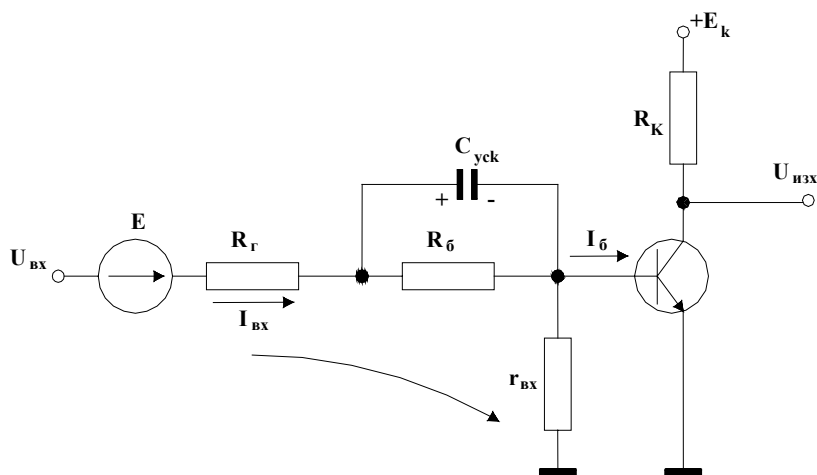
Съществуват принципно два начина за увеличаване на бързодействието:

- Чрез използване на по-бързодействащи транзистори, при които τ_B е по-малко, съответно f_T е по-голямо.
- Чрез схемни решения:
 - Транзисторен ключ с ускоряващ кондензатор
 - Транзисторен ключ с нелинейна обратна връзка
 - Транзисторен ключ с диоди на Шотки.

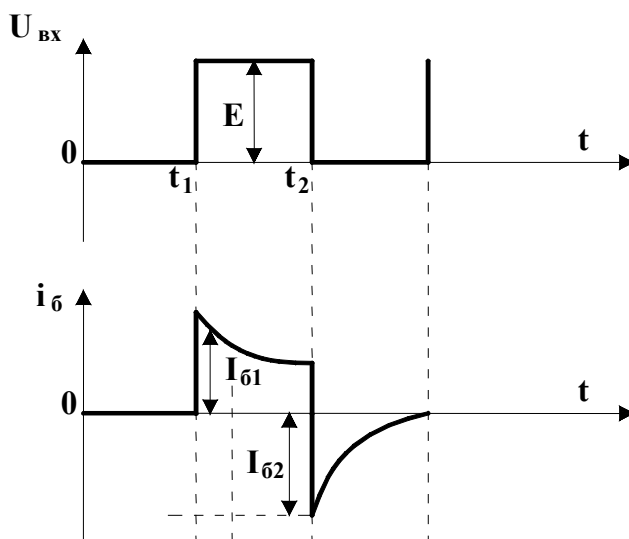
3.5.2. Транзисторен ключ с ускоряващ кондензатор.

Съществуват изисквания към I_{ϕ} за бързо превключване.

- Осигурява се бързо насищане когато $I_{\phi 1} > I_{\phi H}$;
- Осигурява се минимално натрупване на заряди свръх $Q_{Гр}$.



фиг.3.8



фиг.3.9

- Токът I_{B2} трябва да осигури бързо разсейване на зарядите в базата.

I_{B1} - начален базисен ток при превключване.

I_{BCT} - стационарен базисен ток

$$I_{B1} = \frac{E_1}{R_z + r_{ex}} \quad (3.40)$$

$$I_{BCT} = \frac{E_1 - U_{\beta e}}{R_{\beta} + R_z + r_{ex}} \quad (3.41)$$

Обикновено се избира : $I_{BCT} = I_{Bнас}$

При обратното превключване по време на импулса, кондензаторът $C_{уск}$ се зарежда от $i_{ВХ}$ до стойност:

$$U_c = E_1 - U_{\beta e} \cong E_1 \quad (3.42)$$

В момента t_2 входното напрежение е равно на нула и базовият ток е:

$$I_{B2} = \frac{U_c}{R_z + r_{ex}} \approx \frac{E_1}{R_z + r_{ex}} > I_{Bнас} \quad (3.43)$$

Критичната стойност на $C_{уск}$ се определя от:

$$Q_{кр} = C_{кр} U_c = C_{кр} (E - U_{\beta eнас}) \approx C_{кр} E \quad (3.44)$$

$$Q_{кр} = I_{Bнас} \cdot \tau_{\beta} = \frac{I_{кнас}}{\beta} \beta \tau_T = \frac{E_k}{R_k} \tau_T \quad (3.45)$$

Обикновено $E = E_k$.

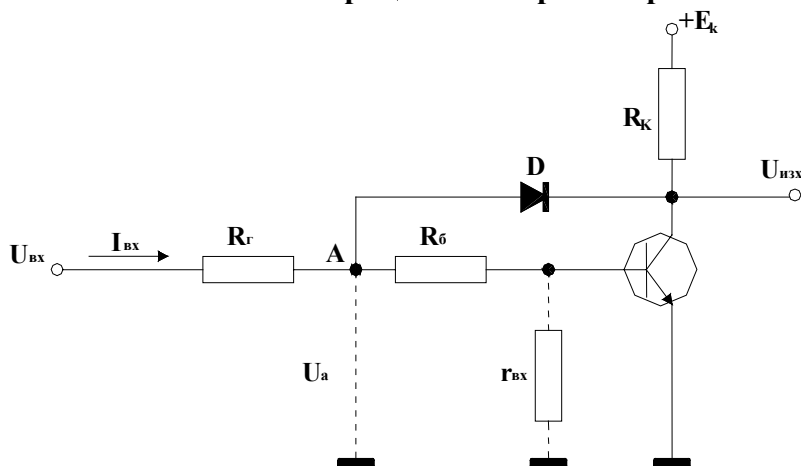
Приравнявайки $Q_{кр} = Q_{Гр}$ се получава:

$$C_{кр} E = \frac{E_k}{R_k} \tau_T \quad (3.46)$$

$$C_{кр} = \frac{\tau_T}{R_k} = \frac{1}{2\pi f_T R_k} \quad (3.47)$$

$$C_{кр} = (2 \div 4) C_{кр}$$

3.5.3. Транзисторен ключ с нелинейна отрицателна обратна връзка.

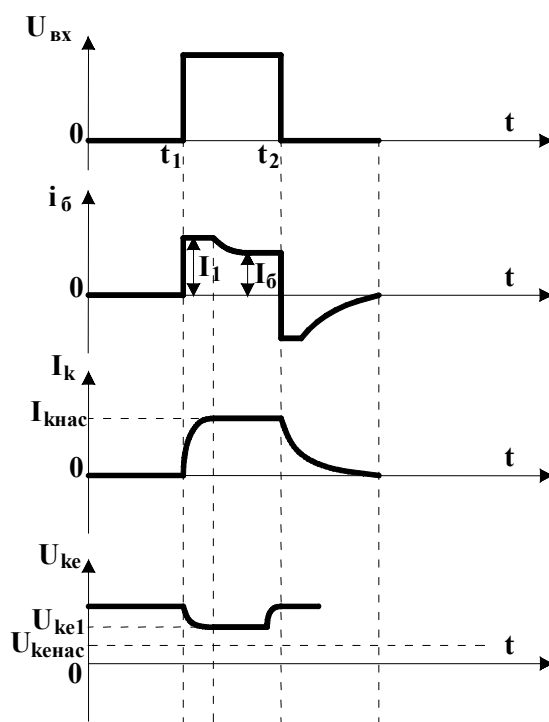


фиг. 3.10

Избира се $R_б$, така че:

$$I_{б1} = \frac{U_{вх} - U_{бе} - U_{к0}}{R_б} > I_{бнас} \quad (3.48)$$

$$U_{бе} \approx 0 \text{ и } U_{к0} \approx 0$$



фиг. 3.11

$$I_{б1} \approx \frac{U_{вх}}{R_б} > I_{бнас} \quad (3.49)$$

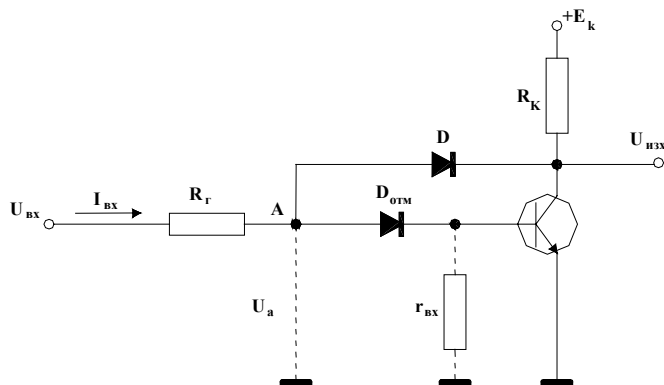
При:

$$\begin{aligned} U_A - U_{ке}^1 &= E_0 \\ I_1 &= I_{вх} = I_б + I_g \\ I_б &\approx I_{бнас} \\ U_{ке}^1 &> U_{кнас} \end{aligned} \quad (3.50)$$

$$U_{\text{кенаc}} = -E_0 + U_{\text{бе}} = U_{R_0} + U_{\text{бе}}$$

$$U_{\text{бе}} \approx U_{\text{бенас}}$$

Възможно е да се включи вместо R_6 още един диод. Тогава схемата ще има вида:

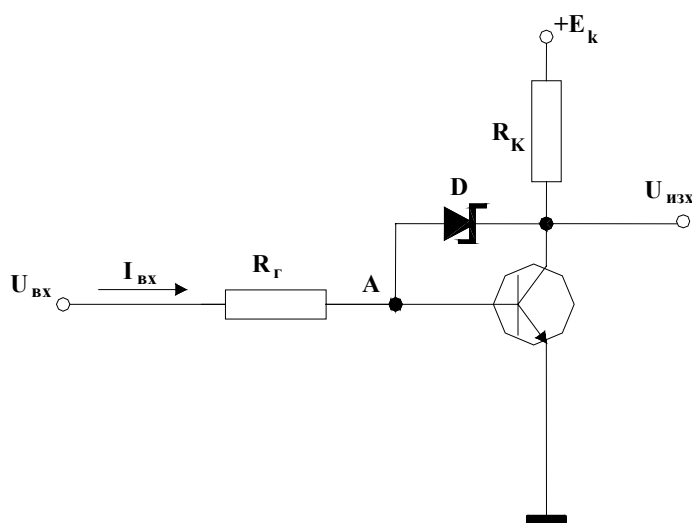


фиг. 3.12

Допълнителният диод, на мястото на R_6 служи за отнемване на напрежението в точка А с половин волт, спрямо напрежението на превода база – емитер. [7]

3.5.4. Транзисторен ключ с диоди на Шотки.

За диодите на Шотки е характерно напрежение на отпушване на диода от порядъка на $(0.4 \div 0.5)V$. [1][2][12]



фиг. 3.13

Диодът на Шотки се отпушва преди да се отпуши превода база–колектор на транзистора. Бързодействието се увеличава, защото в този диод липсва модулация по дълбочина на превода, т. е. няма натрупване на заряди. Превключването на диода на Шотки е по-малко от 0,1 наносекунда. Той е изграден от алуминий и силиций.

Изводи:

В интегрално изпълнение за ускоряване на времето на превключване се използват транзистори с малка времеконстанта τ_{β} , като обикновено ключовете са съставени от два или

повече транзистора. Най-разпространена схема на съставен ключ е използвана в логическите елементи на TTL интегралните схеми.

Предимства на транзисторните ключове:

- високо бързодействие;
- удобно управление;
- малка консумация;
- и др.

Недостатъци на транзисторните ключове:

- температурна зависимост на параметрите им;
- остатъчен ток $I_{к0}$ при запушен транзистор.

4. Логически схеми. Характеристики

4.1. Увод

В цифровите схеми се включват два вида елементи:

- логически елементи без памет
- логически елементи с памет

Първите осъществяват обработка на информация, а вторите съхраняват информация.

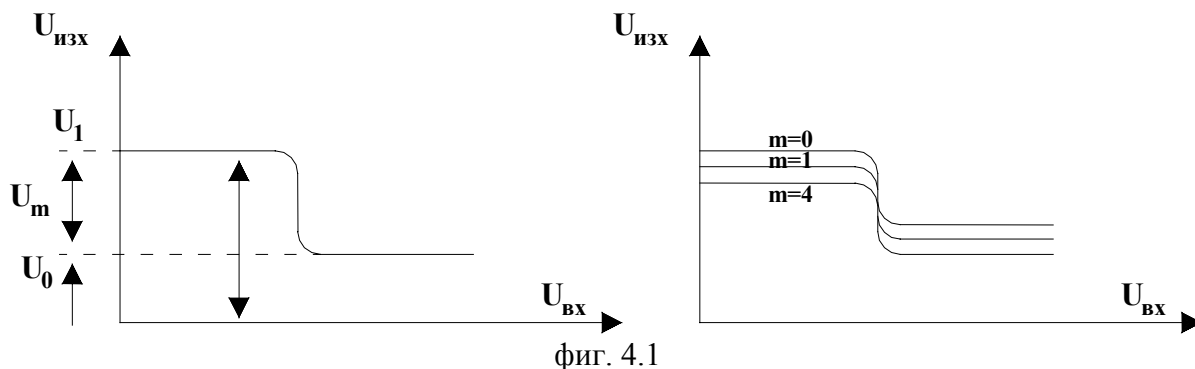
Основно изискване при използването на логически схеми в сложни системи е да бъдат съвместими по отношение на входните и изходните сигнали. Това означава, че поляритетът и нивата на напреженията на логическа нула и логическа единица на входа и на изхода на логическата схема, трябва да са еднакви. За съгласуване на тези нива в потенциалните логически схеми се използват резистори, диоди и транзистори.

Логическите елементи могат да се класифицират и сравняват на базата на определени характеристики.

4.2. Характеристики на логическите елементи.

4.2.1 Статична предавателна характеристика

Тя е една от най-важните характеристики на логическите елементи. С нейна помощ най-правилно се отразяват свойствата на логическите елементи.



фиг. 4.1

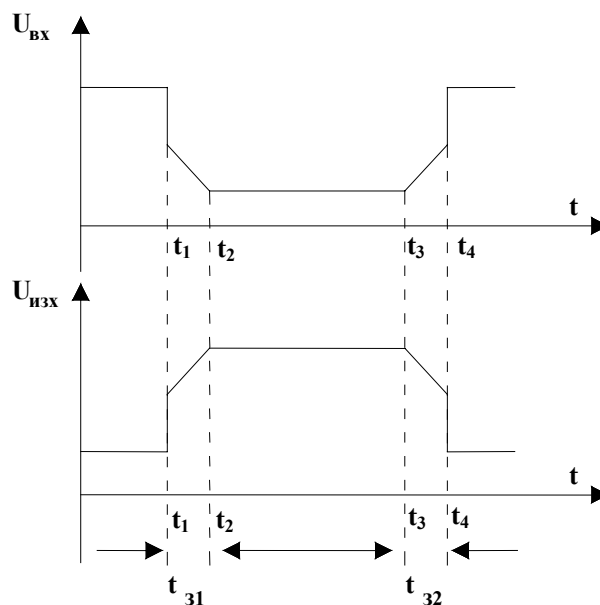
Тази характеристика се снима при бавно изменение на входното напрежение. Динамичните свойства не се отчитат. Предавателната характеристика в запушено състояние на елемента зависи силно от броя на схемите включени като товар, т. е. от коефициента на разклонение $-n$ на схемата. [1][2][3][4][5][7]

4.2.2 Бързодействие

Бързодействието се определя от минималния период на следване на входните сигнали (T_{\min} или f_{\max}), при който елементът все още работи устойчиво.

Ако $t_{31} \neq t_{32}$

$$t_{зср} = \frac{t_{31} + t_{32}}{2} \quad (4.1)$$



фиг. 4.2

то:

Според бързодействието си логическите елементи биват:

- свръхбързодействащи – под 1ns
- бързодействащи – от 1ns до 10ns
- среднобързодействащи - от 10ns до 50ns
- бавнодействащи - над 50ns

4.2.3 Брой входове на логическите елементи - n.

Този брой определя функционалните логически възможности. Увеличаването на броя на входовете – n – намалява бързодействието, защото паразитните капацитети изискват повече време за превключване на елемента. Обикновено: $n=(2 \div 8)$

4.2.4 Товароспособност – m.

Определя се от максималния брой еднотипни елементи включени към изхода на разглеждания автомат, при който брой работоспособността се запазва. Обикновено:

$$m = (30 \div 40)$$

4.2.5 Шумоустойчивост.

Шумоустойчивост се нарича максималната амплитуда на смущаващия сигнал, при която все още логическият елемент не се превключва. Смущенията, които действат върху логическите елементи, условно могат да се разделят на два типа: външни и вътрешни. Външни са смущенията, индуктирани от някакъв мощен смущаващ източник, който се намира извън разглежданата схема. Вътрешни са смущенията, които възникват вътре в схемата, например смущения поради капацитивна или индуктивна връзка между съответните информационни проводници или шини. Такива смущения са пропорционални на логическия размах на информацияния сигнал. Много често смущения се появяват и по шините на захранването. За надеждна работа логическите схеми трябва да имат определен запас на шумоустойчивост. Запасът на шумоустойчивост е различен за състояние единица и за състояние нула на лог. схема. Съществуват два вида запас на шумоустойчивост, а именно:

- **запас на шумоустойчивост при отпушване**, т. е. това е сигнал, който се стреми да отпуши схемата;

- **запас на шумоустойчивост при запущване**, т. е. това е сигнал, който се стреми да запуши отпушената схема.

4.2.6 Консумирана мощност.

Тя определя икономичността на логическия елемент и на цялата система от логически елементи. Определя косвено и бързодействието. В най-общия вид мощността консумирана от една сложна схема, от източниците ѝ на захранване, се определя с израза:

$$P = \sum_{k=1}^n E_k I_k$$

където: E_k - е. д. н. на k -я източник на захранване;

I_k - токът в k -я извод на схемата

Моментната мощност коонсумирана от схемата не е постоянна. Тя зависи от състоянието, в което се намира логическата схема и се изменя при превключване. Ето защо, като основен параметър се използва средната мощност. За логическите схеми средната мощност се определя обикновено от мощности в едното и другото състояние, като се пренебрегва изменението на мощността през време на превключването. [1][2]

Средната мощност, консумирана от схемата се определя с израза:

$$P_{cp} = \frac{1}{2}(P_3 + P_0)$$

където:

P_0 - консумирана мощност на схемата при отпушено състояние;

P_3 - консумирана мощност на схемата при запущено състояние.

4.3. Класификация на логическите схеми

4.3.1 Според логическите операции:

- схема – И;
- схема –ИЛИ;
- схема – И-НЕ;
- схема – ИЛИ-НЕ;
- схема – И-ИЛИ-НЕ.

4.3.2 Според характера на сигналите:

- чисто импулсни;
- чисто потенциални;
- импулсно потенциални.

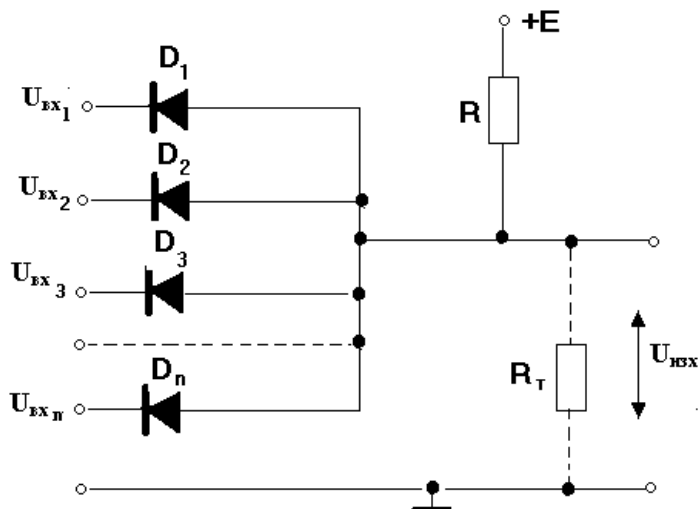
4.3.3 Според елементите от които е изграден логическият елемент:

- диодни логически схеми - ДЛС;
- диодно-транзисторни логически схеми - ДТЛ;
- резисторно-транзисторни логически схеми - РТЛ ;
- транзисторно – транзисторни логически схеми - ТТЛ;
- емитерно свързани логически схеми- ESL ;
- MOS и CMOS;
- I^2L – инжекционна интегрална логика;

5. Диодни логически схеми.

Диодните логически схеми са от типа – И и ИЛИ. Изпълняват се с полупроводникови диоди. [7][12]

5.1 Диодна схема – И. Принципна схема на диодна схема с п-входа, осъществяваща логическа операция – И.



фиг. 5.1

Схемата работи с потенциални сигнали, но може да се използва и при импулсни сигнали. Ако на всички входове се подават високи нива – т. е. логическа единица: $U_{вх}^1 = U^1$ (логическа единица) диодите ще са запушени и нивото на изхода ще бъде близко до E_k (т. е. ще бъде логическа единица):

$$U_{изх}^1 \approx U_{вх}^1 \quad (5.1)$$

при условие, че $r_D \ll R$ и $U_{вх}^1 \leq E$

където: r_D – съпротивление на диода.

Ако само на един от входовете се подаде ниско ниво, $U_{вх}^0 = U^0$ (логическа нула), то съответния диод се отпушва. През него и резистора R ще тече ток:

$$i = \frac{E - U_{вх}^0}{r_D + R} \quad (5.2)$$

Този ток създава падение на напрежение върху резистора R :

$$U_R = i \cdot R = \frac{E - U_{вх}^0}{r_D + R} \cdot R \quad (5.3)$$

Следователно изходното напрежение в този случай ще бъде:

$$U_{изх}^0 = E - U_R = \frac{E r_D + U_{вх}^0 R}{R + r_D} \quad (5.4)$$

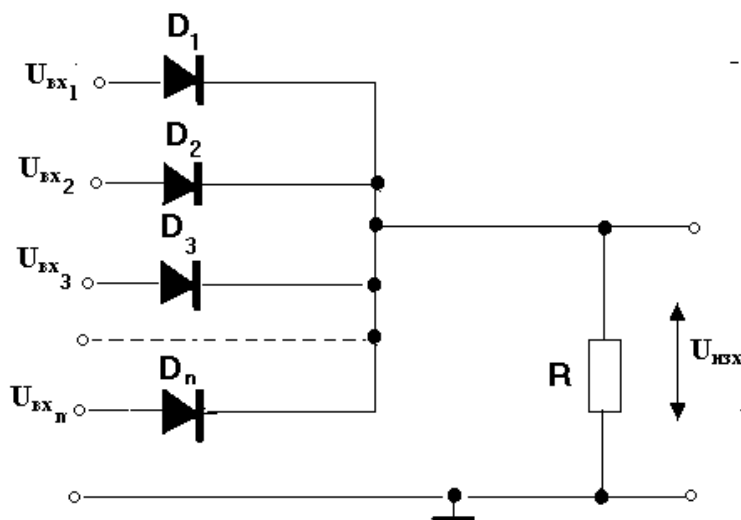
Тъй като на практика $r_D \ll R$ то:

$$U_{изх}^0 \approx U_{вх}^0 = U^0 \quad (5.5)$$

Схемата изпълнява логическа операция – И. За нормалното функциониране на логическата схема е необходимо при най-неблагоприятния случай изходните нива да не

надвишават дадени граници. Най-неблагоприятния случай за логическа нула на изхода ще бъде, когато на един вход действа ниско напрежение U^0 , а на всички останали – високо напрежение. [7][12]

5.2 Диодна схема – ИЛИ. Принципна схема на диодна схема с n-входа, осъществяваща логическа операция – ИЛИ



фиг. 5.2

Схемата работи с потенциални сигнали, но може да се използва и при импулсни сигнали. Ако на всички входове се подадат ниски нива, $U^0_{вх} = U^0$ (логическа нула), диодите са запушени и ток през тях няма да протича. На изхода на схемата ще се установи ниско ниво (логическа нула):

$$U^0_{изх} = \frac{U^0_{вх}}{\frac{r_D}{n} + R} \cdot R \tag{5.6}$$

Тъй като на практика $r_D \ll R$ то:

$$U^0_{изх} \approx U^0_{вх} = U^0 \tag{5.7}$$

Ако на един от входовете се подаде високо ниво $U^1_{вх} = U^1$ (логическа единица), то съответния диод се отпушва. През него протича ток, който създава пад на напрежение върху R. Изходното напрежение при пренебрегване на обратното съпротивление на запушените диоди, ще бъде високо (логическа единица):

$$U_{изх} = \frac{U^1_{вх}}{r_D + R} \cdot R \tag{5.8}$$

но $r_D \ll R$ то:

$$U_{изх} \approx U^1_{вх} = U^1_{изх} \tag{5.9}$$

Извод: Схемата изпълнява логическа операция – ИЛИ. За разлика от схема – И при нея няма източник на постоянно напрежение, поради което изходното напрежение е винаги по-малко от входното. За схемите И и ИЛИ е валиден така наречения инверсен принцип, който се състои в това, че една и съща схема може да бъде И и ИЛИ в зависимост от това как се кодира информацията - положителна или отрицателна логика.

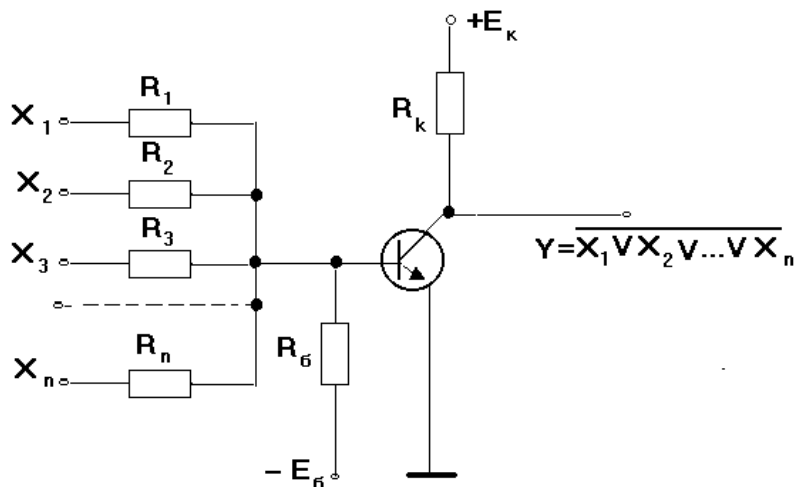
5.3. Характеристики на диодни логически схеми.

- **Бързодействие.** Не е голямо и зависи от паразитните капацитети и от съпротивлението R .
- **Товароспособност.** Тя е много малка, тъй като схемата е пасивна, т. е. липсва активен елемент. На практика $m \leq 3$.

Диодните логически схеми понастоящем се използват ограничено, тъй като имат малка товароспособност и малко бързодействие. След по-малко от около три последователно свързани логически схеми, нивото на логическата единица спада, а нивото на логическата единица се повишава. Диодните логически схеми намират приложение, като компоненти на други логически елементи.

6. Резисторно – транзисторни логически елементи.

6.1 Принципна схема.



фиг. 6.1

При поне едно $X_i = 1$, и $I_{b1} > I_{бнас}$ транзисторът ще бъде отпушен и наситен. Изходният сигнал ще бъде логическа нула – $Y=0$. При повече логически единици на входа, транзисторът се насища по-дълбоко. [7][12]

Ако на всички входове бъде подаден сигнал, съответстващ на логическа нула – $X_i = 0$, транзисторът ще е запушен и на изхода ще се получи високо ниво на сигнала, т. е. логическа единица – $Y = 1$.

Схемата изпълнява функцията ИЛИ-НЕ.

6.2. Характеристики на резисторно – транзисторните логически елементи:

- **товароспособност** – добра, поради наличието на активен елемент – транзистор. Зависи от степента на насищане на транзистора;
- **бързодействие** – не е голямо, тъй като транзисторът бързо преминава в режим на дълбоко насищане. Не могат да се използват ускоряващи кондензатори за увеличаване на бързодействието, защото през тях би се осъществила връзка между отделните входове. За увеличаване на бързодействието може да се използва комбинация от диодни групи.
- **брой входове** – $n < 3$, поради режима на дълбоко насищане на транзистора;
- **консумирана мощност** – значителна, поради наличието на резисторите $R_1, R_2, R_3, \dots, R_n$.

6.3. Особенности на резисторно – транзисторните логически елементи

- Малките базови токове, вследствие на наличието на базови резистори, водят до удължаване на основните фази на преходния процес при транзисторите;
- Увеличаването на входното напрежение води до увеличаване на фронтите на изходния сигнал;
- Увеличава се закъснението при отпушване на резисторно–транзисторните логически елементи, поради действието на получената допълнителна верига $R_b C_{вх}$.

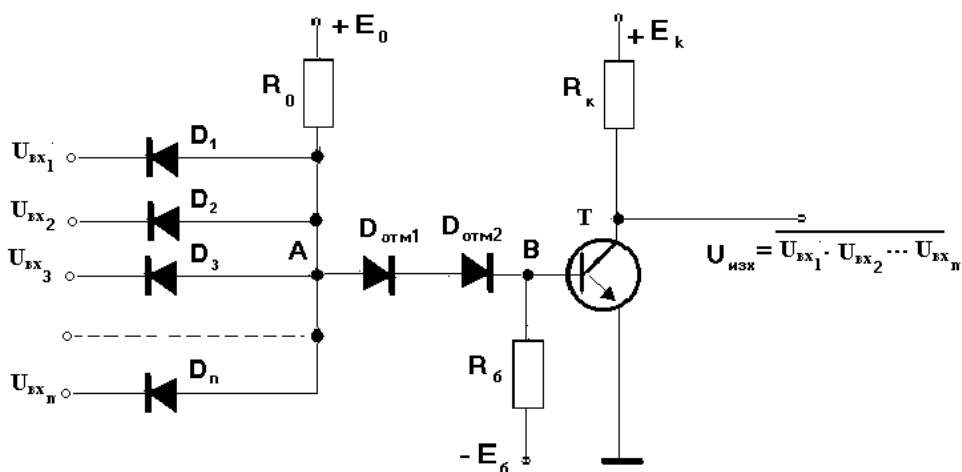
Повечето недостатъци могат да се избегнат, чрез шунтиране на резистора R_b с кондензатор с подходящ капацитет.

7. Диодно-транзисторни логически елементи – ДТЛ. Монтажно – ИЛИ с ДТЛ схеми

7.1. Диодно-транзисторни логически схеми.

При диодно-транзисторните логически схеми функцията – И се изпълнява от диодна схема, а функцията усилване и инвертиране се изпълнява от транзистора Т. Съществуват голям брой разновидности на ДТЛ схеми, които се различават от една страна, по диодните логически схеми – дали са едностъпални (И) или са двустъпални (И-ИЛИ), а от друга страна, по вида на инвертора – с един транзистор, със сложен инвертор, с наситен или ненаситен инвертор и пр. [1][2][7][12]

7.1.1 Принципна схема



фиг. 7.1

Основната принципна схема се състои от диодни схеми изпълняващи функцията – И – изградена от диодите $D_1, D_2 \dots D_n$ и резистора R , инвертор – изпълнен с резистора R_k и транзистора T и диодите $D_{отм1}$ и $D_{отм2}$, които заедно с E_b и R_b служат за съгласуване на входните и изходните нива на схемата. Схемата се състои от прост инвертор с един транзистор, който работи в ключов режим с насищане. ДТЛ схемите имат две работни състояния – запушено и отпушено, които се определят от запушеното или отпушено състояние на транзистора. Показаната схема изпълнява функция – И-НЕ.

7.1.2 Принцип на действие:

Ако на един (или всички) вход е подаден нисък потенциал (логическа нула). Да предположим, че това е $U_{вх1}$.

$$U_{вх1} = U_{вх0} = (0,2 \div 0,4) V \quad (7.1)$$

Съответния диод е отпушен – в случая D_1 . На изхода на диодната схема – И, потенциалът също е нисък.

През R_0 и D_1 протича ток:

$$I_{вх} = \frac{E - U_{Dnp} - U_{вх0}}{R} \quad (7.2)$$

$$U_{D1} = U_{вх0} + U_{Dnp} \approx 0,8 V \quad (7.3)$$

$$U_{беотп} = U_{D1} - 2U_{Dnp} \approx (0,8 - 2 \cdot 0,4) < 0 \quad (7.4)$$

U_{Dnp} на диода е 0,4 V. Следователно транзисторът е запушен. На изхода на схемата има висок потенциал, отговарящ на логическа единица: $U_{изх} \approx E_k$.

За отпушването на транзистора е необходимо в точка А да има следното напрежение:

$$U_{Dнеобх} = 2U_{Dnp} + U_{беотп} \approx 1,3 \text{ V} \quad (7.5)$$

За Si транзистори $U_D < U_{Dнеобх}$.

Ако на всички входове на схемата е подаден висок потенциал (логическа единица), то напрежението на изхода на схемата И, е високо, което довежда до отпушване и насищане на транзистора Т и на изхода се получава нисък потенциал (логическа нула). Протича ток I_1 през E_0 , R_0 , диодите на отместване, в посока на базата на транзистора.

$$I_1 = \frac{E - U_{D1}}{R} = \frac{E - 2U_{Dnp} - U_{бенас}}{R} I_{бнас} \quad (7.6)$$

$$U_{D1} = U_{бенас} + 2U_{Dnp} \approx (0,7 + 2 \cdot 0,4) = 1,5 \text{ V} \quad (7.7)$$

За да е наситен транзистора е необходимо:

$$U_{изх} = U_{кнас} = (0,2 \div 0,4) V \quad (7.8)$$

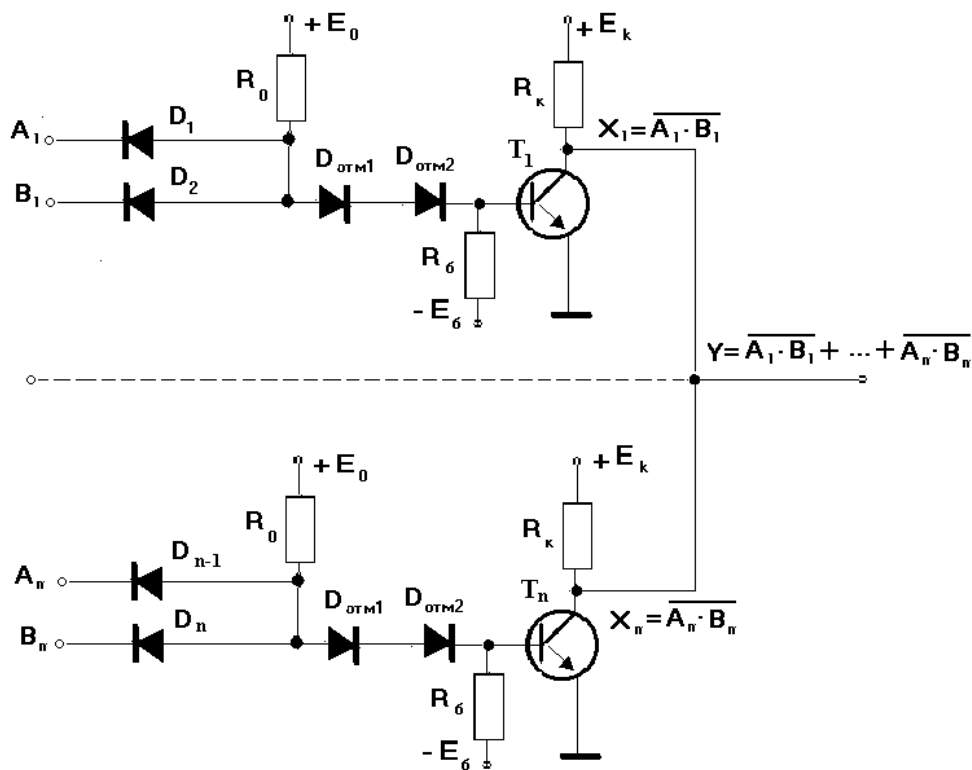
На базата на транзистора се получава достатъчно голямо напрежение за да може той да се отпусне и насити. Вследствие на това на изхода напрежението пада до логическа нула. Ролята на транзистора е да инвертира и усилва входния сигнал.

Извод: За диодно-транзисторните схеми е характерно, че при подаване поне на един вход на логическа нула, на изхода се получава логическа единица. Обратно, ако на всички входове се подадат логически единици, на изхода ще се получи логическа нула.

7.2. Монтажно – ИЛИ с ДТЛ схеми

7.2.1 Принцилна схема:

Разглежданата логическа схема - фиг. 7.2 е съставена от n-на брой диодно-транзисторни схеми. [7][12]



фиг. 7.2

7.2.2 Принцип на действие:

При анализа се използва линеализирането на характеристиките на диодите и транзисторите. Диодите за преднапрежение (отместващи диоди) се избират с по-десни характеристики, при което падението на напрежението върху отпушения диод, дори и при малки токове, е голямо. Изискванията към входните диоди са точно обратни – трябва да имат малко падение на напрежение в права посока и голямо обратно съпротивление. Най-лошият случай на запусване на транзистора е, когато към наситения управляващ транзистор са свързани n-схеми и в тях е отпушен само един входен диод – този, който е свързан към колектора на отпушения транзистор (останалите входове са свързани към запушени транзистори).

Ако само един транзистор е отпушен, той трябва да осигурява ток:

$$I_{\text{кобщ}} = nI_{\text{кнас}} \quad (7.9)$$

Ако:

$$I_{\text{би}} < \frac{I_{\text{кобщ}}}{\beta} \quad (7.10)$$

транзисторът не се отпушва и на изхода има неопределена логика. Параметрите на транзисторите оказват слабо влияние върху работата на схемата.

Схемата на фиг. 7.2 реализира следната логика:

$$Y = \overline{A_1 B_1} + \overline{A_2 B_2} + \dots + \overline{A_n B_n} \quad (7.11)$$

7.3. Характеристики на ДТЛ схеми.

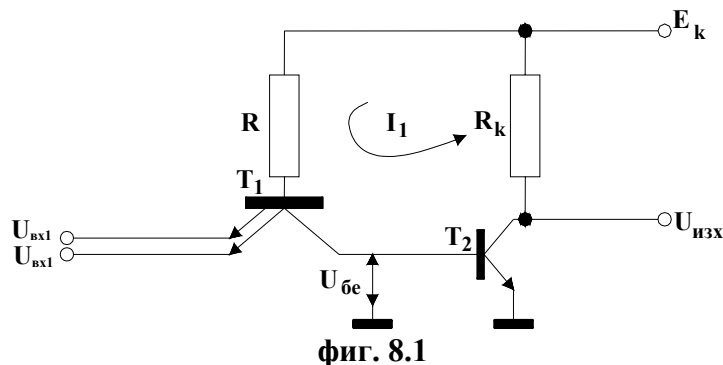
- **Товароспособност** – добра, поради наличие на активен елемент - транзистор;
- **Бързодействие** – сравнително ниско, тъй като паразитните капацитети в т. А са големи. За повишаване на бързодействието се поставят колекторни съпротивления (ако липсват такива).

8. Транзисторно-транзисторни логически елементи – ТТЛ (TTL).

8.1. ТТЛ - схема с прост инвертор

Транзисторно-транзисторните логически елементи се наричат тези логически схеми, на входа на които е използван многоемитерен транзистор. [1][2] [12][13][14][15]

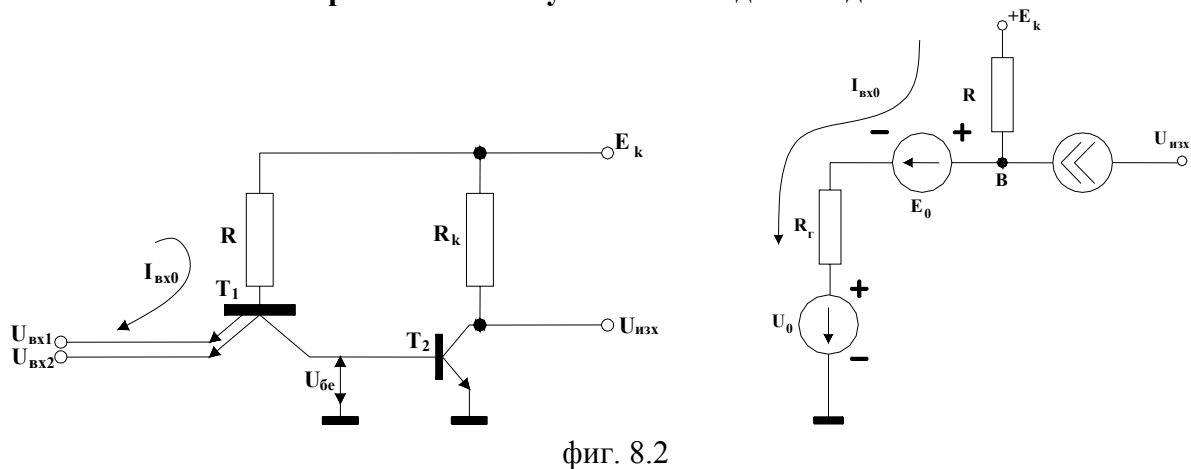
8.1.1. Принципна схема.



В сравнение с ДТЛ схемите, при ТТЛ входните диоди са заменени с многоемитерен транзистор, освен това липсват отместващите диоди. Тяхната функция се изпълнява от колекторния преход на многоемитерния транзистор.

8.1.2 Принцип на действие.

- Еквивалентна схема при логическа нула поне на един вход:



Ако на един от входовете на ТТЛ схемата е подадено ниско ниво (U^0 – логическа нула), то съответният емитерен преход на T_1 ще бъде отпушен и през съпротивлението R ще протече силен входен ток:

$$I_{вх} = \frac{E_k - U_{бенас} - U_{вх}}{R} > I_{б1нас} \quad (8.1)$$

Тъй като съпротивлението R е общо за всички входове, ако се обединят няколко входа, входният ток ще бъде:

$$I_{общ} = I_{вхо} = (1,1 \div 1,6) \text{mA} \quad (8.2)$$

От този ток, многоемитерният транзистор T_1 влиза в режим на насищане и напрежението на колектора му спада много (предполага се, входът е свързан с изхода на аналогичен елемент):

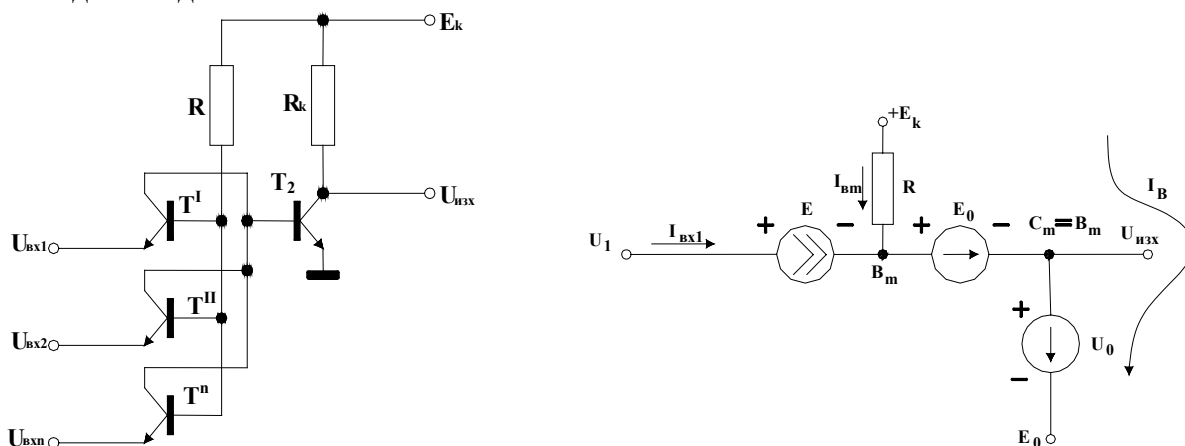
$$U_{ke1} = U_{be} = U_{вх0} + U_{ke1нас} = U_{ke2нас} + U_{ke1нас} < U_{be2отп} \quad (8.3)$$

Транзисторът T_2 не може да се отпуси. На изхода се установява логическа единица ($U_{вх}^1 \geq 2,4V$). Транзисторът T_2 е запушен и изходното напрежение е:

$$U_{изх} = E_k - I_{k0} R_{k\approx} \cong E_k \quad (8.4)$$

- **Еквивалентна схема при логическа единица на входовете. Паралелно свързване на няколко входа – общ входен ток.**

За по-добро обяснение на действието на схемата при логическа единица на всички входове, нека да предположим, че всеки вход на многоемитерният транзистор е отделен транзистор, и нека тези транзистори да ги номерираме с T^I , T^{II} и T^n . Еквивалентната схема ще има следния вид:



фиг. 8.3

При подаване на логическа единица на всички входове (всички изходни транзистори на предните логически схеми, включени към разглежданата, са запушени), път за ток от $+E_k$ през R , преход база-емитер на T_1 към земя (през източниците на входните сигнали) няма и затова всички преходи база-емитер на T_1 са запушени. Потенциалът на базата на T_1 се повдига и се отпусва преходът база-колектор на T_1 , а също и емитерния преход на транзистора T_2 . Последният се отпусва и насища. На изхода се установява логическа нула ($U_{изх}^0 \leq 0,4V$).

Независимо че всички емитерни преходи на T_1 са запушени, входни токове (при логическа единица на всички входове) протичат, защото транзисторът T_1 работи в инверсен режим – колекторният преход е отпуснен, а емитерният е запушен, т. е. колекторът и емитерът са сменили местата си. [1]

При подаване на логическа единица на всички входове протича общ ток:

$$I_{вхобщ} = nI_{вх} \quad (8.5)$$

Токът през един вход при логическа единица на всички входове се определя като:

$$I_{вх}^1 = \alpha_{инв} I_k^1 = \frac{\beta_{инв}}{\beta_{инв} + 1} I_k^1 \quad (8.6)$$

За да не се товари преходният логически елемент, е необходимо $I_{вх}^1$ да бъде минимален. За целта при проектирането на многоемитерния транзистор са взети специални

мерки $\beta_{\text{ИНВ}}$ да бъде малко (емитерните преходи се правят с по-малка площ от колекторния), с което се постига $I_{\text{ВХ}}^1 \leq 40\mu\text{A}$ (обикновено $I_{\text{ВХ}}^1 \approx 10\mu\text{A}$).

Обединяването на диодите, респективно на р-п преходите, в една една многоемитерна транзисторна структура, води до намаляване на сумарния паразитен капацитет на базовата верига на инвертиращия транзистор, вследствие на което се намалява времето за отпушване на транзистора, т. е. повишава се бързодействието на схемата. Същевременно това обединяване причинява и увеличаване на входния ток при подаване на логическа единица на входа поради усилвателни свойства на транзисторната структура. Инверторната функция се изпълнява от прост инвертор. Общата логическа функция е И-НЕ

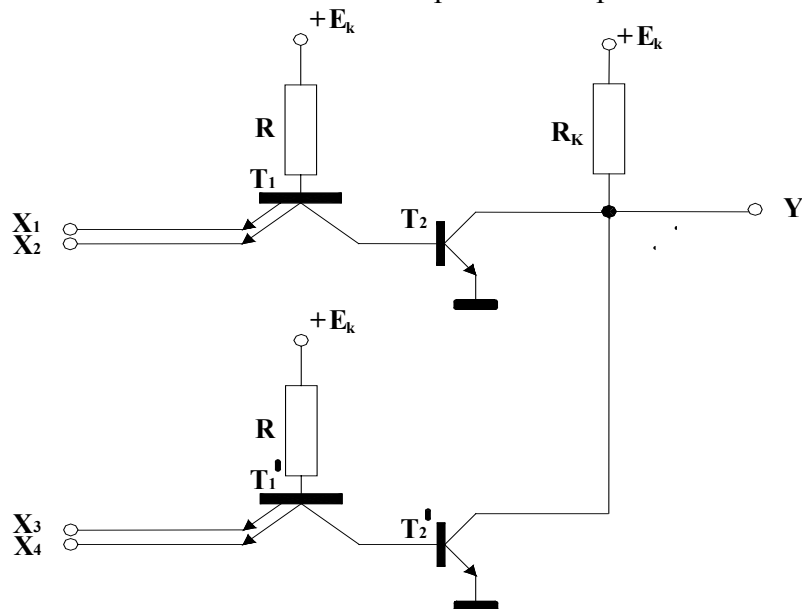
ТТЛ – елементите с прост инвертор имат по-голямо бързодействие от ДТЛ – елементите, поради по-малките паразитни капацитети на входната част. Спадащият фронт на изходното напрежение е малък – $t_{01} \approx 10\text{ns}$, но нарастващият фронт е чувствително по-голям и зависи от капацитета на схемата, свързана към изхода – $t_{01} \approx 35\text{ns}$.

Схемата с прост инвертор има недостатък, че увеличаването на бързодействието (малко R_k) води до намаляване на товароспособността и обратно (голямо R_k – малко бързодействие и голяма товароспособност). Със схемно решение – замяна на R_k с транзистор, се постига голямо бързодействие и товароспособност. Това са т. н. ТТЛ елементи със сложен инвертор.

8.1.3. ТТЛ елементи с отворен колектор

Вариант на ТТЛ елементи с прост инвертор е т. н. ТТЛ елемент с отворен колектор. Колекторното съпротивление на изходния транзистор не се намира в интегралната схема, а се свързва външно. Това позволява да се избере с оптимална стойност за конкретния случай, а също и да се реализира логическа функция ИЛИ, чрез свързване на изходите на няколко елемента с общ резистор R_k – наречена още схема монтажно ИЛИ. [1][2][7][12]

Принципна схема на ТТЛ елементи с отворен колектор.



фиг. 8.4

Типично за ТТЛ схемите с прост инвертор и отворен колектор е, че задният фронт има значително по-малка продължителност (около 10ns) от тази на предния фронт (около 30ns).

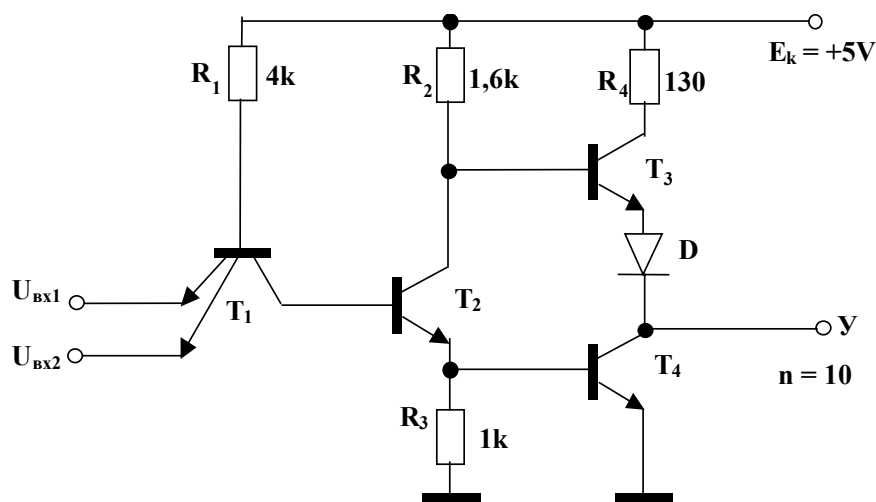
Поради рязко намаляване на напрежението по време на задния фронт, в свързващите вериги възникват затихващи трептения (особено когато линията не е натоварена с вълново съпротивление). С цел да се постигне бързо затихване, на входовете на всяка схема се поставят диоди, които се отпушват при подаване на отрицателна полувайна и изразходват енергията на трептящата верига.

8.2. ТТЛ схеми със сложен инвертор.

Замяната на простия инвертор със сложен, респективно замаяната на резистора R_k с транзистор се налага поради наличието на противоречиви изисквания спрямо стойността на R_k , а именно: [15]

- минимална стойност за да се намали времето на зареждане на изходния кондензатор (паразитни и входни кондензатори на товарни схеми) при установяване на логическа единица в изхода;
- максимална стойност за да се намали сумарния колекторен ток при наситен транзистор, респективно да се увеличи товарната способност на схемата при състояние логическа 0.

8.2.1. Принципна схема на сложен ТТЛ инвертор:

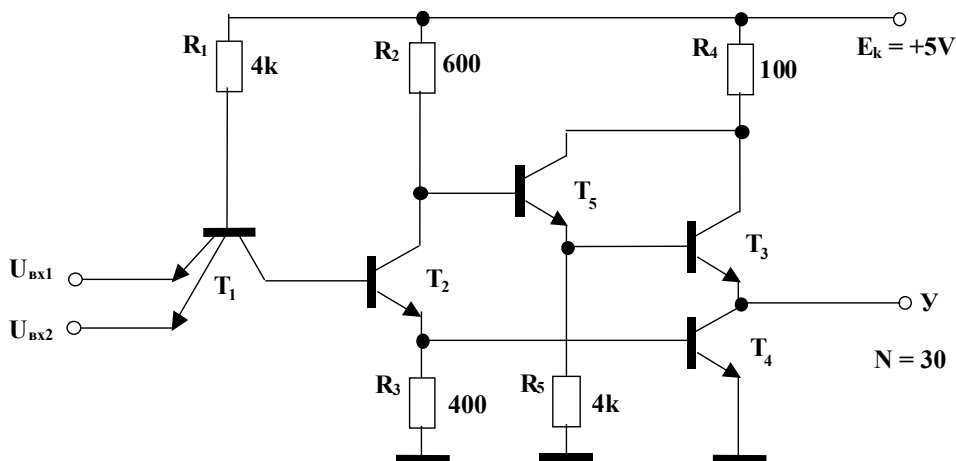


фиг. 8.5

Схемата на сложния инвертор съдържа два управляващи транзистора, от които единият (T_4) работи в наситено и запушено състояние, а другият (T_3) – в активно и запушено състояние. Състоянията на транзисторите се управляват така, че при установено ниво на изхода да се осъществява връзка между захранващите шини:

- **към E_k** – през транзистора T_3 , т. е. през малкото изходно съпротивление на отпушения транзистор в схема ОК (при логическа единица на изхода);
- **към нулевата шина** през T_4 , т. е. през малкото съпротивление на наситения транзистор в схема ОЕ (при логическа нула на изхода). Докато единият транзистор осъществява връзка към едната захранваща шина, другият се намира в запушена състояние. Това означава, че на базите на транзисторите трябва да бъдат подадени противофазни сигнали, изработвани от фазоинверторно стъпало, което е осъществено от T_2 . Последният се управлява от изходящото напрежение на познатата логическа схема “И”, изпълнена чрез многоемитерен транзистор.

Съществуват множество схемни варианти, но от тях са се утвърдили две основни схемни решения, а именно схемата на фиг. 8.5, дадена по-горе и схемата на фиг. 8.6:



фиг. 8.6

Коефициентът на натоварване за фиг. 8.5 е $n = 10$, а за схемата на фиг. 8.6 е $n = 30$. TTL елементът представлява инерционен многополусник с няколко входа и един изход. При еднакъв потенциал на всички входове той може да се разглежда и като четириполусник. При използването му в логически схеми, в повечето случаи напълно са достатъчни характеристиките на четириполусника – входни, предавателни, изходни, и времето на превключване съответно от 0 в 1 и от 1 в 0. При проектирането на импулсни схеми с TTL елементи обаче е необходимо добре да се знае принципа на работа на елементите и процесите, протичащи при превключването.

TTL схемите се строят изключително с n-p-n транзистори. Входният многоемитерен транзистор изпълнява логическата функция конюнкция на входните сигнали с положителен поляритет. Включените след него няколко транзистора образуват сложен инвертор, който позволява да се получи добра форма на изходния сигнал, добра товароспособност и слабо влияние на капацитивния товар върху продължителността на фронтите на изходния импулс. Освен това, такава схема има понижени изисквания към параметрите на транзисторите, което е важно при масово производство.

Показаните TTL схеми представляват прагови устройства с две работни състояния:

- първото състояние се установява, когато на всички входове са подадени високи потенциали (сигнали логическа единица);
- второто състояние – когато поне на един от емитерите на входния транзистор е подаден нисък потенциал (сигнал логическа нула).

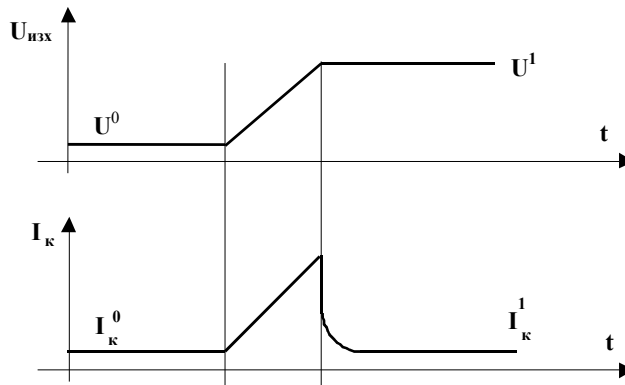
8.2.2. Логически нива

Когато на всички входове се подаде логическа единица (т. е. всички входни променливи са с високо ниво U^1), многоемитерният транзистор работи в инверсен режим. Протича ток през E_k , R_1 , база-колектор на T_1 , вследствие на което, през базата на T_2 протича базов ток и се установява достатъчно напрежение за неговото отпушване. Емитерните преходи на транзисторите T_3 и T_4 също се отпушват, съответните транзистори се насищат и на изхода се установява логическа нула. При това положение ако в схемата не беше включен диодът D , T_3 би се отпушил. Следователно включването на диода осигурява сигурно запушване на T_3 .

Когато на един или на всички входове се подаде логическа нула (т. е. всички входни променливи са с ниско ниво U^0), многоемитерния транзистор работи в право включване. Протича входен ток в посока от E_k , през R_1 , база-емитер на T_1 , към съответния вход. Транзисторът T_1 е отпушен и наситен. На колектора му има логическа нула (нисък потенциал). Следователно на базата на T_2 се подава ниско ниво. Транзисторите T_2 и T_4 , преминават в

запушено състояние. На колектора на T_2 се получава високо ниво, което осигурява отпушването на T_3 и на диода D , т. е. на изхода се установява логическа единица.

Характерно за схемата на сложния инвертор е изменението на захранващия ток при преминаване от логическа нула към логическа единица на изхода. След промяна на състоянието на T_2 , изходния транзистор T_4 остава за времето на разнасяне на заряда от базата в наситено състояние, а T_3 е вече отпушен. Базовият ток на последния нараства значително поради малкото съпротивление в емитерната му верига и транзистора се насища. Ограничаването на протичащия ток в този случай е възможно само чрез включване на ограничаващото съпротивление $R_{огр} = R_4$.



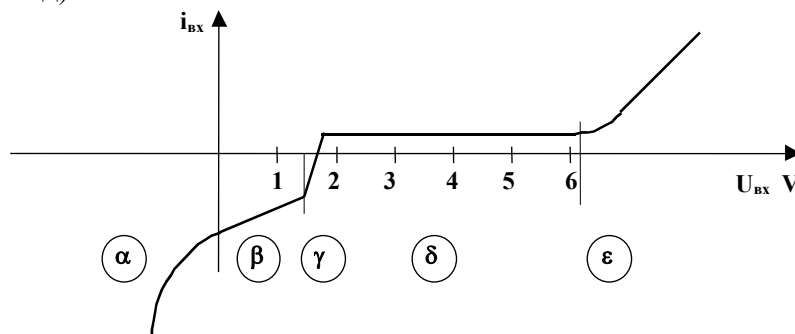
фиг.8.7

От времедиagramата се вижда, че пиковия ток, който се получава, представлява смущаващ сигнал за всички схеми, свързани към токозахранващите шини. За предотвратяване на влиянието му се включват блокиращи кондензатори директно до корпуса на интегралната схема. [1][2][12][13][14]

8.2.3. Характеристики

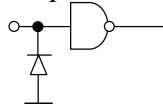
а) Входна характеристика

Характерното за нея е изместването ѝ надясно към по-високите входни напрежения. Това се получава поради факта, че отпушването на прехода В-Е на T_4 , т. е. образуването на нискоомна верига от съответния вход до нулевата шина, става когато базовото напрежение на многоемитерния транзистор достигне до стойност 2,1V, респективно $U_{вх} = 1,4V$ (по 0,7V на всеки отпушен преход).



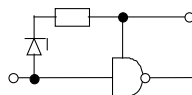
фиг.8.8

- **Зона α** - $U_{вх} < 0$ – протича значителен ток I_0 (може да се повреди логическият елемент). Затова паралелно на входа се включват ограничителни диоди. .



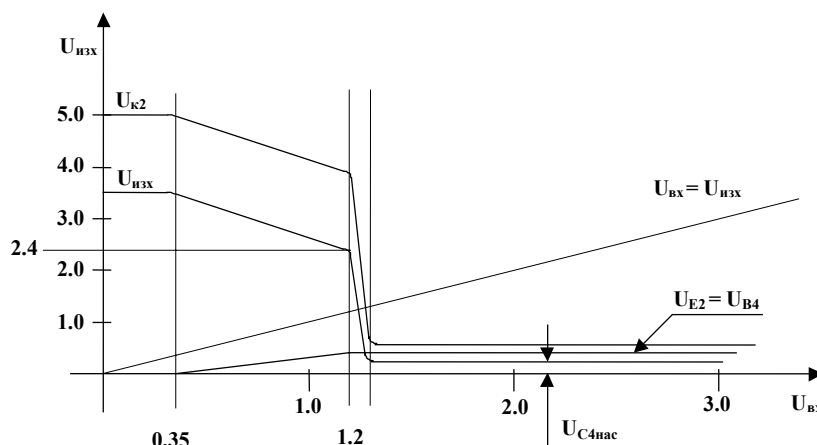
фиг.8.9

- **Зона β** - основна зона. $I_{вх}$ се определя от $R_1 = 4 \text{ к}\Omega$.
- **Зона γ** - Капацитета на кондензатора $C_{вх}$ рязко намалява поради шунтиращото действие на прехода Б-К на T_1 .
- **Зона δ** - Транзисторът T_1 е включен инверсно. Тъй като $\beta_{инв} \ll 1$ то $I_{вх} \approx 10 \mu\text{A}$ (много по-малко от приложеното напрежение)
- **Зона ε** - При напрежение на входа $U_{вх} > (6,5 \div 7,0)\text{V}$ настъпва ценеров пробив на многоемитерния транзистор – прехода Б-Е. Освен това, ако $U_{вх}$ на един от входовете се различава с повече от $5,5 \text{ V}$ от $U_{вх}$ на друг вход, настъпва пробив между емитерите на T_1 . В случай, че съществува такава опасност, на входа се поставя ценеров диод.



фиг.8.10

б) Предавателна характеристика



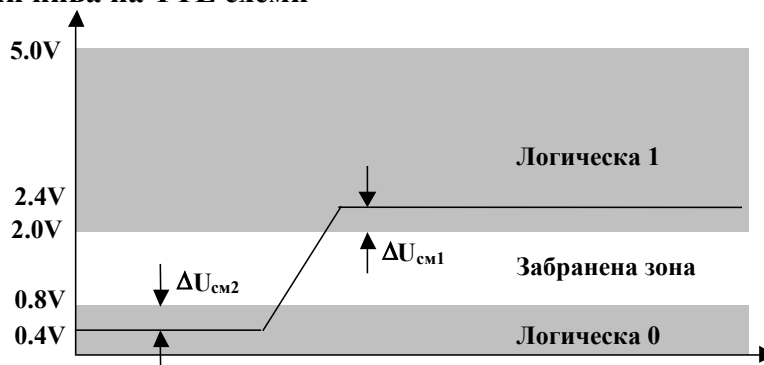
фиг. 8.11

Шумозащитеността при състояние на изходните логическа единица е твърде малка, тъй като T_2 , благодарение на резистора R_E се отпушва още когато входното напрежение стане равно на $0,8\text{V}$. Този недостатък може да бъде отстранен, ако R_E се замени с подходящо управляван транзистор. В такъв случай отпушването на T_2 и T_4 ще става при едно и също входно напрежение. [15]

Зони		T_1	T_2	T_3	T_4	Особености
I зона	$(0 \div 0,55)\text{V}$	отпушен наситен	запушен	активен	запушен	$U_{изх}$ не зависи от $U_{вх}$
II зона	$(0,55 \div 1,2)\text{V}$	наситен	отпушен активен	активен	запушен	
III зона	$1,2 \div 1,3\text{V}$	наситен не се превключва	наситен	активен	наситен и се отпушва	Всички транзистори са отпушени и тече силен ток от захранването
IV зона	над $1,3\text{V}$	в инверсно включване	наситен	в края се запушва	наситен	

T_2 , T_4 и T_5 се отпушват едновременно при $U > 1,2 \text{ V}$. Ако дълго време работната точка остане в зона III, получава се самовъзбуждане на самия елемент (често, ако входа и изхода са свързани).

4) Входни и изходни нива на TTL схеми



фиг. 8.12

Разликата между 0,8 и 0,4 V и между 2,0 и 2,4 V дефинира шумоустойчивостта на TTL схемите.

$$\Delta U_{см1} \approx \Delta U_{см2} = 0,4 \text{ V} \quad (8.7)$$

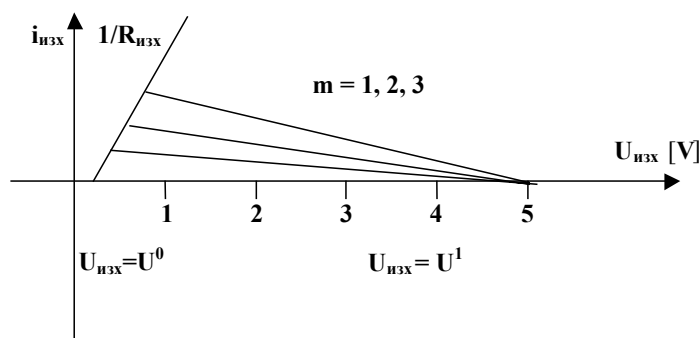
Ако на входа попадне смущаващ сигнал $\Delta U_{см} \ll \Delta U_{см1,2}$, логическият елемент няма да се превключи.

$$\delta U_{см} = \frac{\Delta U_{см}}{E_c} \cdot 100\% \quad (8.8)$$

$$\delta U_{см} = \frac{0,4}{5} \cdot 100 = 8\% \quad (8.9)$$

5) Изходна характеристика

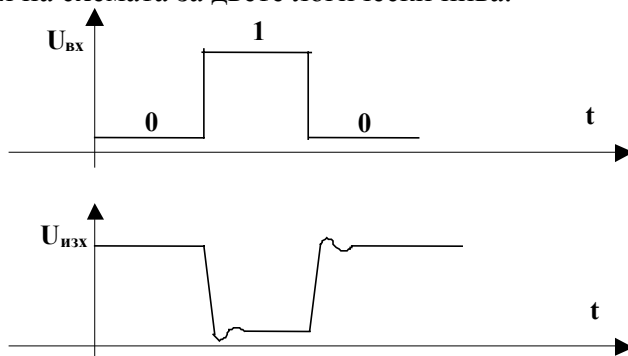
Изходната характеристика представлява зависимостта на изходния ток от изходното напрежение. Тя характеризира товароспособността на логическия елемент и дава възможност да се определи изходното съпротивление. Тъй като логическите елементи могат да се установяват в две статични състояния – ниво единица и ниво нула на изхода, то и изходната характеристика се дава съответно за ниво единица и за ниво нула на изхода. На фиг. 8.13 е дадена типична изходна характеристика на логическия елемент 7400 за степен на натоварване съответно: $m=1$, $m=2$ и $m=3$. [1]



фиг. 8.13

6) Преходна характеристика

Характерното за нея е, че двата фронта имат почти еднаква продължителност (преминаването от логическа 1 към логическа 0 става по-бързо) поради изравняването на изходните съпротивления на схемата за двете логически нива.



фиг. 8.14

Понякога се използва параметъра средно време на закъснение на елемента, равняващо се на :

$$t_{\text{зсп}} = \frac{t_{\text{з01}} + t_{\text{з10}}}{2} \quad (8.10)$$

Продължителността на фронтовете и закъсненията на превключване зависят както от параметрите на елемента, така също в значителна степен и от стойността на капацитета, включен в изхода. Времето на включване и изключване зависи от температурата на околната среда и в значително по-малка степен от стойността на захранващото напрежение.

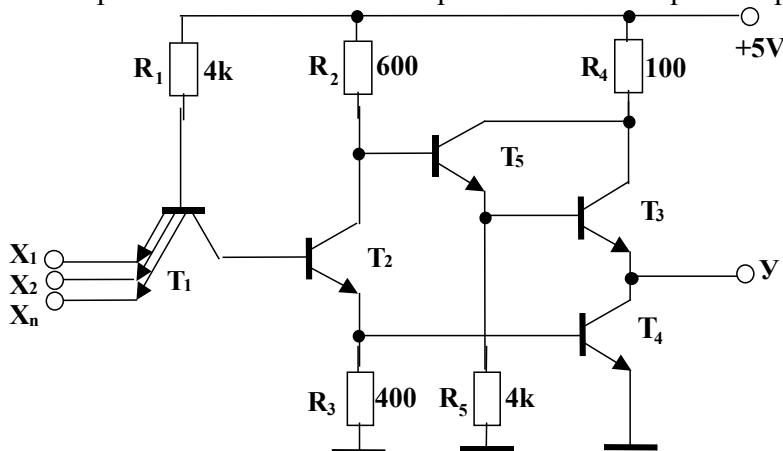
При превключване на елемента от 0 в 1 за кратко време (10nS) са отпушени едновременно T_3 и T_4 . Вследствие на това около (15÷20) пъти нараства тока, който елементът консумира от токоизточника в статично състояние. Повишената стойност на тока на консумация е причина за взаимни смущения между елементите. За да се намалят смущенията в схемата се препоръчва включването на блокиращи кондензатори.

Тъй като консумацията се повишава в момента на превключването, ясно е, че средната мощност, която се разсейва от един елемент ще зависи от честотата на превключване. [13][14][15]

8.3. Видове ТТЛ схеми – И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ

8.3.1. Принципна схема на И-НЕ ТТЛ елемент:

Товароспособността и бързодействието на логическите елементи се определя от параметрите на транзисторите и стойността на съпротивленията на резисторите в схемата.



фиг. 8.15

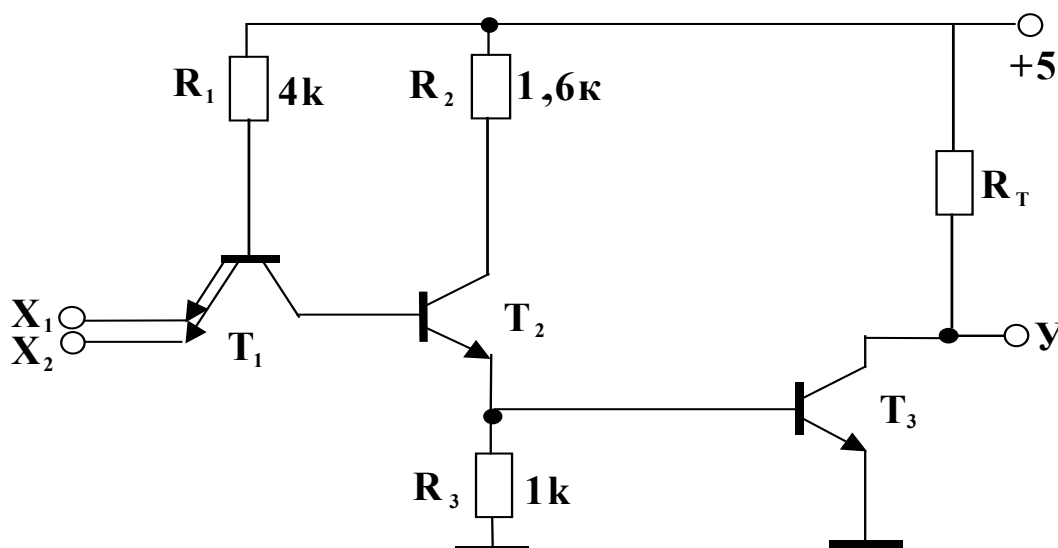
Схема на И-НЕ ТТЛ елемент с повишена товароспособност. Схемата позволява да се получи по-силен изходен ток и оттам и по-голям коефициент на натоварване.

- $I_{\text{изх max}}^0 = 48 \text{ mA}$
- $I_{\text{изх max}}^1 = 1.2 \text{ mA}$

Това се постига, чрез намаляване на стойността на съпротивленията R_2 , R_3 и R_4 и на изключването от схемата на диода D . Последното налага използването на нови компоненти – T_5 и R_5 . Те са необходими за да се поддържа транзистора T_3 запушен при отпушен транзистор T_4 (при ниво 0 в изхода). Транзисторът T_5 и съпротивлението R_5 образуват емитерен повторител, който предава потенциала от колектора на транзистора T_2 към базата на T_3 .

По-силни изходни токове се допускат при логическите елементи с отворен колектор. В схемата им липсват T_3 , R_4 и D . Товарното съпротивление се включва извън интегралната схема, с което се предотвратява прегряването на кристала. Освен това, те позволяват да се получат различни допълнителни схемни реализации – например включване в колекторната верига на намотка на реле, индикаторна лампа, светодиода и др. [13][14]

8.3.2 Принципна схема на И –НЕ ТТЛ елемент с отворен колектор.



фиг. 8.16

При тези елементи се допускат по-силни изходни токове. В схемата на тези елементи, за разлика от елемента показан на фиг. 8.15, липсват транзисторът T_3 , резисторът R_4 и диодът D . От интегралната схема е изведен колектора на транзистора T_4 . Товарното съпротивление се включва извън интегралната схема, с което се предотвратява прегряването на кристала. Освен това логическите елементи с отворен колектор позволяват да се получат различни допълнителни схемни реализации – например в колекторната верига на изходния транзистор може да се включи намотката на реле, индикаторна лампа, светлинен диод или друг индикаторен елемент. Логическите елементи с отворен колектор се произвеждат в няколко варианта – за 5, 15 и 30 волта колекторно напрежение на изходния транзистор и за 16mA или 40mA изходен ток в състояние на логическа нула. С увеличаването на броя на паралелно свързаните елементи с отворен колектор, се намалява допустимият коефициент на натоварване. Максималният брой свързани елементи е $n_{\text{max}}=32$. Зависимостта на R_k от n е следната: [13][15]

n	1	5	9	12	17	20	24	28	32
R_k [Ω]	4000	1600	1000	820	560	510	430	360	330

8.3.3. Схема ИЛИ-НЕ

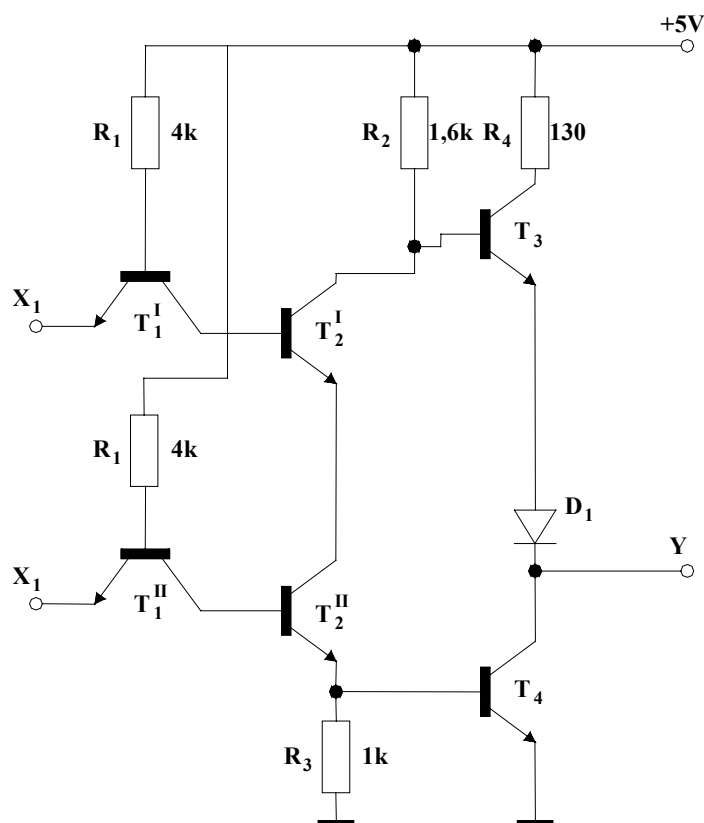
В серията ТТЛ елементи се произвеждат и елементи, реализиращи логическата функция ИЛИ-НЕ.

$$Y = \overline{X_1 + X_2 + \dots + X_m} \quad (8.11)$$

Схемата на логическия елемент ИЛИ-НЕ е построена на базата на елемента И-НЕ, като входният транзистор има един вход. Това позволява входните и изходните параметри на елементите И-НЕ и ИЛИ-НЕ да са еднакви. Логическата операция ИЛИ в схемата на елемента се изпълнява от транзисторите T_2^I и T_2^{II} . Например, ако на входа X_1 сигналът е логическа 1, транзисторът T_2 се насища и нивото в изхода на елемента е логическа 0, независимо от сигнала на входа X_2 , т.е. реализира се функцията ИЛИ-НЕ. За да се увеличи броят на входовете, трябва паралелно на транзисторите T_2^I и T_2^{II} да се включат допълнителни транзистори със съответните входни транзистори. Но за разлика от елементите И-НЕ, при които увеличаването на входовете не е свързано с повишаване на консумацията, при елементите ИЛИ-НЕ всеки вход увеличава с 20% до 40% консумираната мощност. Средната мощност, консумирана от елемента ИЛИ-НЕ в статичен режим, е

$$P = E_k \left(m \frac{E_k - 2U_{\text{бнас}}}{R_1} + \frac{E_k - U_{\text{бнас}}}{2R_1} \right) \quad (8.12)$$

тук m – е броят на входовете.



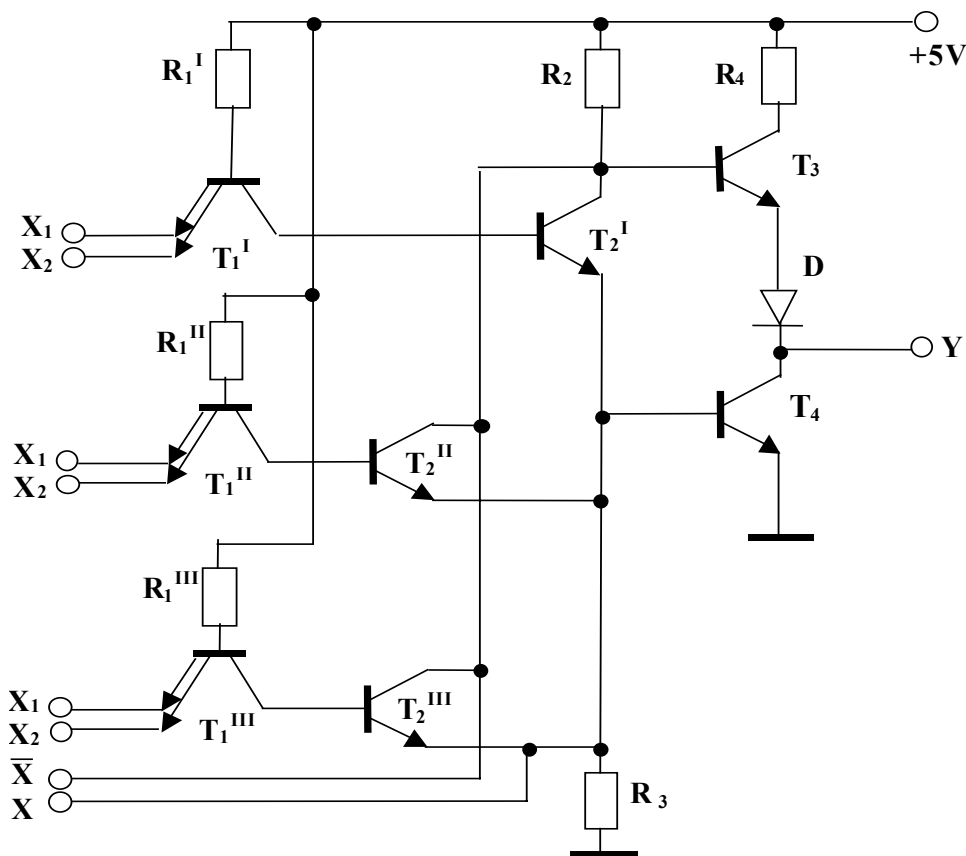
фиг. 8.17

Логическата функция И се реализира от входните многоемитерни транзистори T_1^I , T_1^{II} , а логическата функция ИЛИ от паралелно свързаните транзистори T_2^I , T_2^{II} . Обикновено общите

точки на емитерите и колекторите на паралелно свързаните транзистори T_2 в схемите на елементите И-ИЛИ-НЕ са изведени от корпуса на интегралната схема. Това дава възможност да се включват допълнителни елементи, влизащи в комплекта ТТЛ интегрални схеми, и да се увеличава броят на входовете. [13]

8.3.4. Принципна схема на И-ИЛИ-НЕ ТТЛ елемент.

Ако входните транзистори в схемата ИЛИ-НЕ се изпълнят с повече от един емитер, елементът изпълнява функцията И-ИЛИ-НЕ.



фиг. 8.18

$$Y = \overline{X_1 X_2 + X_3 X_4 + X_5 X_6} \quad (8.13)$$

Обикновено общите точки на емитерите и колекторите на паралелно свързаните транзистори T_2 в схемите на елементите И-ИЛИ-НЕ (точките X и \overline{X}) са изведени от корпуса на интегралната схема. Това дава възможност да се включват допълнителни елементи, влизащи в комплекта ТТЛ интерфейсни схеми и да се увеличава броя на входовете. Тези елементи се наричат разширители и представляват многоемитерен транзистор със свързан към него транзистор T_2 , на който са изведени колектора и емитера. Разширителите се произвеждат с четири входа. Малко разпространен е разширителят с 8 входа (К1ЛП333). Фирмите произвеждат елементите И-ИЛИ-НЕ с възможност и без възможност за разширяване. Изводи за включване на разширители имат схемите от типа К1ЛБ331. Включването на разширители води до повишаване на консумацията на елементите. Освен това се увеличава с 20% и времето за превключване на логическите елементи, тъй като се увеличават паразитните капацитети, включени към колектора и емитера на T_2 . [14][16]

9. Серии ТТЛ елементи. ТТЛ елементи с три изходни състояния.

9.1 Стандартни ТТЛ елементи – К155, 74XX и други.

Характеристики:

- имат $P_k \approx 10\text{mW/елемент}$;
- време на превключване $\approx 9 \div 10\text{ ns}$ (средно);
- $I_{\text{вх}}^0 \approx 0.1\text{ mA}$;
- $I_{\text{вх}}^1 \approx 10\text{ }\mu\text{A}$;
- товароспособност – $n=10$.

9.2. Динамични параметри на ТТЛ схеми със сложен инвертор

Важни параметри на ТТЛ елементите са продължителността на положителния фронт – $t_{\phi 01}$ и на отрицателния фронт $t_{\phi 10}$ на изходните импулси и времето на закъснение на сигнала (времето за разпространяване на сигнала през елемента) при превключване на елемента от 1 в 0, т. е. t_{310} и от 0 в 1 – t_{301} . Тези параметри характеризират бързодействието на елементите. [1][13][14]

- **Максималната честота на превключване на елемента е:**

$$F = \frac{1}{t_{\phi 01} + t_{\phi 10} + t_{301} + t_{310}} \quad (9.1)$$

Времето на закъснение на сигнала винаги трябва да се взема предвид при проектиране на схемата. В противен случай се получават нежелани краткотрайни импулси, които предизвикват грешки в работата на схемата.

- **Продължителността на импулсите** се измерва на ниво 0,05V. Някои фирми измерват продължителността на фронтите от ниво 1V до ниво 2V. Времето на закъснение при превключване на елементите се измерва на ниво 1,5V.

9.3. Видове ТТЛ елементи според консумацията и бързодействието им:

- **ТТЛ схеми – стандартна серия. Това са сериите: 74....** Те имат следните характеристики:
 - $P_k \approx 10\text{mW/елемент}$
 - $t_{\text{превк}} \approx 9\text{ ns}$
- **ТТЛ схеми с понижена консумация: Това са сериите 74L... (К158).** Имат следните характеристики:
 - $P_k \approx 1\text{ mW/елемент}$;
 - $t_{\text{превк}} \approx 22\text{ ns}$.

Намират приложение в преносими системи. Всички съпротивления са десет пъти по-големи от стандартният вариант на ТТЛ елемент със сложен инвертор.

- **ТТЛ схеми с повишена консумация. Това са сериите: 74Н... (К133).** Използват се където е необходимо по-голямо бързодействие. Имат следните характеристики:
 - $P_k \approx 20\text{ mW/елемент}$;
 - $t_{\text{превк}} \approx (6 \div 7)\text{ ns}$.

Съпротивленията са по-малки от стандартният вариант на ТТЛ елемент със сложен инвертор.

- **ТТЛ схеми с диоди на Шотки и малка консумация. Това са сериите: 74LS....** Те имат следните характеристики:

- $P_k \approx 1 \text{ mW/элемент}$

- $t_{\text{превк}} \approx 9 \text{ ns}$

Входните токове са нищожни. Позволяват директно включване към МОС логически елементи. Входът е реализиран, чрез диодна матрица, а не чрез многоемитерен транзистор.

- **ТТЛ схеми с много високо бързодействие и с диоди на Шотки. Това са сериите: 74S....**

9.4. Видове ТТЛ елементи според реализацията на логическата функция.

- **И – НЕ;**
- **ИЛИ-НЕ;**
- **И-ИЛИ НЕ.**

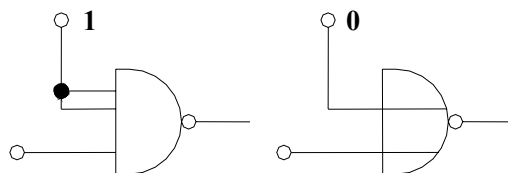
Броят на преходите във входната и изходната верига се избира еднакъв спрямо земя за да съществува съвместимост между тях. [16][17]

9.5. Влияние на неизползваните входове.

ТТЛ елементите се произвеждат с 1, 2, 3, 4 и 8 входа и често се случва не всички от тях да са заети. От гледна точка на алгебрата на логиката е необходимо на неизползваните входове от елементите – И - да се подаде сигнал логическа единица, а на неизползваните входове от елементите – ИЛИ - да се подаде сигнал логическа нула. Сигнал нула се подава, като неизползваните входове се съединяват с общия проводник.

Съществуват следните три възможности за свързване на неизползваните входове на елементите – И .

а) неизползваните входове се свързват с използван вход. При таково свързване се постига най-кратко време на превключване, но се повишава входния ток при логическа единица. Ако предходната схема има резерв по натоварване при логическа единица, този начин трябва да се предпочита;



фиг. 9.1

б) на входовете се подава напрежение 3,3V (ниво логическа единица). Времето на превключване, както и времената на закъснение се увеличават с около 1ns. Този начин трябва да се използва само тогава, когато предходната схема е изцяло натоварена и към нея не могат да се включат повече входове. Този начин има следните недостатъци:

- необходимост от източник на сигнал;
- необходими са допълнителни проводници на печатната платка.

Ниво логическа единица може да се получи и от стабилитрон или от елемент, чийто вход е съединен с общия проводник. Броят на входовете, които могат да се включат към елемента се определя от неговия коефициент на натоварване при логическа единица на изхода.

Входовете могат непосредствено да се съединяват с положителния полюс на токоизточника при условие, че използвания елемент позволява да се подава на входовете напрежение +5,25V. Допуска се също и включване на съпротивление между неизползваните входове и положителния полюс на токоизточника. Стойността на съпротивлението се избира така, че падението на напрежението върху него предизвикано от входния ток да е около 1,5V.

в) Неизползваните входове се оставят отворени. Времето на превключване се повишава с 1ns до 2 ns в сравнение с източника на сигнали. Входовете могат да се оставят

отворени само в този случай, когато времето за превключване е без значение за работата на схемата. [13][14]

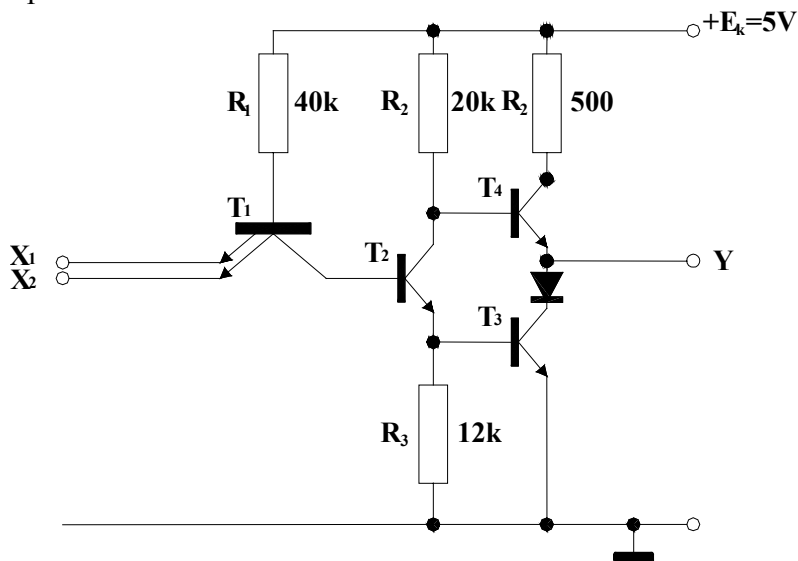
9.6 Влияние на неизползваните елементи.

Входовете на неизползваните елементи трябва да се свържат към общия проводник, тъй като консумацията на елемента се намалява около три-четири пъти, в сравнение със случая, когато входовете се оставят отворени.

9.7 Схеми на серии ТТЛ елементи L, S, H, LS:

а) ТТЛ схема от серията L;

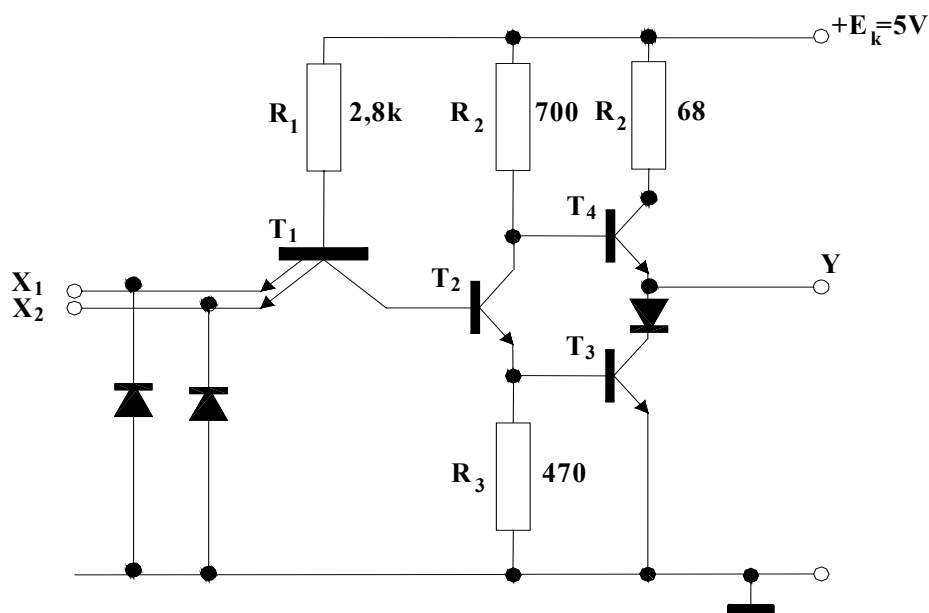
Тази схема е по-бавна в сравнение със стандартната. Поставя се индекс L след цифрите означаващи вида на схемата, например – 7400L. Консумираната мощност е от порядъка на 1mw. Средното време на превключване е около 22ns.



Фиг. 9.2

б) ТТЛ схема от серията H.

Тя се нарича бързодействаща схема. Поставя се индекс H след цифрите означаващи вида на схемата, например – 7400H. Характеризира се с малки стойности на съпротивленията в схемата. Към входовете са включени диоди, които предпазват от пробив емитерите на входния транзистор. Средна консумирана мощност – 20 mw, средно време на превключване (6÷7) ns. [13][16][17]

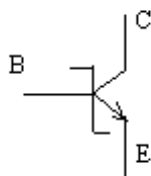


Фиг. 9.3

Броят на емитерите на входния транзистор може да бъде от два до осем. Повече от осем не се правят по технологични причини. [16][17]

в) TTL схеми от серията SL.

Тя съдържа диоди и транзистори на Шотки. Поставя се индекс SL след цифрите означаващи вида на схемата, например – 7400SL. Транзисторът на Шотки е комбинация от интегрален n-p-n транзистор, получен по обикновенната технология и диод на Шотки включен паралелно на входа. Базовият контакт служи като метален електрод на диода, а колекторната област на транзистора – като N област на диода. На практика, за да се получи транзистор на Шотки, се разширява базовият контакт извън базовата област, така че той да захване и част от колекторната област. Такава структура се разглежда като отделен полупроводников транзистор и се означава със специален символ.



фиг. 9.4

Когато транзисторът е запушен или е в активен режим, диодът на Шотки е запушен и не влияе върху работата на транзистора. При насищане на транзистора, когато напрежението на базата и колектора стане равно на :

$$U_{\text{бк}} = U_{\text{отп}} \quad (9.2)$$

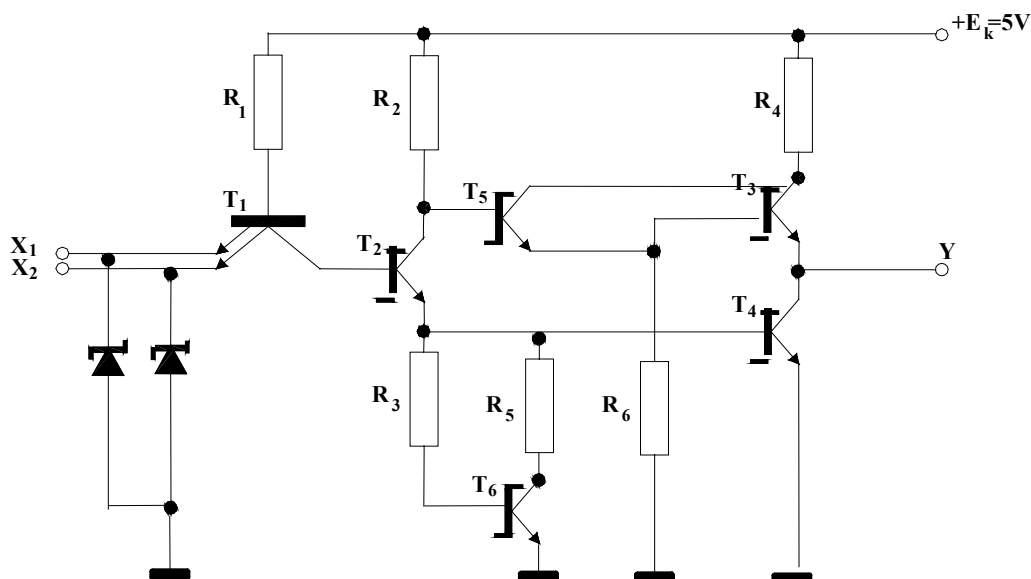
се отпуща диодът на Шотки. Той ограничава степента на насищане на транзистора, тъй като част от базовия ток се отклонява и протича през колектора, т. е. базовият ток намалява, а колекторния се увеличава.

$$\begin{aligned} I_{\text{б}}^1 &= I_{\text{б}} - I_{\text{бш}} \\ I_{\text{к}}^1 &= I_{\text{к}} + I_{\text{ш}} \end{aligned} \quad (9.3)$$

В резултат на това в транзистора на Шотки, когато работи в наситен режим, не се натрупват заряди от токоносителите. При запущване липсва разсейване на неосновни токоносителите, т. е. превключването протича много по-бързо, отколкото при обикновените транзистори.

Логическите нива на входните и изходните сигнали са еднакви с обикновенните ТТЛ схеми и могат да работят съвместно. [1][16][17]

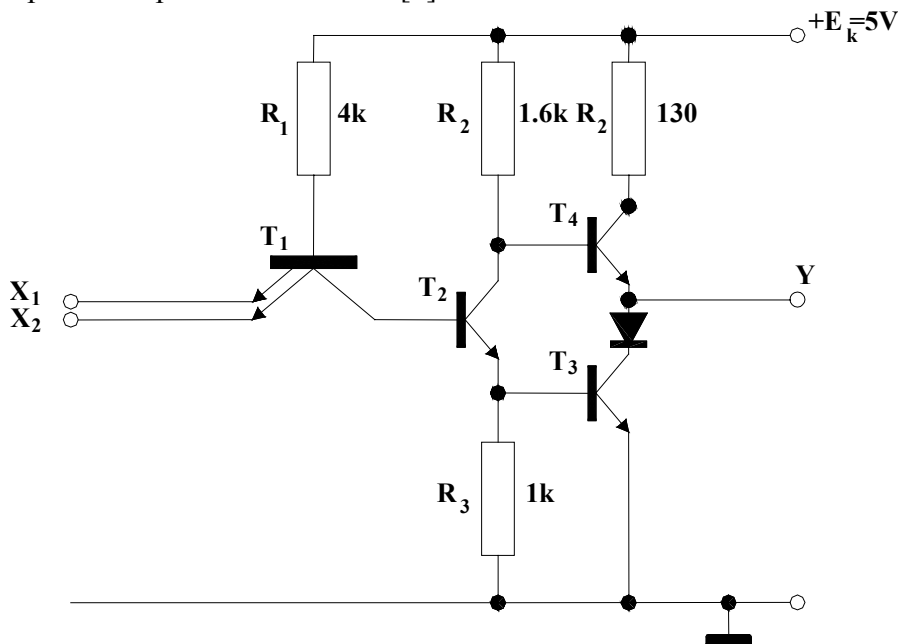
Схема на И-НЕ логически елемент с транзистор на Шотки.



Фиг. 9.5

г) ТТЛ схема от серията S:

Тя е със средно време на бързодействие и се нарича стандартна. Поставя се индекс S след цифрите означаващи вида на схемата, например – 7400S. Средна консумация на схемата – 10 mW, средно време на превключване 9ns. [1]



Фиг. 9.6

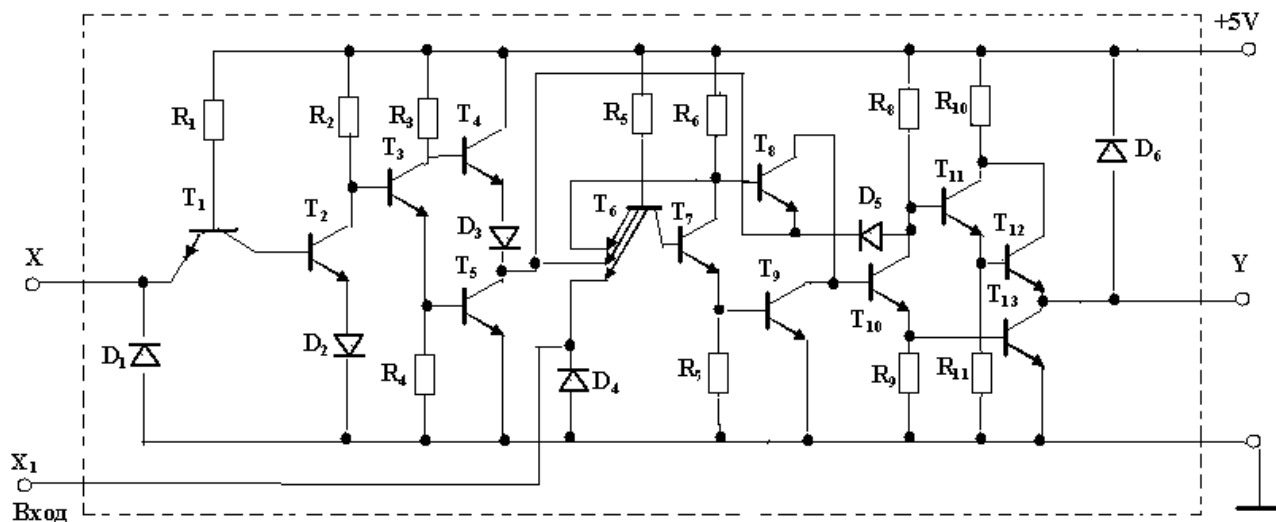
д) Логически елементи с повишена шумоустойчивост:

Това логически елементи от сериите FL и FZ на Siemens като : FLH951, FLH961, FLH881, FZ100 и други. Тези логически елементи имат повишено ниво на изходния сигнал при ниво 1 около 4,2V, и повишено напрежение на прага на превключване – около 2V, и практически имат правоъгълна форма на предавателната характеристика. Времето на

превключване е близко по стойност до времето на превключване на стандартните ТТЛ елементи. Входният ток при 1 е $40\mu\text{A}$, а при 0 – $3,2\text{mA}$. Коефициентът на изходен товар е 8. Към изхода могат да се включат ТТЛ елементи от стандартна серия. Обратно – за да се включи към ТТЛ елемент вход от логически елемент с повишена шумоустойчивост, е необходимо от изхода на ТТЛ елемента към положителния полус на захранването да се свърже резистор със съпротивление $2,2\text{k}\Omega$. [13][14][16]

9. 8. ТТЛ елементи с три изходни състояния.

Не се допуска да се свързват паралелно изходите на ТТЛ елементите. В редица случаи обаче това е необходимо, например при работа на няколко логически елемента на обща линия за предаване на информация. В такъв случай се използват логически елементи, чийто изход може да се изключва от товара. Тези елементи са известни под названието логически елементи с три изходни състояния. Двете състояния са 0 и 1, като нивата на логическата 0 и логическата 1 са същите, както и при стандартните ТТЛ елементи. В третото състояние изходът е високоомен (изключен) – и двата изходни транзистора в сложния инвертор са запушени. За да остане логическият елемент в това състояние, трябва на специално предвидения вход X да се подаде управляващ сигнал. На следващата фигура, фиг. 9.7 е показана схемата на логически елемент – повторител от типа 74126, с три изходни състояния. [1][13][14]



фиг. 9.7

Входният сигнал се подава на един от емитерите на многоемитерния транзистор T_6 . На втория емитер се подава контролен сигнал X. Контролният сигнал се подава от схема на повторител, образуван от транзисторите $T_1 \div T_5$. Когато контролният сигнал е нула, T_6 се насища независимо от значението на входния сигнал, а всички останали транзистори се запушват. Диодът D_6 служи за предпазване на изхода на схемата. [13]

Със схеми с три изходни състояния се осъществяват изходите на паметите с цел увеличаване на обема на паметта.

10. Емитерно свързани логически елементи ЕСЛ (ECL).

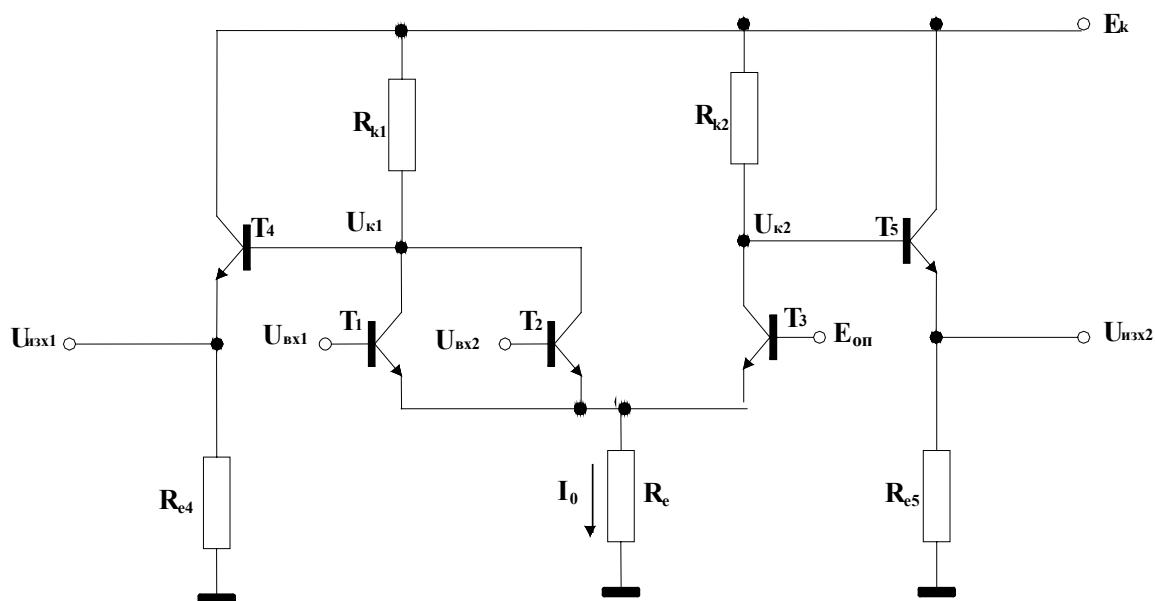
10.1. Общи сведения.

Емитерно свързани логически елементи ЕСЛ се наричат още токови превключватели. Те са най-бързодействащите интегрални схеми, което се дължи главно на използването на ненаситения режим на транзисторите в отпушено състояние и емитерна връзка. За получаване на по-голямо бързодействие и възможност за по-голямо натоварване се използват мощни емитерни повторители, което определя и сравнително голямата консумирана мощност от тези схеми. [1][2][4][7][10][12]

10.2. Особенности на ЕСЛ схемите:

- малко диференциално изходно състояние и в двата режима, което се дължи на изходните емитерни повторители.;
- наличие на високо входно съпротивление, вследствие на ООВ по ток от общия емитерен резистор R_e .
- те фактически се управляват по напрежение, така че много удобно се характеризират с външните си параметри и характеристики.

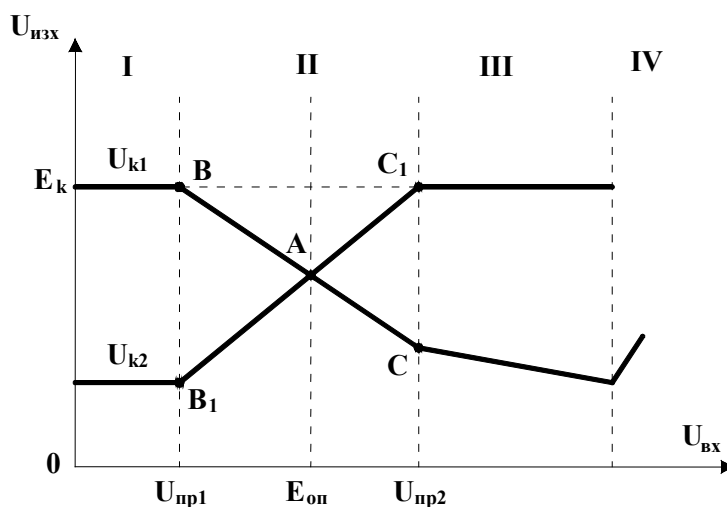
10.3. Схема на основен елемент за изграждане на ЕСЛ схеми.



фиг. 10.1

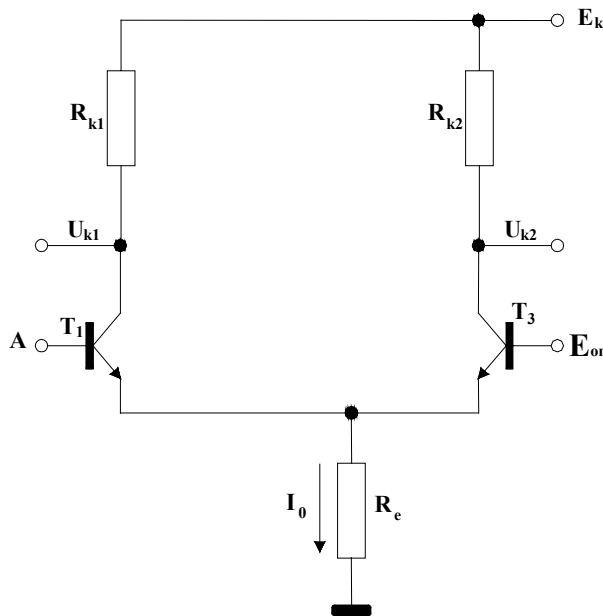
При входни логически променливи U_{vx1} и U_{vx2} на един от изходите се реализира логическа функция ИЛИ-НЕ, а на другия – логическа функция ИЛИ. Входните сигнали се подават в базите на входните транзистори с паралелно свързани емитери и колектори. Към общата емитерна верига е свързан още и опорен транзистор, на базата на който се подава опорно напрежение – $E_{оп}$. Изходите на схемите – прав и инверсен, се снемат от общата колекторна верига на входните транзистори и от колектора на опорния транзистор чрез емитерни повторители. Логическата нула на входа се означава с U_{vx}^0 , а логическата единица с U_{vx}^1 . T_1 , T_2 и T_3 образуват токов превключвател. [4][7][10][12]

10.4. Предавателна характеристика:



фиг. 10.2

За опростяване на анализа на процесите се разглежда елементарна схема на ЕСЛ – елемент с един входен транзистор и без емитерни повторители.



фиг. 10.3

С $E_{\text{оп}}$ е означен източник на постоянно напрежение, чиято стойност се намира в средата на обхвата $U_{\text{вх}}^0$ и $U_{\text{вх}}^1$ т.е.

$$U_{\text{вх}}^0 < E_{\text{оп}} < U_{\text{вх}}^1 \quad (10.1)$$

Силициевите n-p-n транзистори са запущени когато напрежението $U_{\text{бe}}$ е по-малко от 0,6V. Следователно:

$$U_{\text{пр}} = 0,6V \quad (10.2)$$

При наситен транзистор:

$$U_{\text{бe}} = U_{\text{бeнас}} = 0,8V \quad (10.3)$$

а в активен режим:

$$U_{\text{бe}} = U_A = 0,7V \quad (10.4)$$

Зона I на предавателната характеристика - $U_{\text{вх}} < U_{\text{пр1}} = U_{\text{e2}} + U_{\text{бe1o}}$

Когато напрежението на входа на транзистора T_1 е логическа единица, т. е. $U_{\text{вх}} = U_{\text{вх}}^0$, той се запушва. Транзисторът T_2 е отпушен без да е наситен, т. е. той е в активен режим. На общия емитерен резистор се установява напрежение:

$$U_e = E_{\text{оп}} - U_{\text{бe2}} = I_e R_e \quad (10.5)$$

а през транзистора T_2 протича емитерен ток:

$$I_e = I_{\text{e2}} = \frac{E_{\text{оп}} - U_{\text{бe}}}{R_e} \quad (10.6)$$

Зона II на предавателната характеристика - $U_{\text{вх}} = U_{\text{пр1}}$

Когато напрежението на входа на транзистора T_1 стане равно на праговото напрежение, т. е. $U_{\text{вх}} = U_{\text{пр1}}$, входният транзистор T_1 се отпушва, през R започва да тече ток и напрежението U_{k1} започва да намалява.

Но с протичането на ток I_{e2} през транзистор T_1 напрежението върху общото емитерно съпротивление R_e слабо се увеличава. Това води до намаляване на $U_{\text{бe2}}$, което от своя страна води до намаляването на I_{e2} – като резултат: $I_{\text{еобщ}} = I_{\text{e1}} + I_{\text{e2}}$ остава почти непроменен,

$$I_e = \frac{E_{\text{оп}} - U_{\text{бe2}}}{R_e} \approx \text{const} \quad (10.7)$$

защото:

$$\Delta U_{\text{бe2}} \ll E_{\text{оп}} \quad (10.8)$$

При $U_{\text{вх}} = +E_{\text{оп}}$ емитерните токове се изравняват, изравняват се и колекторните напрежения – тъй като $R_{\text{k1}}=R_{\text{k2}}$. Това съответства на точка А от предавателната характеристика.

Увеличаването на входното напрежение води до увеличаване на I_{k1} и намаляване на I_{k2} . това продължава до $U_{\text{вх}} = U_{\text{пр2}}$, когато T_2 се запушва.

В зона II на предавателната характеристика U_{k1} и U_{k2} рязко се изменят, понеже и двата транзистора са отпушени и чрез малките си съпротивления база-емитер силно шунтират R_e .

В зона III на предавателната характеристика - $U_{\text{пр2}} < U_{\text{вх}} < U_{\text{вх}}^1$

Характеристиката на U_{k1} рязко намалява наклона си, понеже T_2 се запушва и не шунтира R_e (транзисторът T_2 работи в режим обща база, за който е характерно много малко входно съпротивление). Транзисторът T_1 се оказва обхванат от дълбока отрицателна обратна връзка по ток през R_e .

Зона IV на предавателната характеристика - $U_{\text{вх}} > U_{\text{вх}}^1$

При входно напрежение $U_{\text{вх}} > U_{\text{вх}}^1$ транзисторът T_1 влиза в режим на насищане, при което и трите извода – база, колектор, емитер имат почти еднакъв потенциал. Затова U_{k1} се увеличава с увеличаване на $U_{\text{вх}}$ над $U_{\text{вх}}^1$. Насищането на транзистора T_1 силно намалява бързодействието и затова са взети мерки да не се допуска работа в зона IV. За да не се допусне насищане на $T_{\text{вх}}$ е необходимо:

$$U_{\text{k1min}} > U_{\text{вх}} \text{ (на даден елемент)} = U_{\text{изх}} \text{ (на предходен елемент)}. \quad (10.9)$$

Това се постига чрез отместване на $U_{\text{изх}}$ от U_k , като се използват за случая емитерни повторители, свързани към изхода на основният елемент.

Получава се:

$$U_{\text{изх1}} = U_{k1} - U_{\text{бе}} \quad (10.10)$$

За да не се отпущва преходът база-колектор на T_1 е необходимо $U_{\text{вх max}} < U_{\text{изх min}}$. За целта са поставени емитерни повторители на изходите, които освен усилване по ток осигуряват и изместване надолу на логическите нива:

$$U_{\text{изх}} = U_k - U_{\text{бе ep}} \quad (10.11)$$

В активната зона II на предавателната характеристика, когато входното напрежение е в границите: $U_{\text{пр1}} \leq U_{\text{вх}} \leq U_{\text{пр2}}$ и двата транзистора са в активен режим и малкото увеличение на $U_{\text{вх}}$ води до преразпределение на почти постоянния емитерен ток I_e между двата транзистора. Затова тези логически елементи се наричат още и превключватели на ток.

$$\Delta U_{\text{вх}} = U_{\text{пр2}} - U_{\text{пр1}} = (0,15 \div 0,2)V, \quad (10.12)$$

10.5. Предимство на ЕСЛ елементи - много голямо бързодействие, превключват от 1 до 2 ns. Това се дължи на следните причини:

- отпущените транзистори работят в активен режим или са запущени – липсва натрупване на неосновни токоносители в базата;
- при малко изменение на входното напрежение, а следователно и малко изменение на изходното напрежение, паразитните капацитети се презареждат бързо;

$$\Delta U_{\text{вх}} = U_{\text{пр2}} - U_{\text{пр1}} = (0,15 \div 0,2)V,;$$

- транзисторите работят в режим по променлив ток, близък до режим обща база, а това е най-висококачественият режим на свързване $\tau_{\alpha} \ll \tau_{\beta}$. Режимът ОБ е най-висококачествена схема на свързване, защото паразитните капацитети не могат да се прехвърлят от входа към изхода.

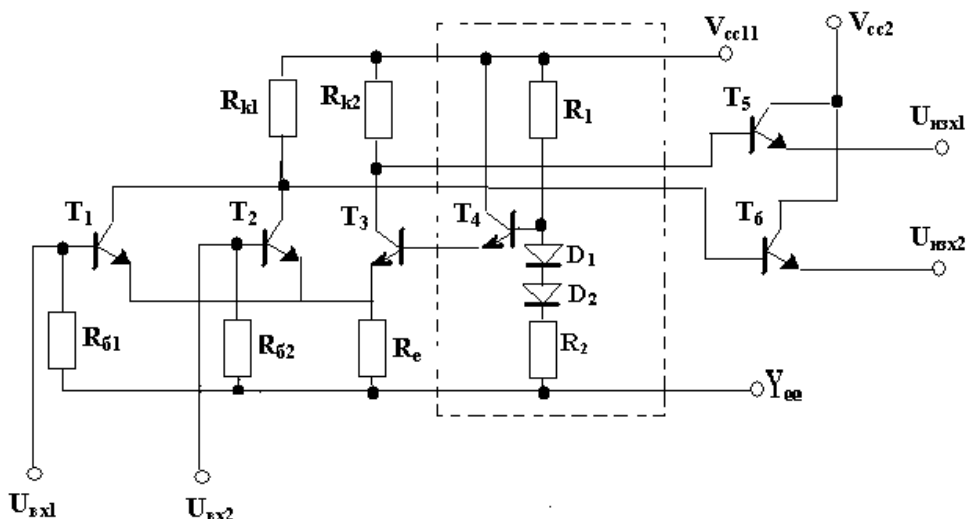
10.6. Особености на ЕСЛ елементите в практическите схеми:

- в някои схеми опорното напрежение се подава отвън, а в други е вградено;
- изходните емитерни повторители понякога могат да се захванват с отделни източници на напрежение
- заземен е плюсовият извод на хранването.

10.7. ЕСЛ схема от серията К500.

В някои ЕСЛ практически схеми опорното напрежение се подава отвън, а в други схеми е вграден термостабилизирани източник. Изходните емитерни повторители могат да се захванват с отделни източници, например в схемите от серията К500. [10] [12]

Вътрешна схема на К500ЛМ05

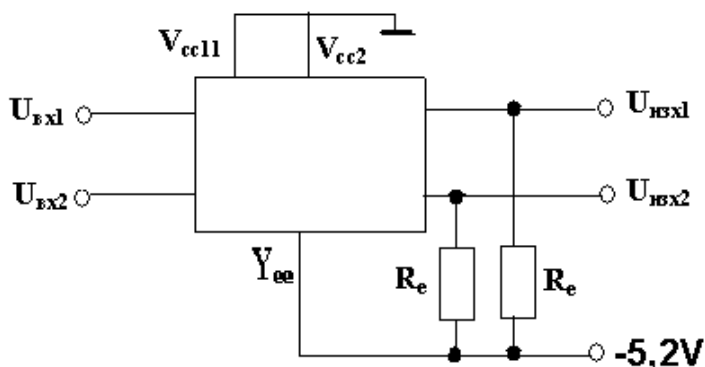


фиг. 10.4

Ако на базите на входните транзистори T_1 и T_2 има едновременно нисък потенциал (лог. 0) T_1 и T_2 са запушени и на изход 2 ($U_{изх2}$) ще има висок потенциал, а на изход 1 ($U_{изх1}$) – нисък потенциал. Ако поне на един от входовете се подаде висок потенциал – лог. 1, съответният входен транзистор се отпушва, а опорният транзистор T_3 се запушва – на изход 2 ще има логическа нула, а на изход 1 – логическа единица. Следователно, елементът реализира логическа функция ИЛИ-ИЛИ/НЕ (ИЛИ за изход 1, ИЛИ-НЕ за изход 2). ЕСЛ елементът има вграден източник на опорно напрежение $E_{оп} = -1,3V$ (спрямо V_{cc}), реализиран от елементите T_4, D_1, D_2, R_1, R_2 - виж фиг. 10.4.

Особеност на свързване на ЕСЛ – елементите е, че е заземен плюсовият извод на захранването. Схемата е разчетена за работа с емитерни резистори $R_e = 50, 75, 100\Omega$ и повече. С цел непосредствено свързване към кабел (коаксиален или симетричен), за предаване на сигнали на дълги разстояния, R_{e1} и R_{e2} се избират равни на характеристичния импеданс на кабела, за да се избегнат отражения на сигналите. При работа с нискоомни емитерни резистори се препоръчва отделно захранване на емитерните повторители с напрежение $V_{cc} = 2,4$ или $3,4V$. [4][7][10][12]

Начин на свързване на елемента:



фиг. 10.5

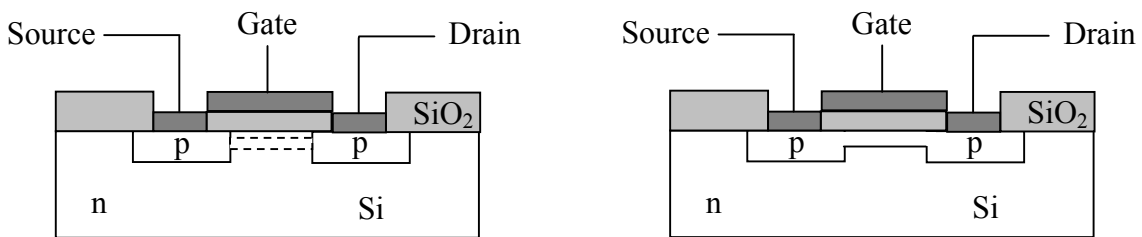
11. MOS логически елементи.

11.1. MOS транзистор. Определение:

MOS транзистор се нарича полеви транзистор със структура метал-окис-полупроводник (силиций), който има много високо входно съпротивление (от 10^{12} до $10^{14}\Omega$) и се управлява с напрежение. Разликата между биполярните и полевите транзистори е както в тяхното действие, така и в техните свойства, въпреки, че основните им градивни материали и технологии са много близки. Биполярният транзистор е прибор, чието действие се основава на инжекция и пренасяне на неосновни носители и представлява комбинация от два p-n прехода. Полевият транзистор е прибор, действието на който се основава на преместване на основните токоносители. Докато биполярните транзистори се управляват по ток, полевите транзистори се управляват по напрежение. Още една разлика са различните им входни и изходни съпротивления. Входното съпротивление на биполярния транзистор е твърде малко и всъщност е съпротивление на отпушен p-n преход, докато входното съпротивление на полевия транзистор е голямо, тъй като входната му верига представлява запушен p-n преход. По принцип изходните съпротивления и на двата типа транзистори са високи. [4][5][12]

За разлика от полевия транзистор с управляващ p-n преход MOS транзистора е с изолиран затвор, благодарение на което запазва високото си входно съпротивление, независимо от големината и поляритета на входното напрежение на гейта.

Устройство на MOS транзистор с p-канал



а) MOS транзистор с индуциран канал

б) MOS транзистор с вграден канал

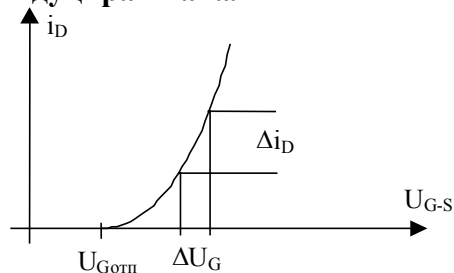
фиг. 11.1

MOS транзистори върху p-подложка не се използват, поради малкото им бързодействие и ниска шумоустойчивост.

В MOS транзисторите с индуциран канал условията, възникващи на повърхността, разделяща силиция от окиса, са такива, че нормално всички прибори с канал от p-тип в изходно състояние (нулево напрежение на гейта) са запушени, а всички прибори с канал n-тип са отпушени. Тъй като в логическите и импулсни схеми е желателно да се използват прибори, които в изходно състояние са запушени, изключително приложение намират MOS транзистори с индуциран канал p-тип. [4][5]

11.2. Характеристики на MOS транзистори.

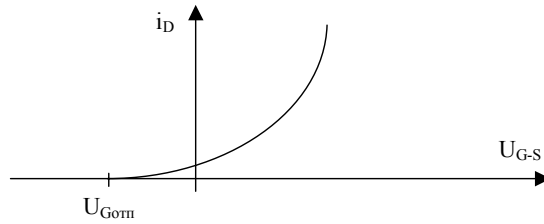
а) Входни характеристики – индуциран канал



фиг. 11.2

$S = \frac{\Delta i_D}{\Delta U_G}$ - стръмност на характеристиката

Характеристиката се отнася за транзистор с индуциран канал, а за транзистор с вграден канал ще има вида:



фиг. 11.3

Тези характеристики се описват с израза

$$i_D = \frac{\beta}{2} (U_{G-S} + U_{G0от})^2 \quad (11.1)$$

който е в сила за постоянно напрежение.

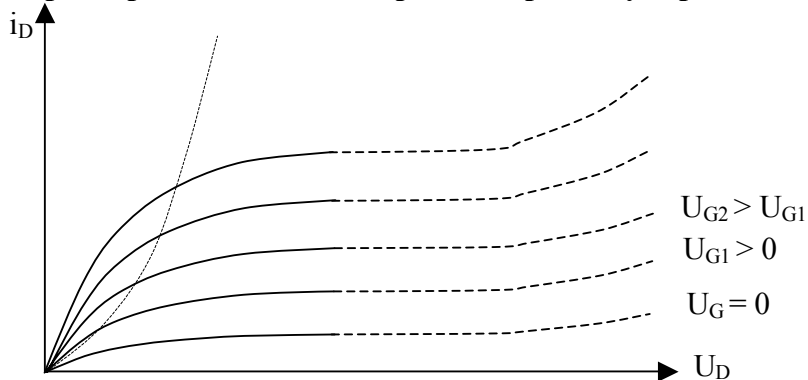
Важен параметър на MOS транзистора е стръмността на предавателната му характеристика:

$$S = \frac{di_D}{dU_G} = \beta(U_{G-S} - U_{G0от}) \quad \text{при } U_{DD} = \text{const} \quad (11.2)$$

Стръмната и полегатата област на волт-амперната характеристика са работни области на MOS транзистора, докато третата област – на лавинния пробив – не се използва.

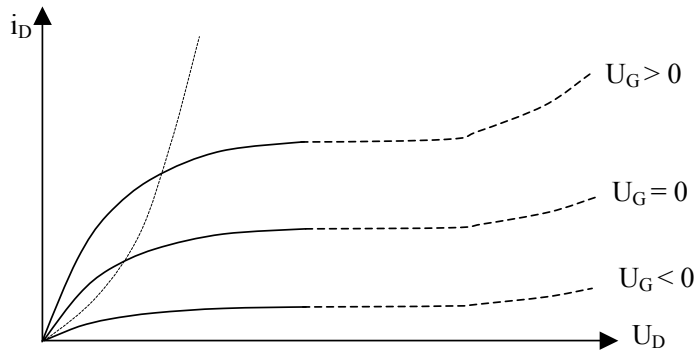
в) Изходни характеристики

- Семейство характеристики на MOS транзистор с индуциран канал



фиг. 11.4

- Семейство характеристики на MOS транзистор с вграден канал



фиг. 11.5

Характеристиките имат един и същи вид с тази разлика, че при индуциран канал характеристиката за напрежение на гейта равно на нула практически се слива с абсцисната ос, докато при вграден канал на тази характеристика отговаря значителен ток на дрейна.. Областта на характеристиките се разделя на две от т. н. гранична крива ($U_{гр} = U_{GS} - U_{G0пн}$), която е показана с пунктирна линия. Стръмната част на характеристиката, която се намира наляво от граничната линия, т. е. при $U_D < U_G - U_{G0}$ се определя от израза

$$i_D = \beta(U_G - U_{G0})U_D - \frac{\beta}{2}U_{DD}^2 \quad (11.3)$$

Тази област се характеризира с променливо съпротивление в областта надясно от граничната крива, т. е. при изпълнение на условието $U_{DD} > U_G - U_{G0}$ (област на насищане), характеристиката се определя с израза:

$$i_D = \frac{\beta}{2}(U_G - U_{G0})^2 \quad (11.4)$$

Този израз отразява квадратичната зависимост на тока на дрейна от напрежението на гейта, и показва също, че токът на дрейна не зависи от напрежението на дрейна, т. е. в този участък е пренебрегнато вътрешното съпротивление.

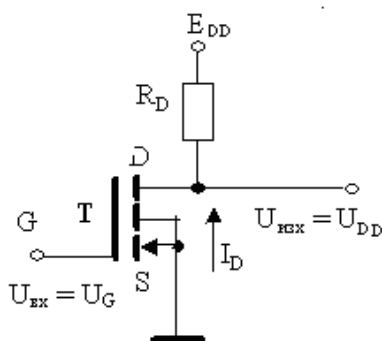
Разлики в изходните характеристики на биполярните и MOS транзистори.

1. Не се наблюдава рязко насищане – не се сливат характеристиките при малки U_{DD} , големи i_D и U_G .
2. Предавателната характеристика е нелинейна, т. е. на еднакви ΔU_{DD} не съответстват еднакви Δi_D – т. е. разстоянията между кривите не са еднакви.
3. Ток във входната верига не протича.

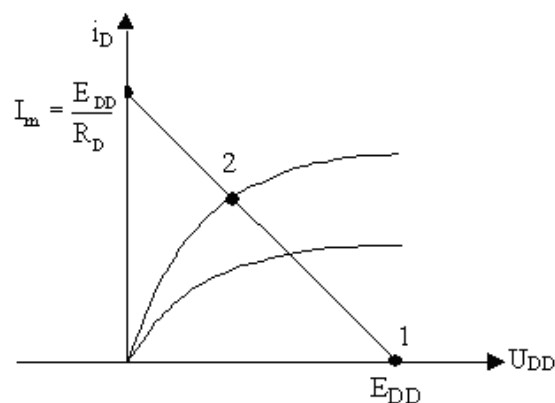
11.3. MOS инвертор с линеен товар.

Поведението му не се различава от поведение на ключ с линеен товар.

Принципна схема



Изходна характеристика и товарна права



фиг. 11.6

Ключовият режим на схемите се характеризира с точките 1 и 2. Точка 1 отговаря на запушен транзистор, за който са в сила следните съотношения

$$|U_G| < |U_{G0}|; \quad i_D = 0; \quad U_{DD} \approx E_{DD} \quad (11.5)$$

Работна точка 2, отговаряща на отпушен транзистор, при голямо съпротивление на товарния резистор R се намира на стръмната част на характеристиката. При тези условия отпушеният MOS транзистор може да се замени със статичното съпротивление на дрейна r_D за стръмната част на характеристиката. В такъв случай съпротивлението на дрейна е

$$r_D = \frac{1}{S_M} = \frac{1}{\beta(U_G - U_{G0})} = \frac{1}{\beta U_G'} \quad (11.6)$$

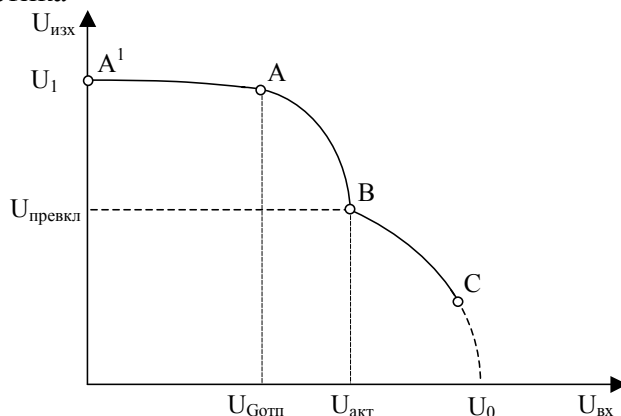
Остатъчното напрежение при отпушен MOS транзистор се определя с израза:

$$U_{Dmin} = \frac{E_{DD} r_D}{R_D + r_D} = E \frac{1}{1 + S_M R_D} \quad (11.7)$$

За намаляване на остатъчното напрежение на дрейна при отпушен транзистор трябва да се изпълнява условието $S_M R_D \gg 1$. То може да се намали и като се увеличи напрежението на гейта или се намали отпушващото (праговото) напрежение на транзистора. Последното може да се извърши при самото конструиране на транзистора. [4][5][10][12]

$$U_{Dmin} = \frac{E_{DD}}{S_M R_D} = \frac{E_{DD}}{\beta R_D U_G'} = \frac{E_{DD}}{\beta R_D (U_G - U_{G0})} \quad (11.8)$$

Предавателна характеристика



фиг. 11.7

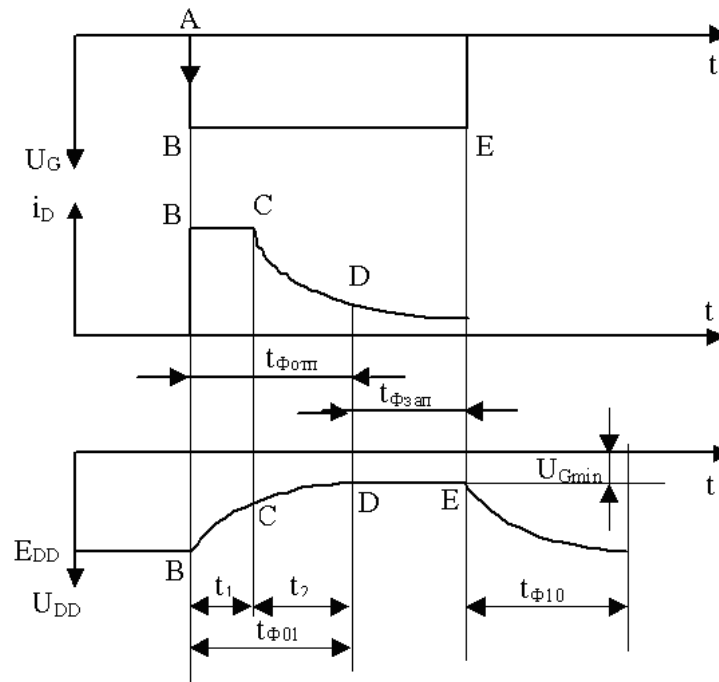
- 1) В интервала от точка A^1 до точка А – транзисторът е запущен.
- 2) В точка А започва отпушването на транзистора.
- 3) В интервала от точка А до точка В – има движение в полегата част. Това е работната област на транзистора. Вътрешното му съпротивление R_D е голямо, то е нелинейно и затова характеристиката е нелинейна.
- 4) Точка В това е работната точка на граничната линия.
- 5) В интервала от точка В до точка С, това е област с голям наклон. Вътрешното съпротивление R_D е малко. При нарастване на входното напрежение, изходното напрежение намалява. За да може $U_{изх}^0$ да е малко трябва в областта ВС съпротивлението r_D да е много по-малко от R_D .

Върху бързодействието влияние оказват паразитните капацитети. Превключването с честота от порядъка на MHz не е проблем за MOS транзистора. Собствената гранична честота на MOS транзистора е около 1000 MHz. Реалната скорост на превключване значително се намалява вследствие на паразитните капацитети, по-специално на капацитета дрейн-подложка.

Преходни процеси при ключов режим на стъпало с MOS транзистори със заземен сорс. Изследванията се правят при следните допускания:

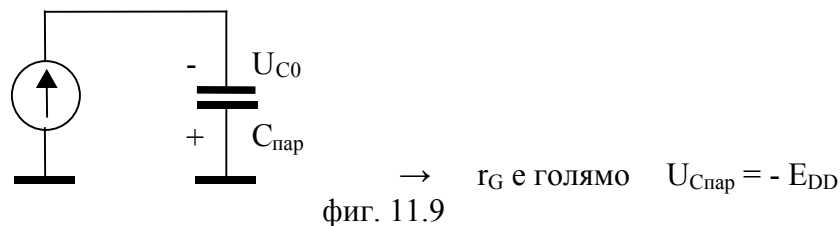
- Основните носители в канала на MOS транзистора са безинерционни, т. е. стръмността му не зависи от честотата, което е вярно за честоти до 10 MHz;
- Изходното съпротивление в областта на насищане е безкрайно голямо.
- Резисторът R_D е със значително по големина съпротивление и не отчитаме тока в него.

- Идеализираме характеристиката на MOS транзистора и в стръмната ѝ част, като я заменяме с права линия, чийто наклон съответства на началното съпротивление на дрейна, отговарящо на малък ток и малко напрежение (r_D), при реални характеристики.



фиг. 11.8

В изходно състояние транзисторът е запушен, а паразитния кондензатор – зареден до захранващото напрежение E_{DD} . При подаване на правоъгълен отрицателен импулс на гейта, транзисторът се отпушва. Токът на дрейна мигновено нараства от 0 до стойност I_D и започва да разрежда кондензатора C. От точка A до точка B (виж фиг. 11.8) тече ток, но той не води до изменение на напрежението. При започналото разреждане тока е линеен. За точки B-C еквивалентната схема на разрядната верига е:



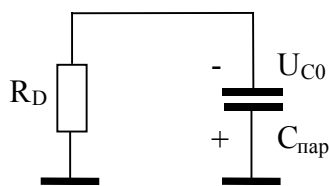
фиг. 11.9

Разреждането на кондензатора продължава, докато напрежението му спадне от E_{DD} до $U_{DD} = U_G/2$. Продължителността на процеса съгласно еквивалентната схема на разреждане с постоянен ток ще бъде:

$$t_1 = \frac{C \Delta U_{DD}}{I_D} = \frac{C \left(E_{DD} - \frac{U_G'}{2} \right)}{\frac{\beta}{2} U_G'^2} = \frac{C}{\beta} \cdot \frac{2E_{DD} - U_G'}{U_G'^2} = \frac{C}{S_M} \left(\frac{2E_{DD}}{U_G'} - 1 \right) \quad (11.9)$$

където $C/S_M = \tau_c \rightarrow$ еквивалентна времеконстанта

След този момент условията се изменят, тъй като работната точка на транзистора преминава в стръмната част на характеристиката и разреждането на кондензатора продължава по следната еквивалентна схема (отговаря на участъка C-D)



фиг. 11.10

Процесът продължава до пълното разреждане на кондензатора C и ще бъде:

$$t_2 \approx 3C r_D = 3C \frac{1}{S_M} = 3\tau \quad (11.10)$$

Тъй като приехме, че $r_D = \text{const}$ и $R_D \gg r_D$

Тогава общата продължителност на фронта при отпушване ще бъде:

$$t_{\phi 01} = t_1 + t_2 \quad (11.11)$$

В момента на завършване на отрицателния импулс – в т. Е, транзисторът се запушва – кондензаторът C започва да се зарежда до напрежение E_{DD} през резистора R_D . Продължителността на задния фронт $t_{\phi 10}$ ще се определя с израз:

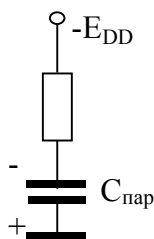
$$t_{\phi 10} \approx 3R_D C \quad (11.12)$$

На практика $t_{\phi 10} \gg t_{\phi 01}$, което се свежда до изпълнение на неравенството

$$R_D C \gg \frac{C}{S_M} \quad (11.13)$$

Последното неравенство е винаги в сила, тъй като на практика винаги съпротивлението на резистора R_D е достатъчно голямо, така че $S_M R_D \gg 1$.

Еквивалентната схема за участъка D-E е:



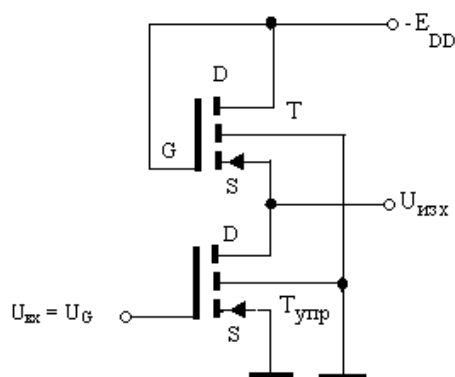
Кондензаторът C се зарежда

фиг. 11.11

При разглеждания ключ бързодействието е малко. За повишаване на бързодействието вместо R във веригата на дрейна се поставя още един транзистор.

11.4. MOS инвертор с нелинеен товар

Принципна схема:



фиг. 11.12

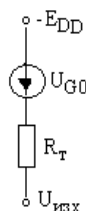
Особености:

- $U_{GS_{ТОВ}} = - (E_{DD} - U_{ИЗХ})$;
- $U_{GT_{ОВ}} = U_{GS_{ТОВ}} = U_{DS_{ТОВ}}$

Товарният транзистор е винаги отпушен и работи в плаващ режим. Когато $T_{упр}$ е запушен, т. е. $U_{ВХ}=0$, $T_{тов}$ работи на границата на отпушването, т. е. $I_{D_{ТОВ}}$ е много малко и

$$U_{ИЗХ} = - (E_{DD} - U_{DD_{ТОВ}}) \tag{11.14}$$

При нарастване на входното напрежение $T_{упр}$ се отпушва, а $T_{тов}$ се насища. $T_{тов}$ може да се замени с еквивалентно напрежение:



фиг. 11.13

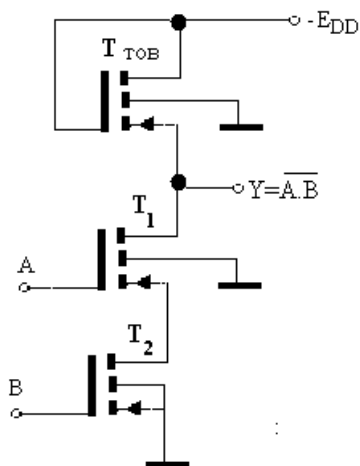
От тук при построяването на изходните характеристики трябва да се има предвид следното:

- При наличието на такъв източник работната точка винаги ще се отмества от E_{DD} .
- R_T не е линейно и товарната линия ще е нелинейна.

11.5. MOS логически елементи

11.5.1 Схема на И-НЕ MOS логически елемент с нелинеен товар.

Схемата е изградена от MOS транзистори и нелинеен товар. Транзисторите T_1 и T_2 са управляващи. Ако транзисторите се свържат последователно схемата ще изпълнява логическата функция И-НЕ – фиг. 11.14.



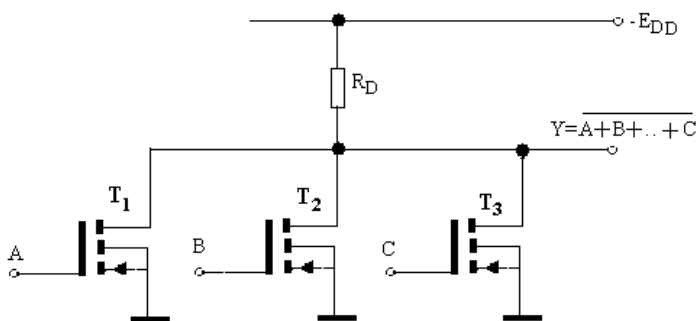
фиг. 11.14

Особености:

- Когато управляващите транзистори T_1 и T_2 са включени последователно и ако поне един е отпушен то на изхода се получава логическа нула. При логически нули на входовете, отпушен е товарният транзистор и на изхода ще се получи логическа единица близка до захранващото напрежение.
- Когато на всички входове се подаде логическа единица, то товарният транзистор е запушен. Товарният транзистор и управляващите транзистори T_1 и T_2 никога не работят заедно;
- Голямо бързодействие;
- Голяма товароспособност, ограничена от паразитните капацитети.

11.5.2 Схема на ИЛИ-НЕ MOS логически елемент с линеен товар.

Схемата е изградена от MOS транзистори и линейно товарно съпротивление. Тя има няколко входни транзистора MOS с индуциран канал, свързани успоредно по отношение на изхода и товарно съпротивление R_D .



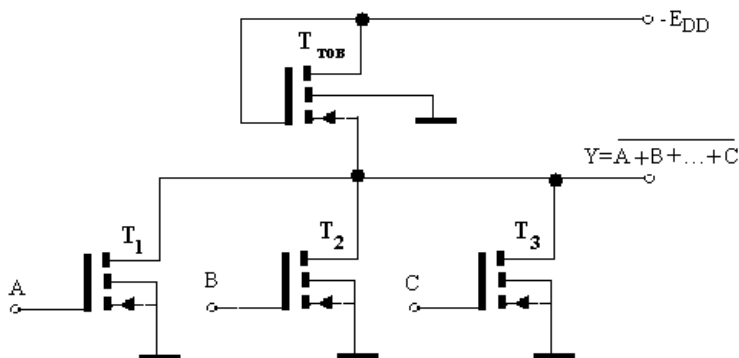
фиг. 11.15

Схемата има следните недостатъци:

- малко бързодействие;
- не позволява голям брой входове и голямо натоварване, защото се увеличават паразитните капацитети.

11.5.3 Схема на ИЛИ-НЕ MOS логически елемент с нелинеен товар.

Схемата е изградена от MOS транзистори и нелинеен товар. Транзисторите T_1 , T_2 и T_3 са управляващи.



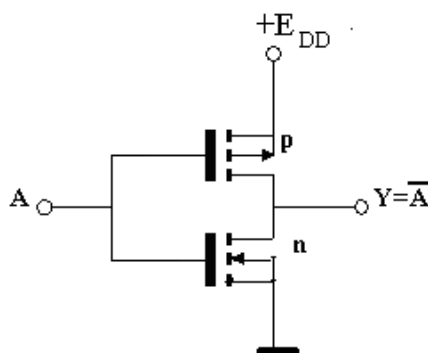
фиг. 11.16

Входните транзистори са свързани паралелно и схемата изпълнява логическата функция ИЛИ-НЕ. [4][5][12]

12. CMOS – логически елементи.

Основните градивни компоненти на CMOS интегралните елементи са MOS транзисторите с N и P канал. Най-простият CMOS логически елемент е инверторът. При него се използва огледалната симетрия между транзисторите с N и P канал, което позволява единият от тях да служи за товарно съпротивление на другия. За целта двата транзистора се свързват последователно с дрейновете си един към друг, като сорсът на транзистора с N канал се включва към маса, а сорсът на транзистора с P канал към захранващия източник E_{DD} . Гейтовете на двата транзистора се свързват заедно и служат за вход на инвертора, а общата точка на дрейновете им служи за изход. [4][5][10][12]

12.1. Принципна схема на инвертор с CMOS.



фиг. 12.1

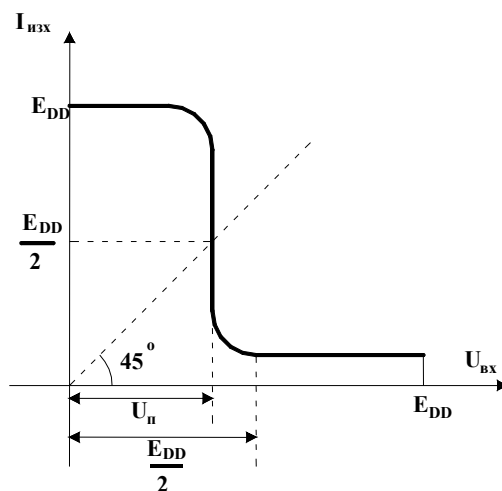
Основно предимство на CMOS инвертора е, че винаги единият от транзисторите е отпушен, а другият запушен. Затова при отсъствие на товар консумацията му е практически нулева. Когато $U_{вх}=0$ транзисторът T_1 е запушен а транзисторът T_2 е наситен. Изходното напрежение е:

$$U_{изх} = E_{DD} \quad (Y=1) \quad (12.1)$$

Когато на входа се подаде логическа единица, т. е. $U_{\text{вх}} = E_{\text{DD}}$, транзисторът T_1 е отпушен и наситен, а транзисторът T_2 е запушен и изходното напрежение е равно на логическа нула ($Y = 0$).

12.2. Предавателна характеристика на идеален CMOS инвертор:

Понеже в статично състояние единият транзистор винаги е запушен, а другият винаги е наситен, логическите нива са много близки до 0 и до E_{DD} , ток през ключа практически не протича.



фиг. 12.2

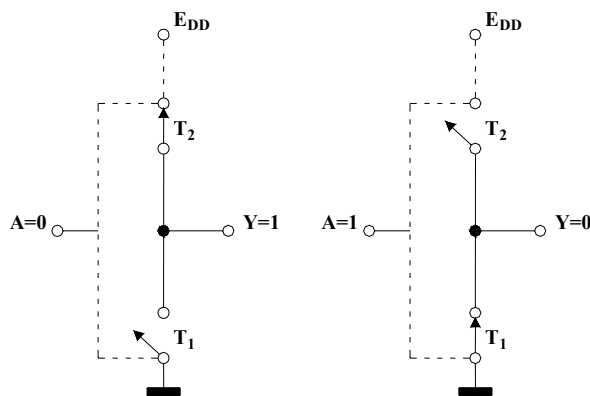
Товароспособността е много висока ($m = 15 \div 100$), бързодействието е по-високо от това на MOS – елементите с еднотипни транзистори – винаги на изхода има наситен транзистор с малко изходно съпротивление. При превключване през транзистора протичат значителни токове за презареждане на капацитетите в изхода.

При отсъствие на входен сигнал NMOS транзисторът е запушен а PMOS транзистора е отпушен и наситен и $U_{\text{изх}} = E_{\text{DD}}$. Когато входното напрежение започне да нараства, до достигане на $U_{\text{праг}}^1$, т. е. $U_{\text{вх}} \leq U_{\text{праг}}^1$, NMOS транзисторът остава запушен и изходното напрежение не се променя. След това той започва да се отпушва, а PMOS транзисторът да се запушва, поради което изходното напрежение намалява. Когато разликата между захранващото и входното напрежение достигне праговото на PMOS транзистора, т. е. $(E_{\text{DD}} - U_{\text{вх}})$, последният се отпушва и изходното напрежение става логическа нула: $U_{\text{изх}} = 0V$.

Пълната симетрия на схемата обуславя и пълната симетрия на предавателната характеристика.

Превключването става точно при $U_{\text{вх}} = U_{\text{п}} = E_{\text{DD}}/2$, което осигурява най-добрата шумоустойчивост.

Заместителна схема на ключ с CMOS транзистори:



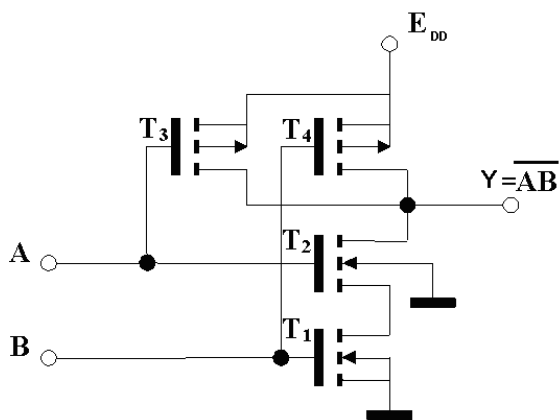
фиг. 12.3

Включването и изключването на двата NMOS и PMOS транзистора се управлява от входния сигнал, подаден на гейтовете, който е отбелязан на заместителната схема с прекъснатата линия. Това представяне отговаря доста точно на физическите свойства на транзисторите: при запушено състояние съпротивлението им е много високо, при отпушено състояние съпротивлението на съответния канал –р- или –п- е достатъчно ниско, около 200 Ω до 1000 Ω.

CMOS инверторът служи като основа при изграждането на останалите CMOS интегрални схеми. За целта се използват, както подходящи свързвания на няколко инвертора, така и схеми с повече от два транзистора с р и п канал, включени по подобен на инвертора начин. [4][5]

12.3. CMOS логически схеми:

- CMOS логически елемент И-НЕ – принципна схема. Таблица на истиност.



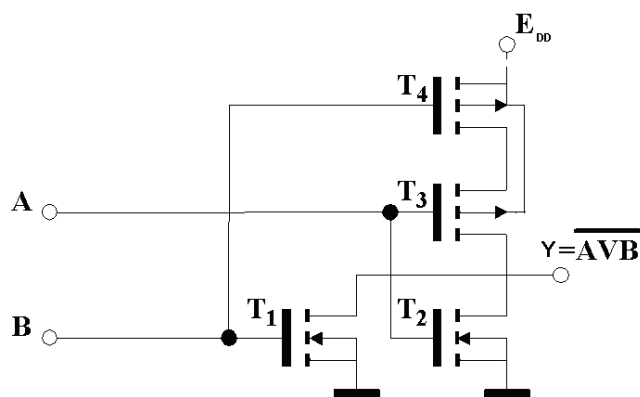
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

фиг. 12.4

Свързването на NMOS транзисторите T_1 и T_2 е последователно, а PMOS транзисторите T_3 и T_4 е паралелно. Възможни са следните комбинации от входни сигнали:

- 1) $A=B=0$ т.е. T_1 и T_2 са запушени, а T_3 и T_4 са отпушени. Тогава $U_{\text{изх}}=U_{\text{DD}}=\text{лог.1}$; ($Y=1$).
- 2) Единият вход има нулев потенциал, а другият висок ($A=1, B=0$ или $A=0, B=1$) Винаги е запушен един от транзисторите T_1 или T_2 и е отпушен един от транзисторите T_3 или T_4 . Изходното напрежение е: $U_{\text{изх}}=U_{\text{DD}}=\text{лог.1}$ ($Y=1$)
- 3) $A=B=1$ Транзисторите T_1 и T_2 са отпушени, а T_3 и T_4 са запушени. Тогава изходното напрежение ще бъде: $U_{\text{изх}}=0$ ($Y=0$).

- CMOS логически елемент ИЛИ-НЕ – принципна схема.



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

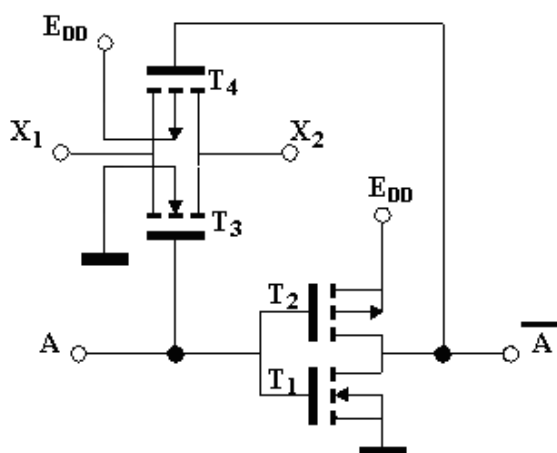
фиг. 12.5

Този логически елемент е изграден от два последователно свързани PMOS транзистора (T_3 и T_4), последователно на които са свързани два паралелно съединени NMOS транзистора (T_1 и T_2). Всеки вход управлява гейта на един PMOS и на един NMOS транзистор. Подложките на всички PMOS транзистори са свързани с положителния полюс на захранващият източник, а подложката на NMOS транзистора – към маса. Възможни са следните комбинации от входни сигнали:

- 1) Ако на двата входа е подаден сигнал $A=B=0$, т. е. $U_{вх1}=0$ и $U_{вх2}=0$, то T_1 и T_2 са запущени, а T_3 и T_4 са отпушени. Изходното напрежение е: $U_{изх} = E_{DD}$ т.е. $Y=1$.
- 2) Ако на единият от входовете има нулев потенциал, а на другия е подадена логическа единица, т. е. $A=1, B=0$ или $A=0, B=1$. В този случай винаги единият от PMOS транзисторите е запущен, а другият е отпушен. Същото се отнася и за NMOS транзисторите. Изходното напрежение е равно на логическа нула.
- 3) Ако и на двата входа се подава висок потенциал $A=B=1$, то транзисторите T_1 и T_2 са отпушени, а транзисторите T_3 и T_4 са запущени. Изходното напрежение е равно на логическа нула, т. е. $Y=0$.

- CMOS предаващ елемент.

Той няма еквивалент при TTL схемите. Принципна схема:



фиг.12.6

Схемата се състои от два NMOS и два PMOS транзистора, като тяхното свързване е по-особено. Транзисторите T_1 и T_2 образуват инвертор, а транзисторите T_3 и T_4 образуват стъпало свързващо на късо изводите X_1 и X_2 . За целта сорсът и дрейнът на двата транзистора са свързани паралелно, като подложките им не са съединени със сорса, а са включени съответно към E_{DD} за PMOS транзистора T_4 и към маса за NMOS за транзистора T_3 . Двата гейта са свързани към входа и изхода на инвертора, образуван от T_1 и T_2 , така че те получават винаги инверсни логически нива.

- При $A=0$ - гейтът на транзистора T_3 получава напрежение $U_{G3} = 0$, равен на този на неговата подложка, а гейтът на транзистора T_4 – потенциал E_{DD} ($U_{G4} = E_{DD}$). Двата транзистора са запушени. Връзката между X_1 и X_2 се прекъсва.
- При $A=1$ – потенциалите на гейтовете на транзисторите T_3 и T_4 имат инверсна стойност ($U_{G3}=E_{DD}$, $U_{G4}=0$) и двата транзистора се отпушват. Между X_1 и X_2 се създава връзка, чието съпротивление се определя от P и N каналите на двата транзистора. Това свързване осигурява почти постоянно и достатъчно ниско съпротивление на включено състояние в целия допустим обхват на изменение на комутираното напрежение от 0 до E_{DD} .

Тази схема се нарича предаващ елемент или аналогов ключ, тъй като тя може да служи за комутация както на логически нива, така и на аналогови сигнали. Пълната симетрия позволява за вход да се използва който и да е от двата извода X_1 и X_2 , като съответно другия служи за изход. Тези качества на елемента обуславят широкото му приложение. [4][5][7]

12.4. Характеристики на CMOS елементи.

- **Захранващи напрежения и консумация**

Характерна особеност за тях е широкият обхват на изменение на захранващото напрежение, при което те функционират нормално.

а) захранващи напрежения

ТАБЛИЦА 12.3

Серии ИС	A	74С	UB	B
E_{DDmin} V	-0.5	-0.3	-0.5	-0.5
E_{DDmax} V	15	18	18	18
E_{DD} V	3 ÷ 12	3 ÷ 15	3 ÷ 15	3 ÷ 15

б) консумация. Консумацията на ток, от една CMOS ИС има две компоненти – статична и динамична

- **Статичната компонента** се определя като сумата на обратните токове на сорсовия P-N преход и P-N преходите на защитните и паразитни диоди в интегралната структура и на нейния повърхностен утечен ток. За всяка ИС се посочва консумирания ток за различни стойности на захранващото напрежение.

$$P_{ст} = I_{DD}E_{DD} \quad (12.2)$$

- **Динамичната консумация** се проявява при промяна на състоянието на ЛЕ.

$$P_{DI} = \frac{1}{2}(E_{DD} - 2U_{np})I_{max}f(t_{01} + t_{10}) \quad (12.3)$$

I_{max} – върхова стойност на протичащия ток

f – честота на превключване на логическия елемент

t_{01} – продължителност на нарастващия фронт на входния сигнал

t_{10} – продължителност на спадания фронт на входния сигнал

- **Бързодействие.** Основните параметри, характеризиращи бързодействието на CMOS ИС са времената на превключване и продължителността на фронтите на изходните сигнали.

- **Шумоустойчивост.** За оценка на шумоустойчивостта се използват два параметъра:
 - шумозащитеност
 - шумов резерв

За тяхното определяне се въвеждат гранични входни и изходни логически нива. Те са:

- $U_{\text{изх}}^0$ - максималното допустимо изходно напрежение при лог. 0 на изхода.
- $U_{\text{изх}}^1$ - минималното допустимо изходно напрежение при лог. 1 на изхода.
- $U_{\text{вх}}^0$ - максималното допустимо входно напрежение което се възприема от ЛЕ като лог. 0.
- $U_{\text{вх}}^1$ - минималното допустимо входно напрежение което се възприема от ЛЕ като лог. 1.

- **Шумозащитеност** –Този параметър характеризира шумоустойчивостта на един отделен логически елемент, на чиито входове при логическа нула се подава $U_{\text{вх}}=0$, а при логическа единица $U_{\text{вх}}=E_{\text{DD}}$. Той се дефинира като максималния смущаващ входен сигнал, който при тези условия не променя изходното напрежение над $U_{\text{изх}}^0$ (при лог. нула на изхода) и под $U_{\text{изх}}^1$ (при лог. единица на изхода).
- **Шумов резерв** – Входовете на логическите елементи получават сигнали от изходите на други CMOS ИС и входните логически нива могат да се изменят в рамките на изходните гранични напрежения.

$$U_{\text{шр}}^0 = U_{\text{вх}}^0 - U_{\text{изх}}^0 \quad (12.4)$$

$$U_{\text{шр}}^1 = U_{\text{вх}}^1 - U_{\text{изх}}^1$$

- **Неизползвани входове** – Задължително се включват към определен потенциал (E_{DD} или маса) или паралелно към друг, вече използван вход на ЛЕ. Свързването към захранващите шини става според реализираната логическа операция. За И-НЕ – входовете се включват към логическа 1, т. е. към E_{DD} , а за ИЛИ-НЕ – към логическа 0. Предимство на това свързване е че капацитета на използваните входове остава неизменен. Недостатък – товароспособността на ЛЕ намалява. [4] [5]

12.5. Правила за работа с CMOS ИС:

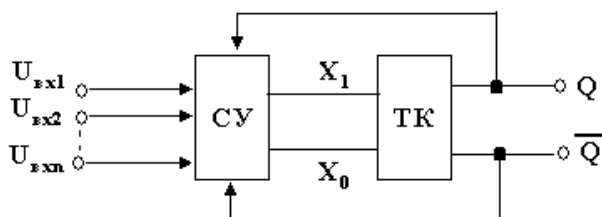
1. Крачетата на ИС да са забодени в проводящо фолио или метализирана пластмаса.
2. Не се допуска поставянето на крачетата на ИС в обикновени пластмасови материали, поради електростатичния заряд на пластмасите.
3. Работната маса да е добре заземена.
4. Да се работи със заземен поялник.
5. Операторът също трябва да е заземен чрез метална гривна.
6. В производствени условия да се осигурява йонизиране на въздуха на работното място за да се намалят електростатичните заряди.

II. ГЛАВА
ЦИФРОВИ И ИМПУЛСНИ УСТРОЙСТВА

1. Симетрични тригери – общи сведения.

1.1. Определение.

Тригерът представлява електронна схема с две устойчиви състояния, която може да остава неограничено дълго време във всяко едно от тях. Най-общо тригерът (фиг. 1.1) може да се разглежда, като съставен от основна тригерна клетка (ТК) и схема за управление (СУ). Схемата за управление получава всички входни сигнали ($U_{вх1} \div U_{вхn}$) и в съответствие с тях и в зависимост от състоянието на тригерната клетка въздейства на собствените входове на тригерната клетка (X_1 и X_0) по определен начин. [1][2][10][12]



фиг. 1.1

Всички тригери притежават обикновено два изхода с инверсни стойности на логическите нива. Основните разлики между тригерите са във входовете които имат и в начина на въздействие на входния сигнал или на комбинацията от входни сигнали върху състоянието на тригера. Според начина на въздействие на входните сигнали тригерите се разделят на два основни типа:

- асинхронни;
- синхронни.

При асинхронните тригери входният сигнал въздейства върху състоянието на тригера непосредствено в момента на своето появяване. Това опростява схемното решение на тези тригери – в същност схемата на управление при тях липсва и входните импулси постъпват направо на собствените входове на тригерната клетка. Асинхронните тригери служат за съставна част на по-сложните тригери, но въпреки ограничените им възможности често се използват и самостоятелно.

Синхронните (тактови) тригери се характеризират с наличието на два вида входове, сигналите на които действат по различен начин:

А) Информационни входове. Постъпването на сигнал върху тях не въздейства непосредствено върху състоянието на тригера;

Б) Тактови входове (най-често един вход). Постъпването на сигнал на тези входове установява тригера в съответствие с комбинацията от логически нива, подадени на информационните входове и със състоянието на тригера до този момент.

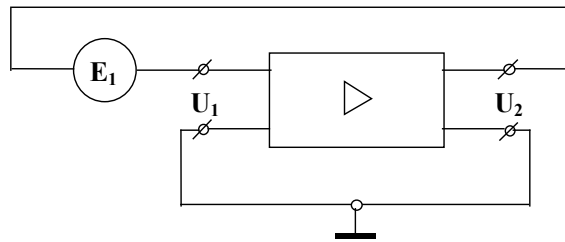
Съществуват различни типове информационни входове и тактовите тригери се класифицират според комбинацията от тези входове и според функционалната зависимост между логическите сигнали на входовете и състоянието на тригера. Характерна особеност на тактовите тригери в интегрално изпълнение е, че освен информационните входове са предвидени и един или два асинхронни входа, използвани за директно установяване на тригера в състояние 0 или 1. [1][2][10][11][12]

Според логиката на работа на входовете тригерите се делят на:

- R-S;
- J-K;
- D;
- T.

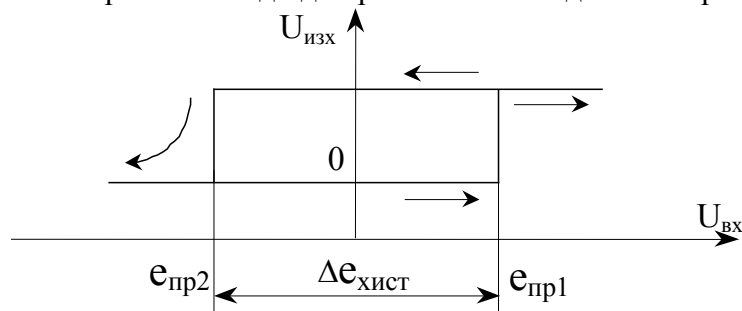
1.2. Хистерезис.

Тригерът може да се разглежда, като двустъпален операционен усилвател с въведена достатъчно голяма положителна обратна връзка – ПОВ. За аналогов сигнал блоковата схема ще има следния вид:



фиг. 1.2

Промяната на входното напрежение води до промяна на изходното напрежение със същия знак.



фиг. 1.3

Тригерът запазва състоянието си до напрежение $e_{пр1}$. При $U_{вх} < e_{пр1}$ – тригерът не променя състоянието си. В момента на достигане на праговото напрежение $U_{вх} = e_{пр1}$, тригерът рязко се превключва. И най-малката промяна на входното напрежение U_1 , води до промяна със същия знак на изходното напрежение $U_{изх}$. Усилването на входното напрежение $U_{вх}$ води до усилване на $U_{изх}$. При намаляване на входното напрежение, тригерът не се връща по същия път, дори входното напрежение да стане равно на нула.. След $U_{вх} > e_{пр2}$ се променя второто състояние. Разликата между двете прагови напрежения се нарича хистерезис.

$$\Delta e_{хист} = e_{пр1} - e_{пр2} \quad (1.1)$$

При достатъчно $e_{пр2}$, което компенсира $U_{вх}$, тригерът отново се превключва.

Не всички двустъпални усилватели са тригери. Условието, което ги определя като такива е: при дадено напрежение $U_{вх}$ поне два пъти да се пресича характеристиката на обратната връзка, т. е. ъгъл $\alpha > 45^\circ$

$$\alpha = \arctg \Delta U_{изх} / \Delta U_{вх} \quad (1.2)$$

$$K_{ус} = \frac{\Delta u_{изх}}{\Delta u_{вх}} \quad (1.3)$$

Хистерезисът зависи от коефициента на усилване.

- Ако $\alpha < 45^\circ$ ($K_{ус} < 1$) - липсва хистерезис защото се пресича един път характеристиката.
- Ако $\alpha = 45^\circ$ ($K_{ус} = 1$) – липсва хистерезис и наклона на предавателната характеристика клони към 90° .
- Ако $\alpha > 45^\circ$ и $\alpha < 90^\circ$ ($K_{ус} > 1$) – съществува хистерезис и той зависи от коефициента на усилване.

- Ако $\angle\alpha = 90^\circ$ ($K_{yc} \approx \infty$) съществува хистерезис и е максимален по стойност.

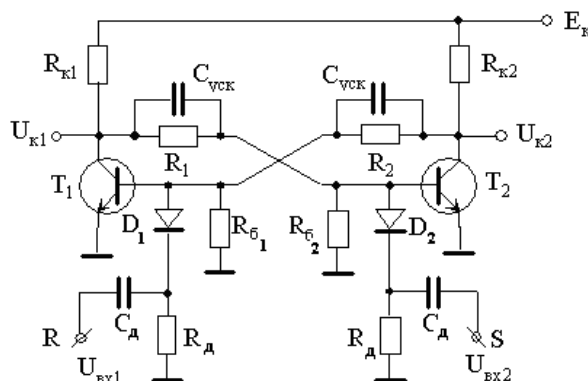
Извод:

За да бъде тригерът двустъпален усилвател е необходимо:

- Коефициентът на усилване да е по-голям от единица т.е. $K_{yc} > 1$.
- Да има положителна обратна връзка – ПОВ.

1.3. Симетричен тригер с дискретни елементи

1.3.1 Принципно схема на R-S симетричен тригер с дискретни елементи:



фиг. 1.4

Тригерите със Si транзистори могат да работят и без преднапрежение, защото за напрежение на базата около нула волта, транзисторите са запущени. Ролята на ускоряващите кондензатори е да прехвърлят и най-малките изменения в базите и колекторите на транзисторите. [1][2][7][12]

При симетричните тригери е изпълнено следното:

$$\begin{aligned} R_{k1} &= R_{k2} \\ R_1 &= R_2 \\ R_{б1} &= R_{б2} \end{aligned} \quad (1.4)$$

- Приемаме условно, че T_1 е отпушен и

$$I_{б1} = \frac{E_k - U_{бе}}{R_k + R} - \frac{U_{бе}}{R_б} > I_{бнас} \quad (1.5)$$

- Приемаме условно, че T_2 е запущен и:

$$U_{бе}^0 = I_{k0} \cdot R_б = I_{k0} \frac{R_б R}{R_б + R} < U_{беомн} \quad (1.6)$$

Разглежданата схема е схема на симетричен тригер с колекторно-базови връзки. Запускането се извършва чрез краткотрайни импулси от диференцираща верига и ограничаващ диод. При включване на захранващото напрежение токовете през T_1 и T_2 се увеличават. Елементите в схемата са два по два еднакви, но все пак имат технологични отклонения. Ако T_1 има коефициент на усилване по-голям от този на T_2 , то през T_1 ще протече по-голям колекторен ток и той ще е отпушен. При спадащ фронт на $U_{вх1}$, $U_{б1}$ намалява, намалява и $I_{б1}$. Но

$$I_{k1} = \beta I_{б1} \quad (1.7)$$

следователно намалява и I_{k1} .

$$U_{k1} = E_k - I_{k1} \cdot R_k \quad (1.8)$$

От тук следва, че колекторното напрежение на T_1 се увеличава.

Нараства и базовият ток на T_2 . Тъй като $I_{k2} = \beta I_{b2}$, то колекторния ток на T_2 също нараства. Това води до намаляване на колекторното напрежение на T_2 . Следователно намалява и базовото напрежение на T_1 .

$$U_{b1} = U_{k2} \frac{R_6}{R + R_6} \tag{1.9}$$

$$U_{\text{уск}} = \text{const}$$

$$\Delta U_{b1} = \Delta U_{k2}$$

Задейства се ПОВ и протича лавинообразен процес. Наличието на ПОВ не изисква поддържане на напрежение, след като веднъж е подадено. Достига се до състояние в което T_1 е запушен а T_2 отпушен и наситен.

$U_{\text{уск}} = \text{const}$ тъй като кондензаторът не може да се презарежда за кратко време. Ако едновременно на двата входа се подаде падащ фронт, то тригерът може и да не превключи – това състояние се нарича неопределено. Този тригер е с логика R-S. Вход S се нарича установяващ вход, а вход R – нулиращ вход . В Таблица 1.1 са показани състоянията на тригера при различни комбинации на входните сигнали:

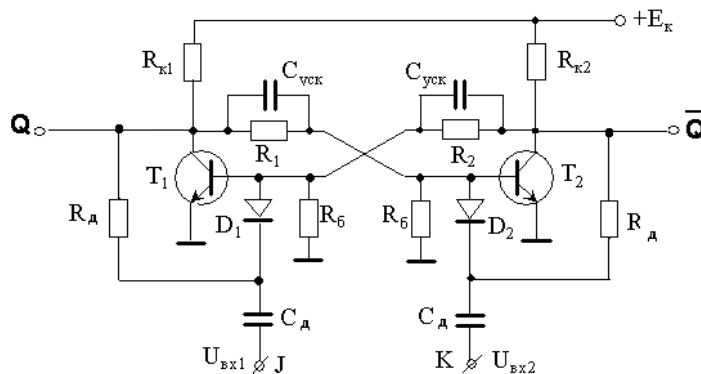
Таблица 1.1

t		t+1
R ^t	S ^t	Q ^{t+1}
0	0	Q ^t
0	1	1
1	0	0
1	1	X

Комбинацията от входни сигнали $R=S=1$ е забранена, тъй като при нея изходното състояние на тригера е неопределено.

Обобщено действието на тригера е следното: През ускоряващите кондензатори $C_{\text{уск}}$ сигналите с отрицателна полярност постъпват на базата на наситения транзистор T_1 и го привеждат в активен режим. При това колекторното му напрежение се увеличава, което се предава през кондензатора $C_{\text{уск}}$ на базата на запушения досега транзистор T_2 , вследствие на което той се отпушва и неговото колекторно напрежение намалява. Това се предава на базата на транзистор T_1 , и благодарение на положителната обратна връзка протича лавинообразен процес, завършващ със запушване на T_1 и насищане на транзистор T_2 .

1.3.2 Принципна схема на J-K симетричен тригер с дискретни елементи:



фиг. 1.5

За да се получи J-K тригер необходимо е съпротивленията на диференциращата верига да се свържат към изходите на схемата. Действието му е аналогично на описаното в точка 1.3.1.

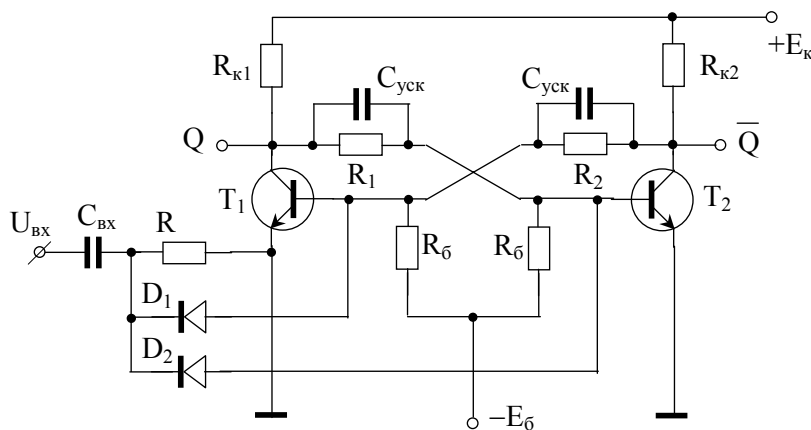
В Таблица 1.2 са показани състоянията на тригера при различни комбинации на входните сигнали:

Таблица 1.2

J^t	K^t	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	$\overline{Q^t}$

При тях входът J е еквивалентен на входа S, а входът K - на входа R от R-S тригера.

1.3.3 Принципна схема на T тригер с дискретни елементи – тригер с броячно запускане:



фиг. 1.6

Този тригер се получава, като двете пускови вериги се свържат заедно. По този начин пусковите импулси въздействат на отпушения транзистор и тригерът се превключва в противоположно състояние. T- тригерите са логически устройства с две устойчиви състояния и един информационен вход T, които променят своето състояние на противоположното винаги когато на входа T постъпи управляващ импулс. Тези тригери най-често се използват за деление на две на честотата на входните импулси.

1.4. Симетрични тригери с ТТЛ елементи.

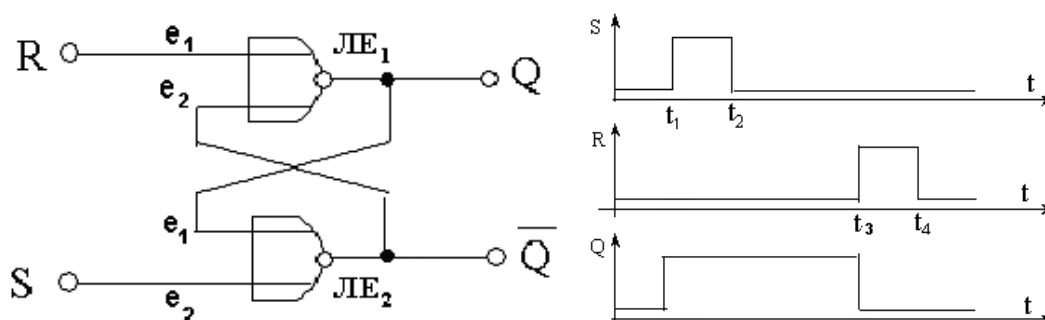
1.4.1. Общи сведения.

Тригерите са елементарни последователни автомати с две устойчиви състояния, като едното се приема за логическа нула, а другото за логическа единица. В най-общия случай функционалната схема на тригера се състои от тригерна клетка Тр изпълняваща ролята на памет и управляваща система УС. Обикновено между Тр и УС съществува обратна връзка. На всяка комбинация на входните сигнали съответства определено състояние на тригера. Състоянието на тригера се сменя само при промяна на входните сигнали. Тригерът може да се построи от логически елементи, които включват в логиката си функция НЕ – елементи И-НЕ, ИЛИ-НЕ. [9]

1.4.2. R – S тригер с ИЛИ-НЕ елементи.

R–S тригерите имат два входа: S (от английската дума Set, установяване в единица), вход R (от английската дума - Reset – връщане в изходно състояние – нулиране) и два изхода – основен Q – (прав) и допълнителен \bar{Q} (инверсен)

$$\begin{aligned} Q' &= R + \overline{Q'} \\ \overline{Q'} &= S' + \overline{Q'} \end{aligned} \tag{1.10}$$



фиг. 1.7

Това е най-простият асинхронен R-S тригер с два ИЛИ-НЕ. елемента и има следната логика на изходите:

Приемаме, че в момента t_1 :

$$\begin{aligned} S &= 1 \\ R &= 0 \end{aligned} \quad Q = \overline{R + \overline{Q'}} = \overline{0 + 0} = 1 \tag{1.11}$$

В момента t_2 :

$$R = S = 0 \quad Q = \overline{R + \overline{Q'}} = \overline{0 + 0} = 1 \tag{1.12}$$

В момента t_3 :

$$\begin{aligned} R &= 1 \\ S &= 0 \end{aligned} \quad Q = \overline{R + \overline{Q'}} = \overline{1 + 0} = 0 \tag{1.13}$$

т. е. тригерът се превключва обратно. В Таблица 1.3 са показани състоянията на тригера при различни комбинации на входните сигнали:

Таблица 1.3

t		t+1
R ^t	S ^t	Q ^{t+1}
0	0	Q ^t
0	1	1
1	0	0
1	1	X

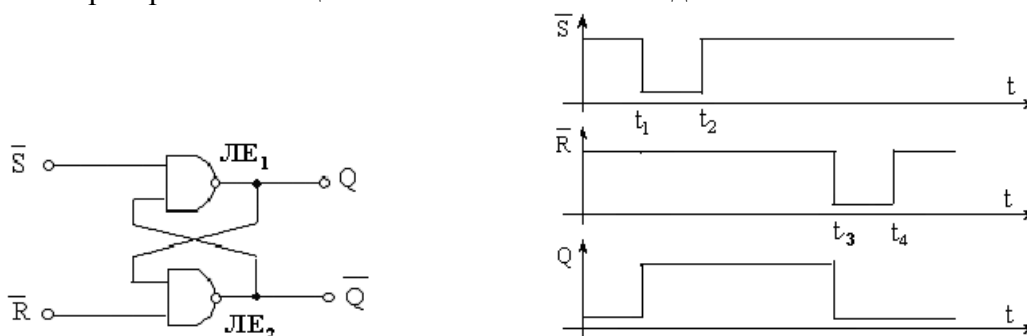
Ако сигналът в изхода Q на R-S тригера е 0, сигналът в изхода \bar{Q} е 1 при условие, че $R=S=0$. Това състояние на тригера е устойчиво и за да се превключи в състояние $Q=1$, на входа S трябва да се подаде сигнал 1. Тъй като на входа e_1 на логическият елемент ЛЕ₂ е подаден сигналът Q , равен на 0, то след постъпването на положителен импулс (сигнал 1) на входа S елементът ЛЕ₂ се превключва и сигналът в изхода \bar{Q} става 0. Изходният сигнал $\bar{Q}=0$ се подава на входа e_2 на елемента ЛЕ₁. Но сигналът на входа e_1 на елемента ЛЕ₁ е $R=0$ и той се превключва от 0 в 1. За да превключи тригерът необходимо е продължителността на входните импулси да е по-малка от периода им. [9].

1.4.3. $\bar{R}-\bar{S}$ тригер И-НЕ елементи.

На фиг. 1.8 е показана схема на $\bar{R}-\bar{S}$ тригер. Този тригер функционира по същия начин, както и R-S тригерът, с тази разлика, че поляритетът на импулсите R и S е обратен. Състои се от два И-НЕ елемента и има следната логика на изходите:

$$Q^{t+1} = \overline{\overline{S} \cdot \overline{RQ^t}} \quad (1.14)$$

$\bar{R}-\bar{S}$ тригерът се превключва от 0 в 1 при изменение на сигнала \bar{S} от 1 в 0 и се връща в изходно състояние при изменение на сигнала \bar{R} от 1 в 0. От таблицата на истинност се вижда, че при $\bar{R}-\bar{S}$ тригера комбинацията $\bar{R}=0$ и $\bar{S}=0$ на входните сигнали е непозволена.



фиг. 1.8

R-S тригерът функционира по следният начин:

Приемаме, че в момента t_1 :

$$\begin{aligned} \bar{S} &= 0 \\ \bar{R} &= 1 \end{aligned} \quad Q = \overline{\overline{S} \cdot \overline{RQ^t}} = \overline{0 \cdot 0} = 1 \quad (1.15)$$

В момента t_2 и на двата входа нивата са активни и се получава следното:

$$\begin{aligned} \bar{S} &= 1 \\ \bar{R} &= 1 \end{aligned} \quad Q = \overline{\overline{S} \cdot \overline{RQ^t}} = \overline{1 \cdot 0} = 1 \quad (1.16)$$

В момента t_3 :

$$\begin{aligned} \bar{S} &= 1 \\ \bar{R} &= 0 \end{aligned} \quad Q = \overline{\overline{S} \cdot \overline{RQ^t}} = \overline{1 \cdot 1} = 0 \quad (1.17)$$

Въз основа на тези разсъждения може да се изгради таблицата на истинност на този тригер. Тя има следния вид:

Таблица на истинност 1.4

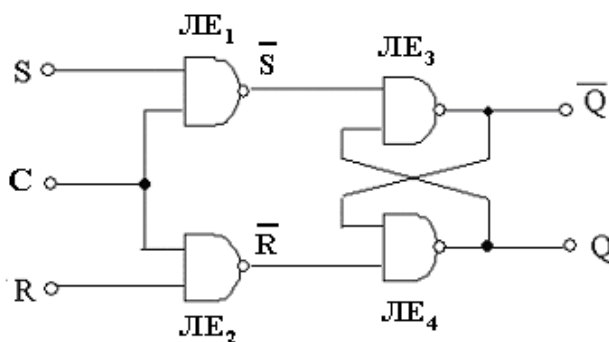
t		t+1
\overline{R}^t	\overline{S}^t	Q^{t+1}
1	1	Q^t
1	0	1
0	1	0
0	0	X

Разгледаните до тук тригери са асинхронни, защото се превключват само когато на съответните входове постъпи логически сигнал. Липсва синхронизиращ импулс. Комбинацията когато се подават две единици на R и S входовете водят до нарушаване на работоспособността на тригера и за това се наричат забранени комбинации. Асинхронните R-S тригери са основният градивен елемент на синхронните тригери и на всички останали схемни варианти на тригери. Те намират сравнително ограничено самостоятелно приложение в цифровата схемотехника.

1.4.4. R-S тригер синхронизиран по входен сигнал C.

Тактово управлявани R-S тригери се получават, ако на входа на $\overline{R}-\overline{S}$ тригера се включат два логически елемента И-НЕ, които да пропускат сигналите R и S към тригера само през времетраенето на допълнителни тактови импулси C. Характеристичното уравнение на тактово управляван R-S тригер се получава от характеристичното уравнение на $\overline{R}-\overline{S}$ тригера, ако в него вместо \overline{R} и \overline{S} се замести с логическото произведение: RC и SC.

$$Q^{t+1} = \overline{\overline{S^t C^t} \cdot \overline{R^t C^t} Q^t}$$



фиг. 1.9

R-S тригера е синхронизиран по нивото на тактовия импулс. В схемата се различават две части: управляваща изградена от ЛЕ₁ и ЛЕ₂ и тригер изграден от ЛЕ₃ и ЛЕ₄. На единия от входовете на ЛЕ₁ и ЛЕ₂ се подават сигналите R и S, а на другия вход – едновременно и на двата логически елемента се подават тактовите импулси J. По този начин информацията, постъпила на входовете R и S, се подава на тригера само по време на съществуването на импулса C. В изходите на логическите елементи ЛЕ₁ и ЛЕ₂ при постъпване на тактов сигнал C се получават сигналите:

$$\begin{aligned} \overline{S} &= S.C \\ \overline{R} &= R.C \end{aligned} \tag{1.18}$$

По-нататък схемата действа така, както и $\bar{R}-\bar{S}$ тригера. Времето на превключване на тактоуправляващия R-S тригер е:

$$\begin{aligned} t_{3T01} &= t_{310} + t_{301} \\ t_{3T10} &= t_{301} + 2t_{310} \end{aligned} \quad (1.19)$$

Продължителността $t_{и}$ на импулсите С трябва да е не по-малка от времето t_{3T10} , а продължителностите t_R и t_S на сигналите R и S – по-големи от продължителността на тактовите импулси t_T . Коефициентът на входен товар за вход С е равен на две.

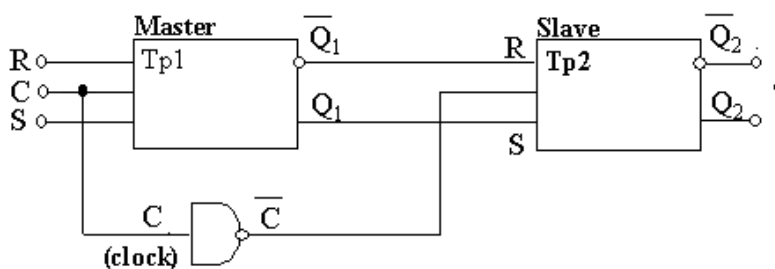
В схемата на разгледания тригер, както и в схемите на всички тактово управлявани тригери освен синхронните входове R и S могат да се предвидят и асинхронни входове \bar{R} и \bar{S} , с помощта на които тригерът може да се установи в желаното състояние.

Недостатъци в схемите на тактово управлявани R-S тригери:

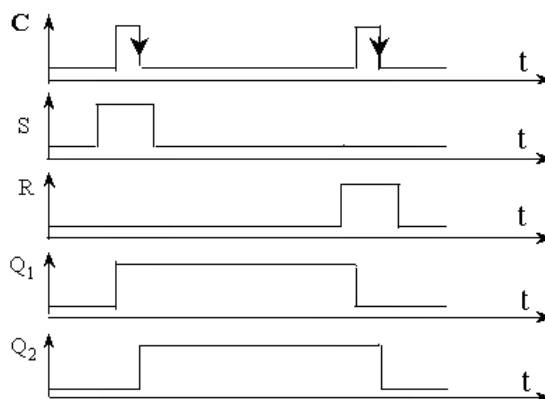
- Информацията постъпила на синхронните R и S входове, се въвежда в тригера през цялото време, през което входа С има ниво 1. Това не позволява тези тригери да се свързват последователно с цел да се построят регистри или делители и да се управляват от общи тактови импулси, тъй като информацията, подадена на входа на регистъра, за кратко време последователно ще се предаде в изхода на регистъра. Подобни устройства могат да се реализират само ако продължителността на тактовия импулс е равна на времето на превключване на един тригер, което е трудно осъществимо поради съществуващите толеранси във времето на преклчване. Този недостатък се отстранява в схемите на тригери, построени по принципа управляващ-управяван (“Master Slave”).

Ако на входа за тактов сигнал се подаде логическа единица, новата информация се подава непосредствено на тригера и го превключва многократно. това е съществен недостатък на този тип тригер, който може да се избегне чрез въвеждане на допълнителен R-S тригер – т. н. структура MS – управляващ – управляван. При входен тактов сигнал логическа нула, на входовете R и S на синхронния тригер, сигналите също са равни на логическа нула и тригерът запазва състоянието си. [1][2][9][12]

1.4.5. Двустъпална структура от типа MS (master–slave).



фиг. 1.10



фиг. 1.11

Тригерите от типа управляващ – управляван са образувани от два синхронни тригера: управляващ тригер T_{p1} и подчинен (управляван) T_{p2} . Те се превключват от общи тактови импулси, които на тригера T_{p1} се подават непосредствено, а на тригера T_{p2} – след инвертирането им. Следователно, когато на тактовия вход C се подаде сигнал 1, тригерът T_{p1} се превключва в положение, което се определя от състоянието на входовете R и S . Сигналят \overline{C} е нула. Тригерът T_{p2} се превключва, когато нивото на тактовия вход C стане равно на нула. При това \overline{C} става 1 и информацията, записана в тригера T_{p1} се прехвърля в тригера T_{p2} и съответно се получава в изхода на схемата.

За да работи правилно тригерът, е необходимо входните сигнали R и S да не се променят по време на превключване на тригера – поне 20ns преди и 5ns след спадания фронт на сигнала

В интегрално изпълнение, при тригерите управлявани от фронта на тактовите импулси, превключването се осъществява само тогава, когато сигналят, подаден на входа T , се изменя в определено направление – най-често от 0 в 1. Както е известно, на такъв принцип са построени тригерите с дискретни елементи, като това се постига с включването във входа на тригера на диференцираща верига и разделителни диоди. При тригерите, построени с логически елементи, подобен ефект се получава с помощта на съответни обратни връзки между логическите елементи. R-S тригерите с превключване от фронта на тактовия импулс обикновено се използват за получаване на D и T тригери.

1.5. Симетрични тригери. J - K тригери в интегрално изпълнение.

Тригери с двустепенна структура MS се строят и с логика на входовете J-K. Най-разпространени в интегрално изпълнение са J-K тригерите. Логическото уравнение на J-K тригер е следното:

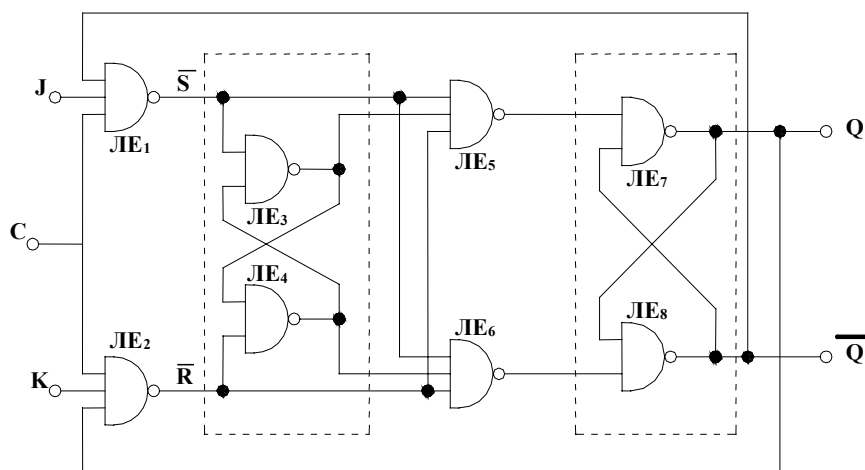
$$Q^{t+1} = J \overline{Q}^t + \overline{K} Q^t \quad (1.20)$$

За разлика от R-S тригера, при J-K тригера е разрешена комбинацията $J=K=1$. Тогава:

$$Q^{t+1} = \overline{Q}^t \quad (1.21)$$

В TTL интегрално изпълнение J-K тригерите се осъществяват, като управлявани от фронта на тактовите импулси - 74Н102, 74Н106, 74Н108 и др. и като “управляващ – управляван” – това са тригерите: 7472, 7473, 7476, 74104, 74105 и др. [1][2][3][8][9]

Принципна схема на вариант на J-K тригер е представен на фиг.1.12:



фиг. 1.12

От характеристичното уравнение може да се състави таблицата на истиност на J-K тригерите. Тя има следният вид:

Таблица на истиност 1.5

J^t	K^t	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	$\overline{Q^t}$

J-K тригерът се получава от схемата на R-S тригер, като изходът \overline{Q} се свърже с един от входовете на логическия елемент LE₁, на който се подава сигналът S, а сигналът Q се свърже с един от входовете на логическия елемент LE₂, на който се подава сигналът R. В TTL интегрално изпълнение J-K тригерите се осъществяват, като управлявани от фронта на тактовите импулси и по схемата “управляващ-управляван”. На фиг. 1.12 е дадена схема на J-K тригер изграден като “управляващ-управляван”, като:

- LE₁ и LE₂ – входна логика на тригер 1 (Master);
 - LE₃ и LE₄ – управляващ тригер;
 - LE₅ и LE₆ – логика за управление на тригер 2;
 - LE₇ и LE₈ – управляван тригер (Slave)

Когато тактовия сигнал стане равен на единица ($C=1$), входните сигнали J и K постъпват в управляващия тригер. През време на отрицателния фронт на управляващия сигнал, когато тактовия импулс стане равен на нула ($C=0$), прекъсва се връзката на входните сигнали J и K, и състоянието на управляващия тригер се прехвърля в управлявания тригер и в изхода на тригера се появява съответния изходен сигнал. Счита се, че J и K тригерите от типа управляващ-управляван се превключват от прехода 1-0 на тактовите импулси.

От описанието на действието на J и K тригерите от типа управляващ-управляван следва, че след завършване на прехода 0-1 на тактовия импулс може да се измени стойността на сигналите J и K, обаче от гледна точка на подобряване на шумоустойчивостта е желателно през времето, в което сигналът C е 1, да не се изменя нивото на входовете J и K. От това непосредствено следва, че е целесъобразно положителните тактови импулси да са възможно най-кратки.

Недостатък:

- При въздействие на спадащия фронт с 20 ns преди това и 5ns след това входните сигнали J и K не трябва да се променят.

1.6 D – тригери.

Тригерите от типа D (названието им произлиза от английската дума Delay – закъснение), са логически устройства с две устойчиви състояния и един информационен вход D. Действието им се описва от характеристичното уравнение:

$$Q^{t+1} = D^t \quad (1.22)$$

т. е състоянието на изхода на тригера в момента (t+1) съвпада със състоянието на входа D в момента t.

Таблица на истинност 1.6

t	t+1
D ^t	Q ^{t+1}
0	0
1	1

Следователно D тригерът повтаря на изхода си входния сигнал, като го задържа с един такт. В техническата литература тези тригери се наричат още и елементи за закъснение. Използват се за построяване на регистри и кръгови броячи.

Характеристичното уравнение на D тригера се получава от характеристичното уравнение на R-S тригер, ако в него се положи:

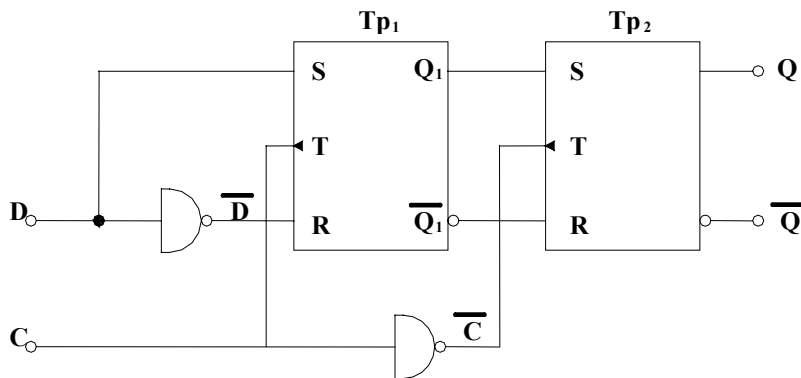
$$D = S^t = \overline{R^t} \quad (1.23)$$

$$Q^{t+1} = D^t + D^t Q^t = D^t (1 + Q^t) = D^t$$

Това определя и начина по който се построяват D тригерите. Входът S става информационен вход D, а входът R – чрез инвертор се включва към вход S.

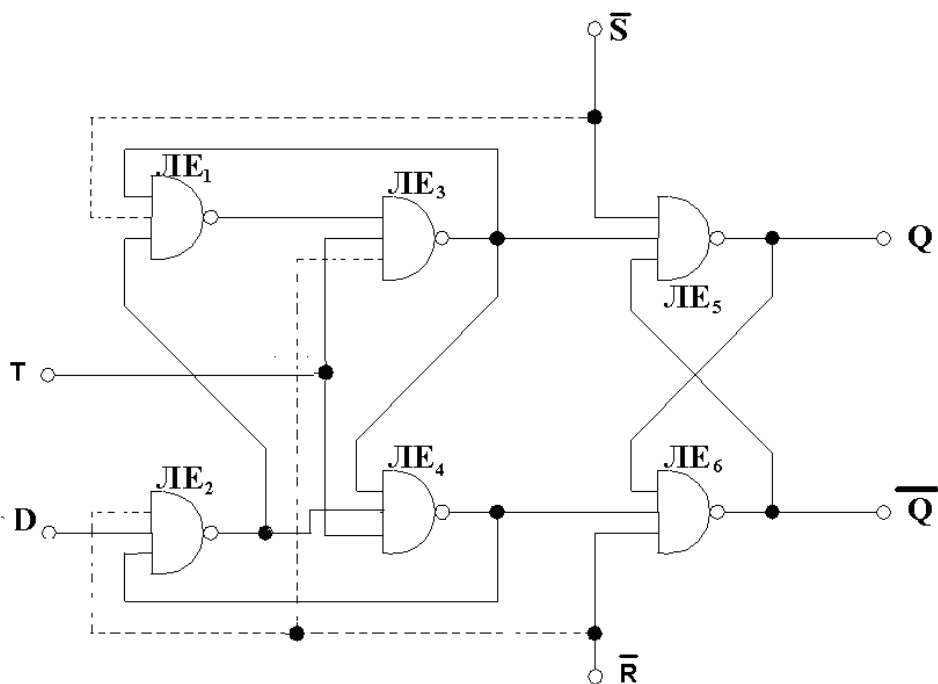
1.6.1. Двустепенен D - тригер изграден от два синхронизирани R-S тригера.

Принципна схема:



фиг. 1.13

1.6.2. Конкретен вариант на D- тригер – 7474, K155TM2.



фиг. 1.14

В ТТЛ интегрално изпълнение най-широко разпространение имат D тригерите, управлявани от фронта на тактовия импулс. Те също се получават от съответния R-S тригер, като за информационен вход D се използва входът \bar{R} , а входът \bar{S} се съединява с изхода на логическият елемент ЛЕ₂.

Тъй като информационният вход е един (фиг. 1.14), в схемата може да се пропусне връзката между изхода на елемента ЛЕ₄ и входа на елемента ЛЕ₃. По тази схема е построен широко разпространеният D-тригер 7474. В него са въведени допълнителни връзки за сигналите от асинхронните входове \bar{R} и \bar{S} , което не позволява изходните сигнали Q и \bar{Q} да се изменят при промяна на сигналите T и D, когато \bar{R} и \bar{S} са 0. Съответно тригерът може да се превключи под действието на сигналите T и D само ако едновременно и на двата асинхронни входа \bar{R} и \bar{S} е подадено ниво 1. Времето на превключване на D- тригера е:

$$t_{зт01} = t_{з10} + t_{з01} \quad (1.24)$$

$$t_{зт10} = 2t_{з10} + t_{з01}$$

Времето на превключване на тригера под действие на сигналите, подадени на асинхронните входове, е по-кратко:

$$t_{зт01} = t_{з01} \quad (1.25)$$

$$t_{зт10} = t_{з10}$$

Особености интегрален тригер 7474:

- При ниво 0 на входовете, коефициентът на натоварване на входове D и \bar{S} е 1, а на C, \bar{R} е 2.
- При ниво 1 на входовете коефициентът на натоварване е: за входа D – единица, за входове \bar{S} и C – две, а за входа \bar{R} - три.
- За да се превключи тригерът трябва да се спазва условието за продължителността t_T на тактовия импулс: $t_T \geq t_{зт10}$, а продължителността t_D на сигнала, подаден на входа D, се разделя на два периода: t_{D1} – преди постъпване на тактовия импулс и t_{D2} – след постъпване на тактовия импулс. Времето t_{D1} се нарича време за подготовка и е $t_{D1} \geq t_{з01} + t_{з10}$
- Периодът t_{D2} се нарича време на задържане и е: $t_{D2} \geq t_{з10}$

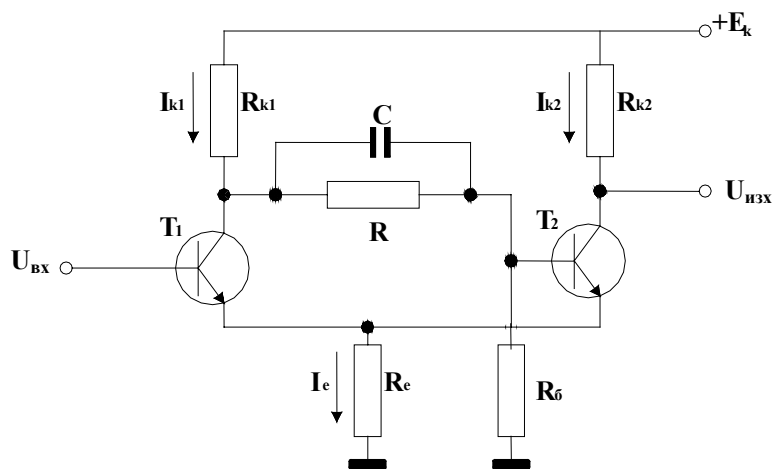
2. Несиметрични тригери с дискретни елементи, интегрален тригер на Шмит

2.1. Определение за несиметричен тригер.

Тригерът на Шмит е прагово устройство, което реагира на определени нива на входния сигнал, а не на импулс, респективно фронт при симетричните тригери.

2.2. Принципно схема на несиметричен тригер с дискретни елементи.

В несиметричните тригери (тригери на Шмит), с дискретни елементи, едната колекторно-базова връзка е заменена с връзка, чрез общ емитерен резистор – затова тригерът се нарича несиметричен. В резултат на това изходът на схемата се оказва несвързан с елементите на обратната връзка и измененията на товара не оказват влияние върху управлението на тригера. Входната верига също не е включена директно в обратната връзка и затова управлението на тригера е по-опростено. [1][2]



фиг. 2.1

Когато входното напрежение е нула, транзисторът T_1 е запушен, а транзисторът T_2 е отпушен и наситен. Напрежението на емитерите при отпушен T_2 се определя като:

$$U_{e2} \approx \frac{E_k}{R_{k2} + R_e} R_e \quad (2.1)$$

При повишаване на входното напрежение до стойност, равна на първо прагово напрежение – $U_{\text{пр1}}$:

$$U_{\text{вх}} = U_{\text{пр1}} = \frac{E_k}{R_{k2} + R_e} R_e + U_{\text{бе1отп}} \quad (2.2)$$

транзисторът T_1 се отпушва и колекторното му напрежение намалява. От това, чрез делителя $R-R_6$ намалява и $U_{\text{б2}}$. Намалява и базовия ток на транзистора T_2 , а от там и колекторния му ток I_{k2} . От това намалява напрежението на емитерите U_e (при неизменно входно напрежение). Увеличава се $I_{\text{б1}}$, в резултат на което се увеличава още повече колекторния ток I_{k1} . Развива се лавинообразен процес, който завършва със запушване на транзистора T_2 и насищане на транзистора T_1 . За по-устойчива работа на тригера обикновено се приема :

$$R_{k1} \gg R_{k2} \quad (2.3)$$

т.е.

$$I_{k1} \gg I_{k2} \quad U_{\text{бе1}} \ll U_{\text{бе2}} \quad (2.4)$$

При намаление на входното напрежение, схемата се превключва обратно в изходното състояние. Но това не става при напрежение $U_{вх} = U_{пр1}$, защото:

$$U_{e1} \langle U_{e2}$$

и транзисторът T_1 е все още в наситено състояние. Едва при входно напрежение:

$$U_{ax} \langle U_{e1} + U_{белнас} = E_k \frac{R_e}{R_e + R_{k1}} + U_{белнас} \quad (2.5)$$

транзисторът T_1 излиза от режим на насищане. Колекторното напрежение U_{k1} се повишава и когато $U_{бe2} \geq U_{e2} + U_{бe2отп}$, транзисторът T_2 се отпушва. Протича лавинообразен процес на превключване.

Вторият праг на превключване се определя с отчитане на влиянието на делителя R-R₆ и топлинния ток на транзистора T_2 :

$$U_2 = \frac{\zeta(E_k + I_{k0} \cdot R)}{1 + \zeta \frac{R_{k1}}{R_e}} \quad (2.6)$$

където:

$$\zeta = \frac{R_6}{R_6 + R} \quad (2.7)$$

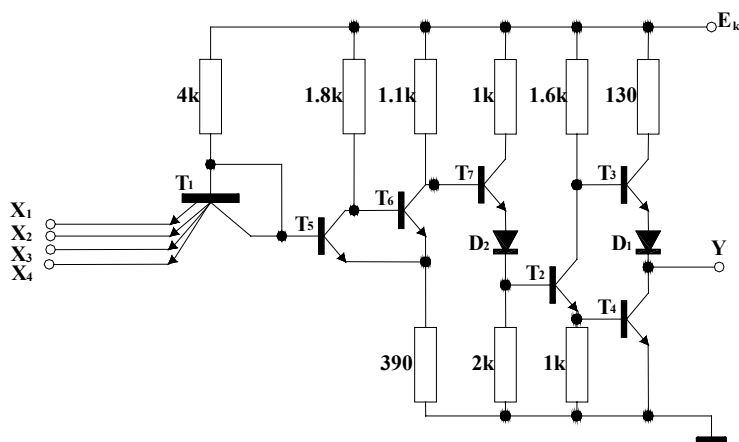
Хистерезисът на тригера на Шмит се определя, като разлика между двете прагови напрежения U_1 и U_2 .

$$\Delta e_x = U_1 - U_2 \quad (2.8)$$

Тригерът на Шмит може да се построи с помощта на интегрални елементи или с операционни усилватели, обхванати от дълбока положителна обратна връзка – ПОВ. Съществуват и готови тригери на Шмит в интегрално изпълнение, например 7413, 7414, 74132 и др.

2.3. Интегрален тригер на Шмит - ИС 7413

Схемата на 7413 е аналогична с тази на несиметричен тригер, изпълнен с дискретни елементи. Самият тригер е образуван от транзисторите T_5 и T_6 . За съгласуване на схемата на сложния инвертор (T_2 , T_3 , и T_4), осигуряваща стандартен ТТЛ изход, се използва транзистор T_5 и диод D_2 . [1][2]



фиг. 2.2

На входа на тригера има многоемитерен транзистор T_1 с четири емитера. Тази входна логика И позволява подаване на няколко управляващи напрежения или едно аналогово напрежение и няколко (до 3) логически управляващи сигнали, разрешаващи (при логическа 1) или забраняващи (при логическа 0) работата на тригера. Изходната верига е реализирана със сложен инвертор (транзисторите T_2, T_3, T_4). Това осигурява доброто съгласуване на тригера на Шмит с останалите логически елементи от серията 54/74. Самият тригер на Шмит 7413 има схема, подобна на класическата схема на тригер с дискретни елементи – образувана е от два транзистора (T_5 и T_6) с общо емитерно съпротивление. Транзисторът T_7 е включен в схемата на емитерен повторител и служи за съгласуване на изхода на транзистора T_6 с входа на фазоинверсно стъпало (базата на транзистора T_2). Изходният сигнал е:

$$Y = \overline{X_1 X_2 X_3 X_4} \quad (2.9)$$

Аналоговият входен сигнал може да се подаде на четирите входа, свързани паралелно, или на един от входовете, като на останалите три входа се подава ниво 1. Във втория случай на останалите входове може да се подават логически сигнали за разрешаване превключването на тригера на Шмит. Възможно е и подаването на входовете на повече от един аналогов сигнал, като изходното ниво на тригера се определя от равенството (2.9).

Тригерът на Шмит 7413 има прагове $U_{\text{пр1}} \approx 1,4\text{V}$ и $U_{\text{пр2}} \approx 1,1\text{V}$. Праговете могат да се регулират с помощта на допълнителни резистори, последователно включени във входната верига. Този тригер има сравнително широк хистерезис. За по-тесен хистерезис може да се построи тригер на Шмит от два разширителя 7460 (К155ЛД1, КЛП551). [1][2][3][4]

2.4. Тригер на Шмит с разширители

2.4.1. Въведение.

Тригерът на Шмит е прагово устройство, което реагира на определено ниво на входния сигнал. Той се характеризира със следните нива на входния сигнал:

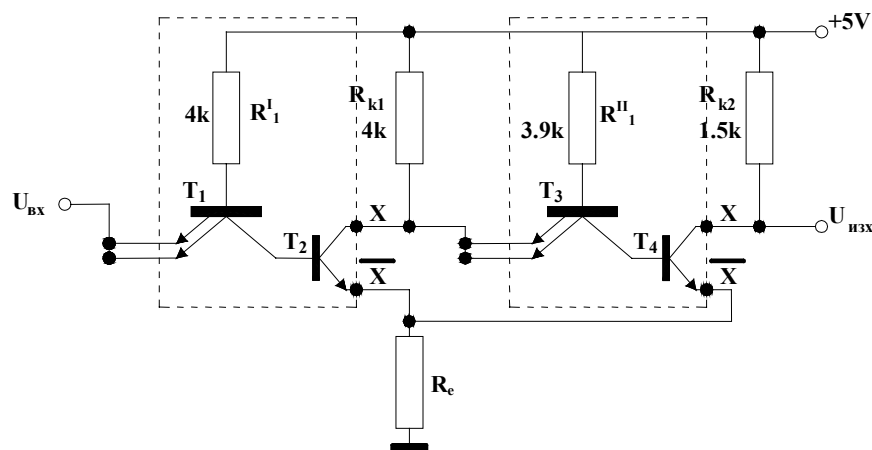
- ниво на задействане;
- и ниво на отпускане.

Разликата между тези две нива определя хистерезисната област и е специфична особеност на тригера на Шмит.

Съществуват няколко варианта на осъществяване на тригери на Шмит с ТТЛ елементи. Всичките тези схеми са типови и тяхното проектиране практически се свежда до определяне на праговете на задействане и отпускане.

С помощта на два разширителя се осъществява схема на тригер на Шмит. Тази схема е най-близка до класическата, с тази разлика, че вместо транзистори в нея се използват разширители, които могат да се разглеждат като съставни транзистори.

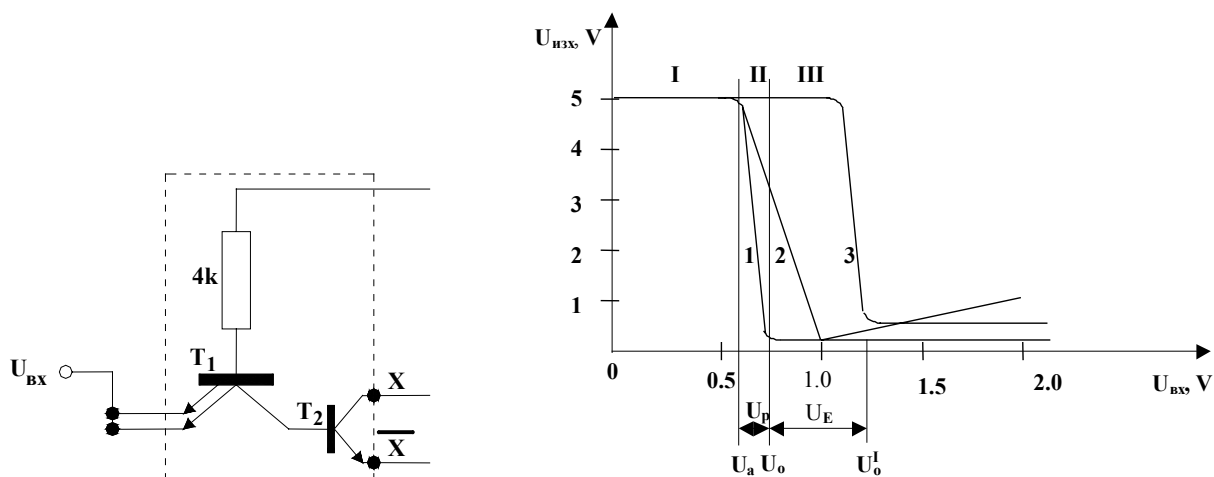
2.4.2. Принципна схема:



фиг. 2.3

Хистерезисът на схемата се дължи на разликата в токовете, които протичат през резистора R_e в едното и другото състояние. Хистерезисът зависи от R_e , R_{k1} и R_{k2} . Обикновено $R_{k1} > R_{k2}$. Минималната стойност на R_{k2} е 300Ω , в противен случай се товари недопустимо вторият разширител.

2.4.3. Предавателна характеристика на елемент от типа 7460:



фиг. 2.4

Предавателната характеристика на разширител, свързан по показаната схема има три характерни области.

В област I - входният многоемитерен транзистор T_1 е наситен, а транзисторът T_2 е запушен. Изходното напрежение $U_{изх}$ е равно на захранващото напрежение. За тази област са в сила следните зависимости:

$$i_{ex0} = i_{\beta 1} = \frac{E_k - U_{ex} - U_{бенас}}{R_{ex0}}$$

$$I_{k1} = I_{\beta 2} \approx 0$$

$$U_{изх} = E_k$$

$$R_{ex0} = R_1$$
(2.10)

Тази област на предавателната характеристика има за граница напрежението:

$$U_{вх} = U_a = (U_{бе2отп} - U_{ке2}) \quad (2.11)$$

При входно напрежение, по-високо от напрежението U_a , транзисторът T_2 се отпушва. Транзисторът T_1 остава наситен, като част от базовия ток през колекторния преход постъпва в базата на транзистора T_2 .

В област II на предавателната характеристика е почти права линия, като в зоната на входното напрежение U_a преходът между двете области е сравнително плавен. Транзисторът T_2 се насища, т.е. изходното напрежение $U_{изх}$ става равно на $U_{ке2}$ нас при входно напрежение:

$$U_{вх} = U_o = U_{бе2нас} - U_{ке1нас} \quad (2.12)$$

Входният ток при входно напрежение U_o е:

$$I_0 = \frac{E_k - U_{бе1нас} - U_o}{R_1} - \frac{E_k - U_{ие2нас}}{\beta_2 R_k} \quad (2.13)$$

При входно напрежение по-високо от $U_{бе2нас}$, многоемитерният транзистор T_1 се оказва включен инверсно. Входният ток изменя направлението си и става равен на входния ток $I_{вх1}$ в състояние логическа единица на входовете на логическия елемент.

В област III на предавателната характеристика при входни напрежения, по-високи от U_o , са валидни зависимостите:

$$\begin{aligned} I_{ex} &= mI_{ex1} \\ I_{o1} &= \frac{E_k - U_{ок1нас} - U_{бе2нас}}{R_{ox0}} \\ I_{o2} &= I_{o1} + mI_{ex1} \\ I_{k2} &= \frac{E_k - U_{ке2нас}}{R_k} \\ U_{изх} &= U_{ке2нас} \end{aligned} \quad (2.14)$$

Тук:

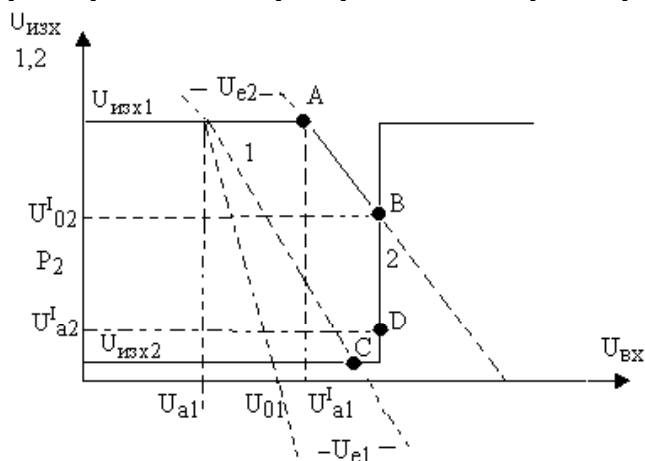
- m – е броят на съединените към входната верига емитери на входния транзистор;
- $I_{вх1}$ – входният ток на един емитер на транзистора T_1 ;
- Хистерезисът е: $\Delta U = U_o - U_a$

Напреженията U_o и U_a зависят от съпротивлението на резистора R_k , При увеличаването му предавателната характеристика се премества наляво.

Ако в емитера на транзистора T_2 е включен източник на постоянно напрежение U_e , предавателната характеристика се измества надясно – (линия 3 на предавателната характеристика), по отношение на характеристиката на разширителя без допълнителен източник в емитера (линия 1). Изместването е равно на напрежението U_e .

Ако в емитера на транзистора T_2 вместо източник на напрежение се включи резистор със съпротивление R_e , се изменя наклонът на предавателната характеристика (линия 2).

2.4.4. Предавателна характеристика на тригер на Шмит с разширители при задействане.



фиг. 2.5

• При $U_{вх} = 0$:

T_1 - право включен и наситен;

T_2 – запущен;

$U_{изх1} \approx E_k$;

T_3 - в инверсно включване;

T_4 – наситен;

$$U_e = U_{e2} = \frac{E_u}{R_{k2} + R_e} \cdot R_e \quad (2.15)$$

Напрежението на емитера е породено от протичането на ток през T_2 . До тук първият разширител ще работи по характеристика №2.

• При $U_{вх} = U_a^1$

Транзисторът T_2 се отпушва. Започва да тече колекторен ток I_{k1} . Изходното напрежение намалява. Напрежението на емитера U_e се увеличава. Транзисторът T_4 е наситен, а транзисторът T_3 е инверсно свързан, това отговаря на участък АВ от предавателната характеристика. От тук нататък P_1 (първи разширител) се движи по крива №2.

• При $U_{вх} = U_{01}$ – първо прагово напрежение.

$$U_{изх1} = U_{02} \quad (2.16)$$

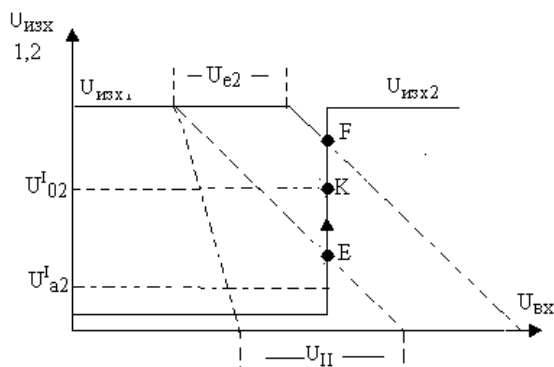
Транзисторът T_4 излиза от режим на насищане, т. е. I_{k2} намалява. Намалява и напрежението на емитера U_e . При неизменно входно напрежение, входното напрежение на първия разширител - $U_{вхр1}$ се увеличава, увеличава се и колекторният му ток $-I_{k1}$.

$$U_{вхр1} = U_{вх} - U_e \quad (2.17)$$

Изходното напрежение $-U_{изх}$ намалява, т. е. транзисторът T_3 минава в право включване, транзисторът T_4 се запушва, а T_2 се насища. Протича лавинообразен процес, благодарение на общата връзка през емитера. Наличието на съпротивление в емитера определя резкия скок на превключване. Работната точка на първия разширител - P_1 е в т. С. Ако липсваше съпротивлението R_e , входното напрежение - $U_{вх}$ щеше да расте, докато изходното напрежение $U_{изх}$ стане равно на $U_{а2}^1$. Отсечката А-В се измества наляво защото отпада токът I_{k2} . По този начин тригерът се превключва. [1][13][14]

За да има устойчива работа при $U_{вх} \geq U_1$ е необходимо:

- 1) т. С да бъде на ниво $U_{изх1} < U_{a2}^I$;
- 2) T_3 е в право включване, а T_4 запушен.



фиг. 2.6

Входното напрежение $-U_{вх}$ намалява, като при $U_{вх}^I$ се отпушва транзистора T_4 .

$$U_{изх1} = U_{a2}^I \quad (2.18)$$

Колекторният ток $-I_{k1}$ намалява, а емитерното напрежение U_e се увеличава при неизменно входно напрежение. Входното напрежение на първия разширител $-U_{вхр1}$ намалява и транзисторът T_2 се запушва, а T_4 се отпушва и насища. За да има тригерът устойчива работа е необходимо т. F да бъде над т. K, т. е.

$$U_{изх1} > U_{02}^I \quad (2.19)$$

Транзисторът T_4 трябва да се насити. Оптималният режим е при следните стойности на резисторите:

$$\begin{aligned} R_{k1} &= 3,9 \text{ k}\Omega \\ R_{k2} &= 1,5 \text{ k}\Omega \\ R_e &= 51 \text{ }\Omega \end{aligned} \quad (2.20)$$

Интегралната схема 7460 представлява два четириходови логически разширителя, изпълняващи функцията ИЛИ. Тя служи като разширител за интегралните схеми: 7423, 7450, 7453.

За разлика от тригерите на Шмит, построени с дискретни елементи, тригерите на Шмит, осъществени с разширители, имат по-малко компоненти, чиито параметри трябва да се избират. Това са само съпротивленията R_e , R_{k1} и R_{k2} . Освен това схемата на разширителите е една и съществуват незначителни разлики в параметрите на разширителите, произведени от отделните фирми. Това създава възможност да се унифицира схемата на тригера на Шмит, като остане единствено да се избере съпротивлението на резистора R_e . [1][7][13].

2.5. Тригери на Шмит с ТТЛ елементи

2.5.1. Въведение:

Тригери на Шмит могат да се осъществят и с два инвертора.

Изпълнените по този начин тригери имат следните предимства:

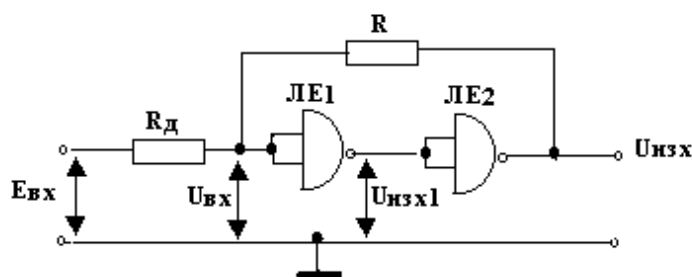
- намален брой дискретни елементи, които е необходимо да се свързват към логическите елементи.

- изходният сигнал се получава от изхода на втория логически елемент (инвертор) и следователно коефициентът на натоварване на изхода на тригера се равнява на коефициента на натоварване на използваните логически елементи
- товарът практически не влияе на процеса на превключване на тригера от едно състояние в друго.

Недостатъците на тези тригери на Шмит в сравнение с тригера построен с два разширителя, са:

- по-широк хистерезис;
- за нормално функциониране на тригера е необходимо вътрешното съпротивление на източника на входен сигнал да е по-голямо от определена стойност. Ако входният сигнал се получава от нискоомен източник, например от емитерен повторител, последователно във входа на тригера трябва да се включи допълнително съпротивление.

2.5.2. Тригер на Шмит с два логически елемента.



фиг. 2.7

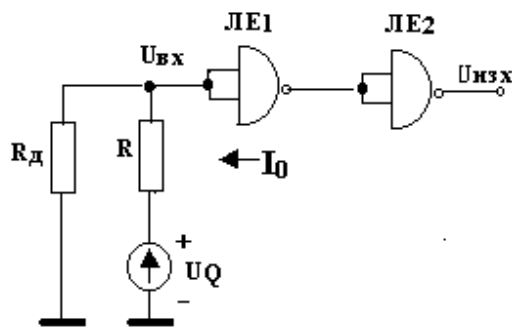
Ако $E_{вх} = 0$ (предполага се че тригерът е отпуснат и изходното състояние е логическа нула), напрежението подадено на входа на ЛЕ₁ се равнява на падението на напрежението върху паралелно свързаните съпротивления R_d и R , предизвикано от входния ток на елемента ЛЕ₁. Когато входният сигнал е нула, тригерът на Шмит е отпуснат и изходното ниво е 0, напрежението, което се подава на входа на логическия елемент ЛЕ₁ е:

$$U_{вх} = R_d \frac{U_Q^0}{R + R_d} + I_0 \frac{R \cdot R_d}{R + R_d} \quad (2.21)$$

$$I_0 = \frac{E_k - U_{бенас}}{R_{вх0} + \frac{R \cdot R_d}{R + R_d}}$$

Това състояние е стабилно при условие, че съпротивлението на паралелно свързаните резистори R_d и R не превишава 400Ω.

2.5.3. Заместителна схема при нулево входно напрежение:

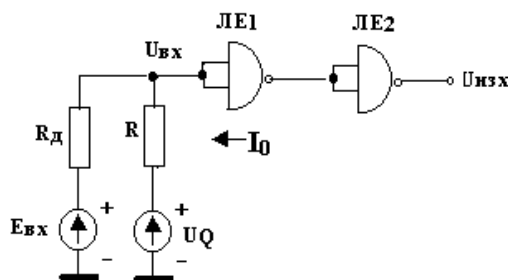


фиг. 2.8

Ако $E_{вх} > 0$, т. е на входа на тригера се подава положителен сигнал. Благодарение на образування от съпротивления R_d и R делител, само част входното напрежение ще постъпва на входа на елемента ЛЕ₁:

$$U_{вх} = \frac{R_d}{R + R_d} U_Q^0 + \frac{E_{вх} R}{R + R_d} + I_0 \frac{R \cdot R_d}{R + R_d} \quad (2.22)$$

2.5.4. Заместителна схема при сигнал нула на изхода:



фиг. 2.9

Когато напрежението $U_{вх}$ стане равно на U_1 , започва да нараства изходното напрежение на тригера. Това предизвиква нарастване на входното напрежение, което се подава на входа на логическия елемент ЛЕ₁, тъй като част от изходното напрежение посредством делителя R_d, R постъпва на входа на тригера. Входното напрежение (при условие, че напрежението $E_{вх}$ не се изменя) става:

$$U_{вх} = U_1 + U_{изх} \frac{R_d}{R + R_d} \quad (2.23)$$

Увеличаването на входното напрежение предизвиква ново нарастване на изходното напрежение $U_{изх}$, в резултат на което увеличаването на изходното напрежение на тригера на Шмит при неизменно входно напрежение протича лавинообразно и завършва с превключване на логическия елемент ЛЕ₂. В резултат предавателната характеристика на тригера има скок при входно напрежение U_1 .

За да се превключи тригерът е необходимо нарастването на напрежението да е по-голямо от разтвора ΔU_p на предавателната характеристика на двата последователно свързани логически елемента ЛЕ₁ и ЛЕ₂ без включен резистор R , т. е.

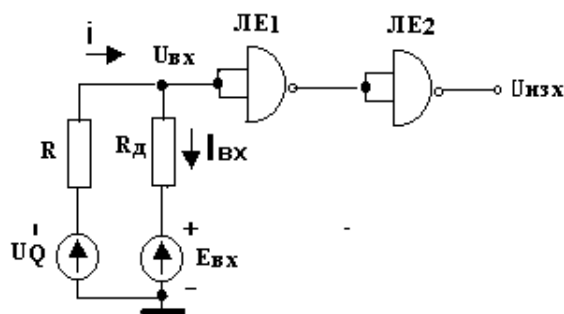
$$U_{изх} = \frac{R_d}{R + R_d} \Delta U_p \quad (2.24)$$

Обикновено напрежението ΔU_p не превишава $50 \div 60 \text{mV}$. И условието в граничния случай се преобразува в

$$R_r + R_d > \frac{R}{40} \quad (2.25)$$

Това неравенство дава условието за минималната стойност на изходното съпротивление на източника на входен сигнал.

2.5.5. Заместителна схема при сигнал единица на изхода:



фиг. 2.10

Прагът на задействане на тригера U_1 е това входно напрежение $U_{вх}$, при което изходното напрежение на логическия елемент LE_1 е равно на напрежението U_0 . Като се има предвид сравнително високата стръмност на предавателната характеристика на логическите елементи в област III може да се приеме, че: $U_1 = U_{II}$.

Зависимостта на прага на задействане на тригера E_1 от съпротивленията на резисторите R и R_d е:

$$E_1 = \frac{R + R_d}{R} \left(U_{II} - \frac{R_d}{R + R_d} U_Q^0 - \frac{R_d R}{R + R_d} I_0 \right) \quad (2.26)$$

След задействане на тригера изходното напрежение $U_{изх}$ става равно на U_Q^1 . Съответно напрежението $U_{вх}$ във входа на логическия елемент LE_1 :

$$U_{вх} = \frac{R_d}{R + R_d} U_Q^0 + \frac{R}{R + R_d} E_{вх} \quad (2.27)$$

като във входа на логическия елемент не протича ток.

За да се превключи обратно тригерът на Шмит, трябва да се намали входното напрежение $E_{вх}$. При напрежение $U_{вх} = U_0$ започва да нараства напрежението $U_{изх1}$ в изхода на логическия елемент LE_1 и след незначително понижаване нивото на входния сигнал - $E_{вх}$, започва да се превключва логическият елемент LE_2 и съответно да се намалява напрежението $U_{изх}$. Изменението на напрежението $U_{изх}$ през съпротивлението R се предава на входа на тригера и съответно се намалява и входното напрежение $U_{вх}$, което довежда до превключване на тригера. В момента на превключване напрежението $U_{вх}$ е: $U_{вх} \approx U_{II}$

От където се определя прагът на изключване E_{II}

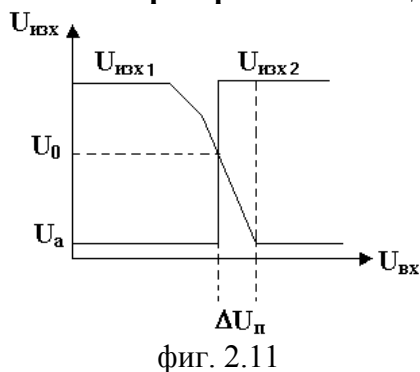
$$E_{II} = \frac{R + R_d}{R} \left(U_{II} - \frac{R}{R + R_d} U_Q^1 - \frac{R R_d}{R + R_d} I_0 \right) \quad (2.28)$$

Ширината на хистерезиса се определя по следния начин:

$$\Delta E_x = (U_{\rho}^1 - U_{\rho}^0) \frac{R_{\rho 1}}{R} \quad (2.29)$$

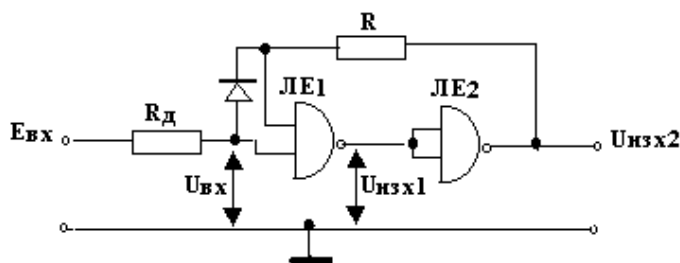
Резисторът R свързва две точки (входа и изхода на тригера на Шмит) с близки по големина потенциали. Неговото съпротивление може да се избере в много широки граници - 390Ω до 10кΩ. Малките стойности не се препоръчват, тъй като хистерезисът се разширява значително. При големи стойности на това съпротивление хистерезисът се стеснява, но на процеса на превключването започват да влияят входния и схемния капацитети. [14]

2.5.6. Предавателна характеристика на тригер на Шмит с два логически елемента:



Ако се използва разделящ диод между съпротивленията R и R_д, може да се включи малко по стойност съпротивление R и хистерезисът да намалее. Освен това праговете на превключване са по-малко чувствителни на стойността на вътрешното съпротивление на източника на входния сигнал. [1][2][4][7]

2.5.7. Принципна схема на тригер на Шмит с включен диод между съпротивленията R и R_д.

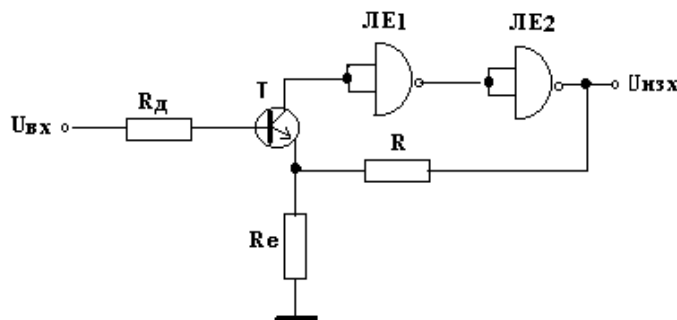


При логическа нула в изхода, диодът е отпушен и схемата е идентична с по-горе разглежданата. Превключването от нула в единица протича по същия начин и ЕП се определя по същата формула. След превключване на тригера диодът се запушва, тъй като на катода му посредством R се подава положителен потенциал. Прагът на задействане се определя само от стойността на R_д.

Входното съпротивление на разглежданите до тук тригери на Шмит е ниско, особено при схеми с положителен знак на праговете на задействане и отпускане. Входното съпротивление може да се повиши, ако във входната верига на тригера се включи емитерен повторител. Това е възможно само за тригери на Шмит с разширители. Тригерите на Шмит с логически елементи не могат да работят с директно свързан във входа емитерен повторител, тъй като за превключването им е необходимо източникът на входния сигнал да има съпротивление, високо от определена стойност. Ако се наложи включване на ЕП, задължително между него и тригера трябва да се включи съпротивление чиято стойност се определя от зависимостта:

$$U_{изх2} \frac{R_0 + R_2}{R + R_0 + R_2} \Delta U_n \quad (2.30)$$

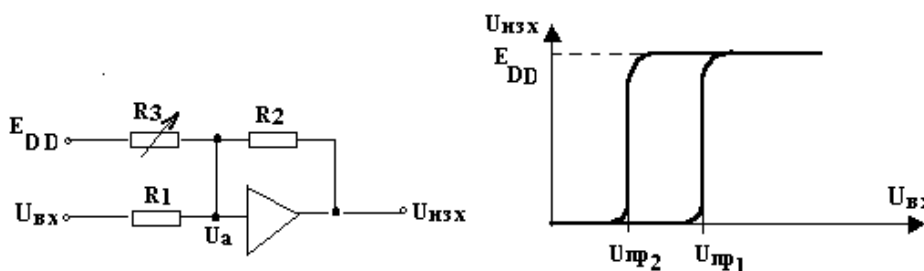
2.6. Принципна схема тригер на Шмит с емитерен повторител:



фиг. 2.13

Тригерът на Шмит с емитерен повторител се характеризира със значително по-малко влияние на вътрешното съпротивление на източника на входен сигнал върху праговете на отпускане и задействане.

2.7. Принципна схема на тригер на Шмит с CMOS елементи:



фиг. 2.14

Това е най-простата схема на тригер на Шмит с CMOS логически елементи. Използван е буфер (повторител, например 1/6 ИС4050), като посредством резисторите R1 и R2 е въведена положителна обратна връзка. Ако в даден момент входното напрежение е нула и започне постепенно да нараства, напрежението на входа на буфера Uа ще остане по-ниско от Uвх: [4][5]

$$U_a = U_{вх} \frac{R_2}{R_1 + R_2} \quad (2.31)$$

При определена стойност на входното напрежение, изходното напрежение Uизх започва да нараства и през R2 започва да се повишава и напрежението в т. а - Uа. Това от своя страна води до ново нарастване на Uизх и т. н. Развива се лавинообразен процес, който завършва при Uизх=EDD. По-нататъшното нарастване на Uвх вече не оказва влияние на Uизх. При намаляване на Uвх, напрежението в т. а Uа остава по-високо от него:

$$U_a = U_{вх} + (E_{DD} - U_{вх}) \frac{R_1}{R_1 + R_2} \quad (2.32)$$

При достигане на праговата стойност се развива обратният лавинообразен процес и изходното напрежение става равно на нула ($U_{\text{ИЗХ}} = 0$). Праговете напрежения на тригера на Шмит могат да се определят по следният начин от по-горе показаните формули:

$$U_{\text{np1}} = U_a \frac{R_1 + R_2}{R_2} \tag{2.33}$$

$$U_{\text{np2}} = U_a \frac{R_1 + R_2}{R_2} - \frac{R_1}{R_2} E_{\text{DD}} = U_1 - \frac{R_1}{R_2} E_{\text{DD}}$$

От тук за ширината на хистерезисната област се получава:

$$\Delta U_x = \frac{R_1}{R_2} E_{\text{DD}} \tag{2.34}$$

което позволява тя да се определя чрез съответен подбор на резисторите.

Особеност на схемата е, че при промяна на R_2 двата прага U_{np1} и U_{np2} се менят в противоположни посоки, поради което се изменя и ширината на хистерезисната област. Когато това е нежелателно, регулирането на праговете може да стане посредством включването на допълнителен потенциометър (R_3). В този случай са в сила изразите:

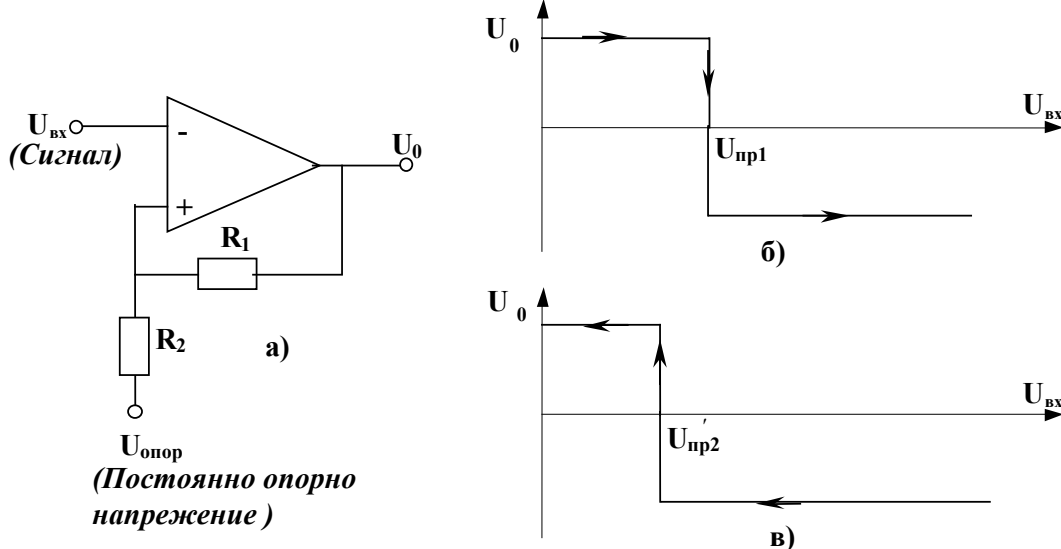
$$U_{\text{np1}}^I = U_{\text{np1}} + \frac{R_1}{R_3} (U_a - E)$$

$$U_{\text{np2}}^I = U_{\text{np2}} + \frac{R_1}{R_3} (U_a - E) \tag{2.35}$$

$$\Delta U_x^I = \Delta U_x = \frac{R_1}{R_2} E_{\text{DD}}$$

т. е. ширината на хистерезисната област не зависи от R_3 . Ако вторият край на потенциометъра се свърже към маса ($E=0$), праговете напрежения нарастват, ако той се включи към захранващия източник ($E = E_{\text{DD}}$), те се понижават. [4][5]

2.8. Тригер на Шмит с операционен усилвател.



фиг. 2.15

а. Схема на тригер на Шмит

б. Предавателна функция при повишаване на напрежението U_s

в. Предавателна функция при намаляване на напрежението U_s

Изходното напрежение на тригера на Шмит със скок се променя от положителното напрежение на насищане за ОУ $U_{0(\max)}$ до неговото отрицателно напрежение на насищане $-U_{0(\max)}$, и обратно. На фигурата е показана схемата на тригер на Шмит и неговата предавателна характеристика. Както се вижда от предавателната характеристика, схемата е в състояние на предварително насищане, докато напрежението на входния сигнал $U_{вх}$ е по-малко от праговото напрежение $U_{пр2}$. Ако напрежението $U_{вх}$ превиши незначително горния праг на задействане $U_{пр2}$, схемата се преобръща и на изхода има напрежение $-U_{0(\max)}$ дотогава, докато $U_{вх}$ спадне под долния праг на задействане $U_{пр1}$. Праговете напрежения могат да бъдат определени с уравнението [11]

$$U_{пр1,2} = \frac{R_2(U_0 - U_{опор})}{R_1 + R_2} + U_{опор} \quad (2.36)$$

където

U_0 – е максималното положително изходно напрежение, когато уравнението се решава за “горния праг”

U_0 – е максималното отрицателно изходно напрежение, когато уравнението се решава за “долния праг”

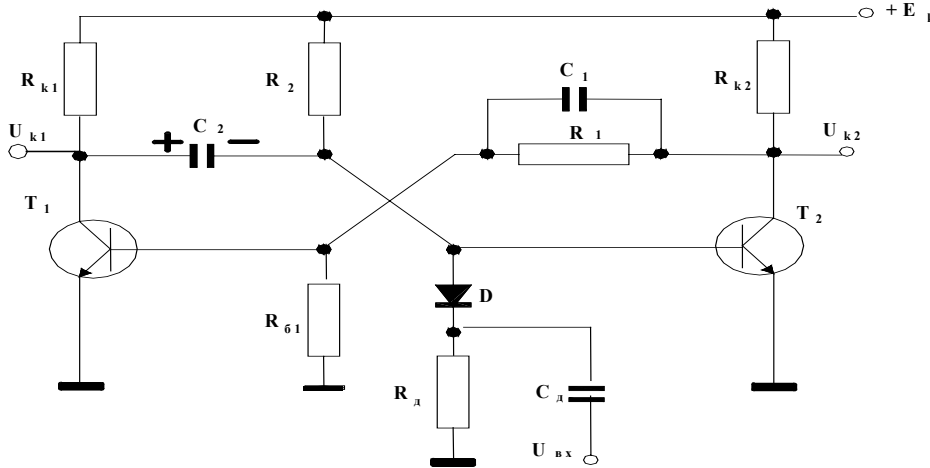
На практика, изходното напрежение от връх до връх често се ограничава с два противоположно включени ценерови диода, поставени между изхода и земя. Напрежението на ценеровите диоди се избира така, че размахът на изходното напрежение да е съвместим с използваните интегрални схеми. [11]

3. Чакащи мултивибратори

Чакащите мултивибратори са релаксационни генератори с едно устойчиво и едно временно устойчиво състояние. Въздействието на подходящи външни пускови импулси може да изведе от неговото устойчиво състояние. След време, определено от параметрите на схемата и от времезадаващите компоненти, временното устойчиво състояние, което се установява от пусков импулс, се прекратява. Причината е изменението на заряда на кондензатора (презаредането) включен във входа на ОБ и възникването на лавинообразен процес, който довежда до връщане в изходно състояние. [1][2][13][14]

3.1. Чакащи мултивибратори с дискретни елементи.

3.1.1. Принципна схема.



фиг. 3.1

Схемата представлява двустъпален аperiодичен усилвател обхванат от дълбока положителна обратна връзка (ПОВ), в която едната обратна връзка е капацитивна. Базовият резистор R_2 на транзистора T_2 е свързан към $+E_k$ и затова в статично състояние T_2 е отпушен и наситен. В същото време транзисторът T_1 е запушен принудително, поради подаването на запушващо напрежение от източника $-E_b$, през резистора R_{b1} (за SI транзистори това напрежение е $E_b=0V$ т.е. базовото съпротивление се свързва към маса, както е показано на схемата – фиг.3.1).

Предполага се, че е спазено условието: $|E| > I_{k0} \cdot R_1$

където: I_{k0} е началния ток на транзистора, даван в каталозите.

При условие, че е в сила зависимостта:

$$R_2 < \beta_{\min} \cdot R_{k2} \quad (3.1)$$

T_2 е наситен и схемата остава неограничено дълго време в своето устойчиво състояние. Кондензаторът C_2 е зареден през R_{k1} и отпушеният преход база-емитер на T_2 до E_k с посочената на фигурата полярност.

Ако постъпи пусков импулс през пусковата диференцираща верига C_d , R_d и диода D , полученият импулс отпушва транзистора T_1 . Напрежението на колектора му започва да спада, а през кондензатора C това спадане се предава към базата на транзистора T_2 . Той започва да се запушва, колекторният му ток намалява, а потенциалът в колектора му нараства. Това нарастване се предава на базата на транзистора T_1 през кондензатора C_1 и предизвиква ново увеличаване на колекторния ток на T_1 и т. н. – развива се лавинообразен процес. В резултат транзисторът T_1 се отпушва, а транзисторът T_2 се запушва. За времето на лавинообразния

процес зарядът върху кондензатора C не успява да се измени. След време t_0 кондензаторът C започва да се разрежда през R_{62} и прехода колектор-емитер на отпушения транзистор T_1 , като с времето разрядния ток и натрупания заряд върху кондензатора C намаляват. Започва да намалява и потенциалът на базата на T_2 (U_{62}). Когато U_{62} стане приблизително нула ($0,7V$ за Si транзистори и $0,3V$ за Ge транзистори) транзисторът T_2 започва да се отпушва, протича лавинообразен процес, който завършва с това, че транзисторът T_1 се запушва, а транзистора T_2 се отпушва. Чакащият мултивибратор се връща в изходното си устойчиво състояние. За времето от t_0 до t_1 (виж фиг. 3.2) се поддържа устойчивото състояние на схемата, т. е. генерира се единичен изходен импулс. Неговата продължителност:

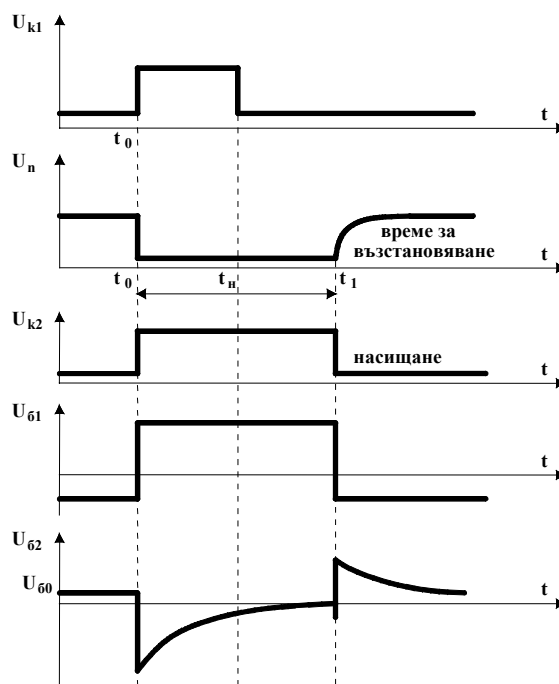
$$t_n = 0,7 \cdot R_{62} \cdot C \quad (3.2)$$

Схемата може да реагира на нов пусков импулс след като измине времето на възстановяване:

$$t_b = 3 \cdot R_{k1} \cdot C \quad (3.3)$$

необходимо за зареждане на кондензатора C (през R_{k1} и прехода база-емитер на отпушения транзистор T_2) след генерирането на импулса.

3.1.2 Времедиаграми:



фиг. 3.2

3.1.3 Особенности на схемата:

- Условието за съхраняване на устойчивото състояние е :

$$R_2 < \beta_{\min} R_{k2} \quad (3.4)$$

- Необходим е допълнителен източник на запущащо напрежение U ;
- За да бъде стабилна работата на чакащия мултивибратор, времето на възстановяване на схемата трябва да бъде от 3 до 5 пъти по-голямо от времето за преобръщане на чакащия мултивибратор:

$$C \cdot R_{k1} = (3 \div 5) \frac{1}{2\pi f} \quad (3.5)$$

- Формата на изходния сигнал зависи от времето на възстановяване на схемата;

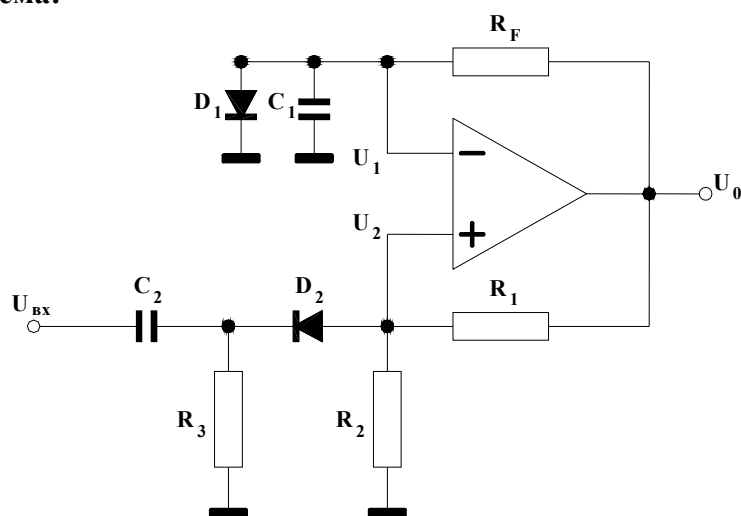
- Стойностите на елементите на пусковите вериги трябва да се избират така, че да осигуряват постъпването на достатъчен по продължителност и амплитуда пусков сигнал.
- В чакащия мултивибратор с емитерни връзки отпада необходимостта от допълнителен източник на запусващо напрежение. Обратната връзка между двете стъпала се осъществява с общото съпротивление R_e .

Начини за усъвършенстване на основната схема на чакащия мултивибратор са:

- Чрез въвеждане на емитерен повторител – може да се намали времето на възстановяване и да се подобри формата на изходния сигнал.
- Използване на схемата на Дарлингтон осигурява изпълнение на условието за съхраняване на устойчиво състояние и в случаите, когато се генерират импулси с много голяма продължителност.

3.2. Чакащи мултивибратори с операционен усилвател.

3.2.1 Принципно схема:



фиг. 3.3

3.2.2 Принцип на действие на схемата.

При отсъствие на входно напрежение ($U_{вх}=0V$) операционният усилвател е наситен в положителна посока и изходното напрежение остава стабилно и равно на U_{0max} (фиг.3.3). През времето, когато ОУ е в устойчиво състояние (положително наситен), диодът D_1 е отпушен и напрежението U_1 приложено към инвертиращия вход, е ограничено до няколко десети от волта. В същото време част от изходното напрежение U_0 се подава обратно към неинвертиращия вход през делителя на напрежение R_1 и R_2 . Така напрежението на неинвертиращия вход ще бъде:

$$U_2 = \frac{U_0 R_2}{R_1 + R_2} \quad (3.6)$$

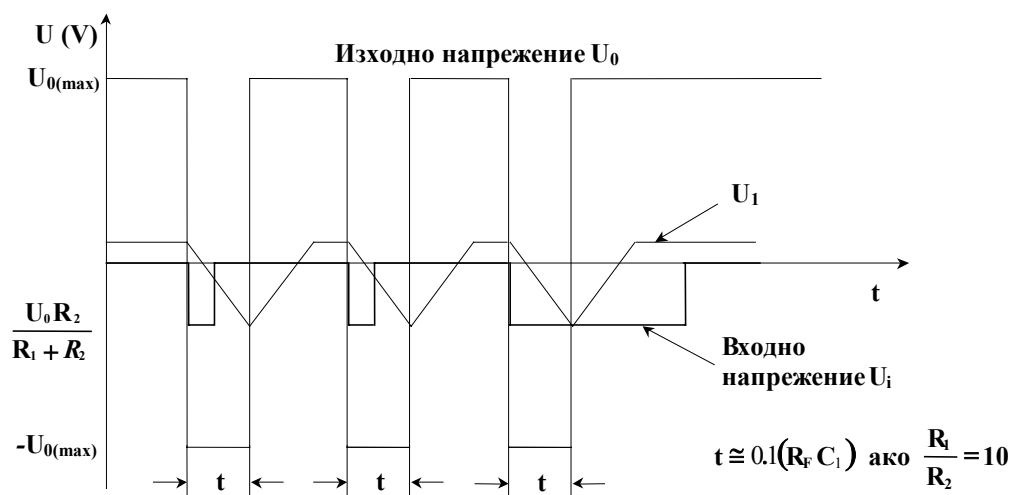
което е значително по-голямо от U_1 и държи ОУ в устойчиво състояние.

Ако се подаде отрицателен входен импулс U_1 , чийто размах от връх до връх превишава напрежението върху R_2 , напрежението на неинвертиращия вход U_2 моментално ще стане отрицателно и това ще доведе до отрицателно насищане (неустойчиво състояние) на ОУ. Напрежението U_2 става моментално отрицателно поради малката времеконстанта $R_3 C_2$. Напрежението на изхода U_0 е отрицателно, напрежението U_2 е също отрицателно и това ще

държи ОУ в отрицателно насищане (неустойчиво състояние). Това е само временно. Диодът D_1 , който в този момент е запушен, позволява на кондензатора C_1 да се зареди. Когато той се зареди, напрежението U_1 се увеличава в отрицателна посока, докато стане малко по-отрицателно, отколкото U_2 . В този момент ОУ се връща обратно в положително насищане. Така изходното напрежение остава отрицателно само за време, достатъчно кондензаторът C_1 да се зареди приблизително до напрежение U_2 . Времето t се определя от времеконстантата $C_1 R_F$ и от отношението R_1/R_2 . Ако R_1/R_2 е равно на 10, тогава времето t за всеки отрицателен импулс може да се апроксимира с уравнението: [7][12][13][14]

$$t \cong 0,1(R_F C_1) \quad (3.7)$$

Форми на напрежения, свързани със схемата на чакащ мултивибратор с операционен усилвател:



фиг. 3.4

На фиг. 3.4 е показано изходното напрежение U_0 , като функция на входното напрежение U_i за чакащ мултивибратор.

3.2.3 Особенности на схемите на чакащи мелтивибратори (ЧМВ) с ОУ:

- Схемата е известна още и като моновибратор, тъй като на всеки входен импулс съответства един изходен импулс;
- ЧМВ с ОУ е подобен на тригер, но изборът на параметрите на схемата в различните случаи е доста по-критичен. Ако не се спазват определени съотношения на параметрите, ще се получи неправилно функциониране на схемата, а е възможно и повреждане на ОУ.
- Чрез ЧМВ с ОУ може да се получи зададена продължителност на изходния импулс, като се извърши подходящ избор на стойностите на елементите на схемата.
- ОУ, използван в схемата на ЧМВ, работи по подобен начин както ОУ в схема на компаратор;
- Ако ЧМВ е предназначен за работа в цифрови логически схеми, U_k и U_e трябва да са 6V.

3.3 Чакащи мултивибратори с ТТЛ елементи.

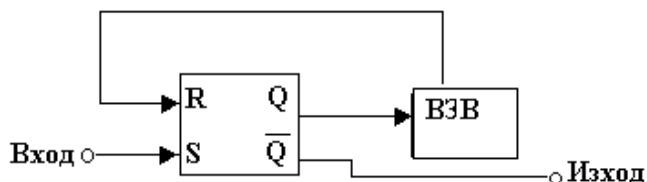
3.3.1. Въведение и обща принципна схема

Управляващият сигнал, който запуска чакащите мултивибратори, построени с ТТЛ елементи, обикновено непосредствено се подава на един от потенциалните входове на използваните логически елементи. Във връзка с това чакащите мултивибратори условно се подразделят на две групи. При първата група пускатащият импулс е по-продължителен от

импулса, който се формира от мултивибратора. Тези схеми се наричат скъсяващи. Във втората група мултивибратори пускащият импулс трябва да е по-къс, отколкото формираният импулс. Ако това условие не се изпълни, изходният импулс повтаря формата на пускащия.

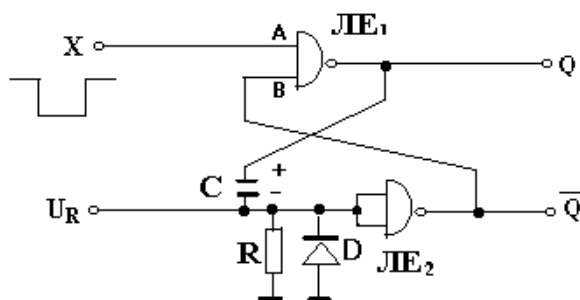
Включването на кондензатор към ТТЛ елементите довежда до сравнително продължително оставане на логическите елементи в активната област на предавателната характеристика, което е причина за появяването на паразитни трептения по време на предния или задния фронт на изходните импулси. Паразитните трептения се отстраняват с известно усложняване на схемата на мултивибратора. Освен това всички мултивибратори с ТТЛ елементи, се характеризират с влошена шумоустойчивост, тъй като входното напрежение поне на един от логическите елементи в схемата сравнително продължително време се намира между нивата 0 и 1.

Независимо от това, че се произвеждат разнообразни интегрални чакаци мултивибратори, които са за предпочитане поради удобство на конструкцията и тяхната компактност, нерядко се налага да се синтезират чакаци мултивибратори с логически елементи. Те се изграждат обикновено като комбинация от асинхронни RS-тригери и свързани към тях времезадаващи вериги. Входният пусков импулс, предаван на един от входовете на R-S тригера го превключва. Изходният сигнал от тригера задейства времезадаващата група, която след време, определено от протичащите в нея процеси, чрез сигнал, подаван към другия вход на тригера, го връща в изходното му състояние. На фиг. 3.5 е показана блокова схема на чакач мултивибратор (ЧМВ) с логически елементи. Тя е изградена от R-S тригер и времезадаваща верига (ВЗВ).



фиг. 3.5

3.3.2. Принцип на действие. Времедиаграми.

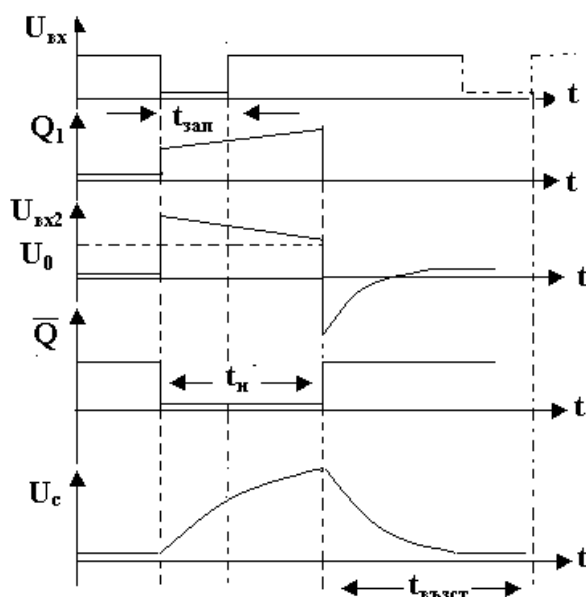


фиг. 3.6

Логическите елементи ЛЕ₁ и ЛЕ₂ образуват R-S тригер, в едната обратна връзка на който е включена времезадаваща RC верига. Чакащият мултивибратор се задейства от отрицателен входен импулс. До настъпване на пусковите импулси чаканият мултивибратор е в устойчиво състояние. Поради условието за ограничаване на R ($100\Omega < R < 500\Omega$) може да се счита, че напрежението на входа на логическия елемент ЛЕ₂ не превишава 0,4V, т. е. има установена логическа нула и на изхода му нивото е логическа единица. Тъй като на вход А на ЛЕ₁ има висок потенциал, изходното ниво на ЛЕ₁ е логическа 0. Постъпването на входен импулс с продължителност $t_{п}$ по-голяма от времената на превключване на логическите елементи ЛЕ₁ и

ЛЕ₂, със своя преход от 1 в 0 превключва ЛЕ₁. Поради връзката между изхода на ЛЕ₁ и входа на ЛЕ₂, се превключва и ЛЕ₂, т. е. тригерът се преобръща. Това временно устойчиво състояние се запазва и след прекратяване на пусковия импулс, тъй като след скока напрежението на кондензатора започва да се зарежда през R и изходното съпротивление на ЛЕ₁. Падът на напрежение създаван от зарядния ток на кондензатора С върху съпротивлението R остава по-висок от праговото напрежение. Но зарядният ток на кондензатора постепенно намалява, поради което намалява и напрежението върху съпротивлението U_R. При достигане на U_п, логическият елемент ЛЕ₂ отново се превключва и тригерът се връща в изходното си състояние, т. е. чакащият мултивибратор се установява отново в своето устойчиво състояние. [1][14]

Повторно задействане на чакащият мултивибратор е възможно след като кондензаторът С се разрежда през изходното съпротивление на логическия елемент ЛЕ₁ (в състояние 0) и диода D, поляризиран в права посока.



фиг. 3.7

Условието да се получи логическа 0 на входа на ЛЕ₂ е:

$$\begin{aligned}
 R &< 400\Omega \\
 I_{\text{вх}0} &= 1,1\text{mA} \\
 U_{\text{вх}0} &= RI_{\text{вх}0} \leq 0,4\text{V} \\
 R &= \frac{U_{\text{вх}0}}{I_{\text{вх}0}} \approx 0,4\text{k}\Omega
 \end{aligned}
 \tag{3.8}$$

Избира се $U_{\text{вх}2} \approx 0$.

3.3.3 Особенности на схемата:

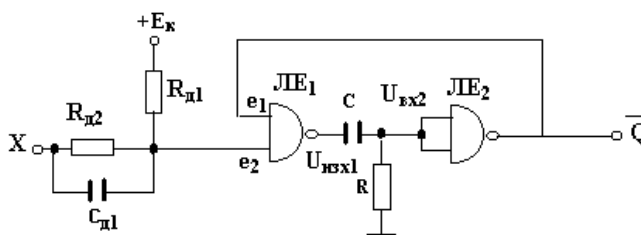
- Продължителността на генерираният импулс се определя от: $t_{\text{и}} \approx 0,7 RC$.
- Продължителността на пусковия импулс $t_{\text{п}}$ трябва да бъде по-кратка от $t_{\text{и}}$ на генерирания импулс. Ако конкретните условия не позволяват непосредствено свързване на входа на чакащия мултивибратор към източника на пускови импулси, трябва да се приложи скъсяване на входния импулс.
- Ограничителни условия за избор на R: $100\Omega < R < 500\Omega$.
- При чакащи мултивибратори с CMOS логически елементи не се поставят ограничителни условия за времезадаващото съпротивление R.

Недостатъци на схемата:

- Тесни граници за избор на времезадаващо съпротивление R (съответно и за регулиране на продължителността на генерирания импулс). Може да се избегне, чрез добавяне на емитерен повторител;
- Товарното съпротивление на схемата може да повлияе върху продължителността на генерирания импулс.

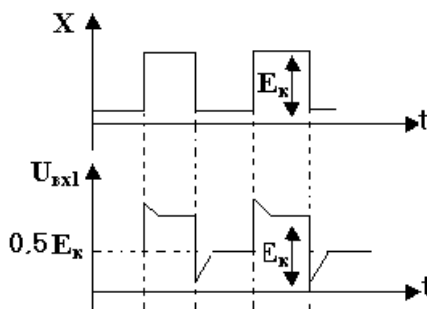
3.4 Чакащи мултивибратори с диференцираща времезадаваща верига.

3.4.1 Принципно схема:



фиг. 3.8

3.4.2 Времедиаграми:



фиг. 3.9

Тази схема се използва за скъсяване на продължителността на импулсите. Неин недостатък е лошият заден фронт на формирувания импулс и наличието на паразитни трептения по времето на задния фронт. Чакащият мултивибратор се пуска от къс отрицателен импулс. За целта изходът на логическия елемент ЛЕ₂ се съединява с входа е₁ на елемента ЛЕ₁. [1][7][12][13][14]

Мултивибраторът се пуска от къс отрицателен импулс (т. е. от прехода 1- 0 на входния сигнал), чиято продължителност трябва да е по-голяма от сумата на времената на превключване на логическите елементи ЛЕ₁ и ЛЕ₂, т. е.

$$t_{\text{пуск}} > t_{301} + t_{310} \tag{3.9}$$

Продължителността на пускащия импулс X трябва да е по-къса от продължителността на изходния сигнал. Преходът 1- 0 на входния сигнал, постъпващ на входа, превключва логическия елемент ЛЕ₁ в състояние 1, а елемента ЛЕ₂ – в състояние 0. Изходният сигнал 0 се подава на входа е₁ на логическия елемент ЛЕ₁ и по този начин се поддържа мултивибраторът във временно стабилно състояние дори и след като входният сигнал отново стане 1. От момента t₁ кондензаторът C започва да се зарежда през съпротивлението R и изхода на логическия елемент ЛЕ₁, като се стреми към напрежение U_{Q1}. В момента t₂, в който входното напрежение U_{вх2} стане равно на напрежението U₀, се превключва ЛЕ₂ в състояние 1, а след време t₃₁₀ благодарение на обратната връзка се превключва елементът ЛЕ₁ и мултивибраторът се връща в изходно състояние и се извършва формирането на изходния импулс. Обратната връзка не позволява

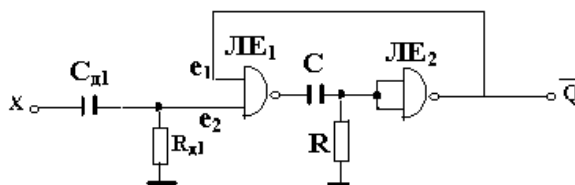
също да се появят паразитни трептения по време на положителния фронт на изходния импулс. За ориентировъчно оценяване на продължителността на изходния импулс може да се използва изразът:

$$t_{и} = 0,75 RC \quad (3.10)$$

Входният импулс X , който пуска мултивибратора, трябва да се скъси в случая, когато той е по-продължителен от импулса, който се формира от мултивибратора. За скъсяване на входния импулс се използва диференцираща верига. За схемата на фиг.3.8 напрежението на входа на елемента ЛЕ₁ се определя от делителя $R_{д1}$ и $R_{д2}$ и то се изменя съответно от E_k до $0,5 E_k$ при изменение на входния сигнал от 1 в 0. Мултивибраторът се пуска от късия импулс, който се получава по време на прехода 1-0 на входния сигнал. Съпротивлението на резистора $R_{д1}$ е избрано достатъчно голямо, така че напрежението U_R , което се подава на входа e_2 на логическия елемент ЛЕ₁, да може да осигурява ниво логическа 1. Входният сигнал се диференцира от веригата $R_{д2}$ и $C_{д1}$ и мултивибраторът се пуска от получените се кратък импулс, т. е. от прехода 1-0 на входния импулс.

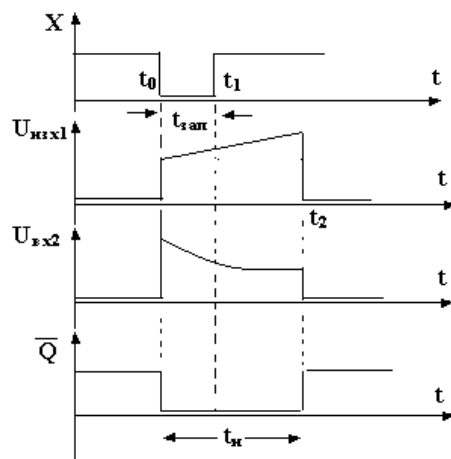
3.4.3 Разновидност на чакащите мултивибратори с диференцираща времезадаваща верига.

Принципна схема:



фиг.3.10

Времедиаграми:



фиг. 3.11

Двете схеми на входни вериги (фиг.3.8 и фиг.3.10) на чакащи мултивибратори са равностойни по действието си. Входната верига от фиг.3.10 е по-нискоомна и входното напрежение на входа e_2 на логическия елемент ЛЕ₁ се поддържа винаги в границите на допустимата зона на ниво 1. Тя има добра шумоустойчивост и е за предпочитане, независимо че съдържа един резистор в повече. Тези две схеми се използват във всички чакащи

мултивибратори в случаите, когато е необходимо входният импулс да се скъси и мултивибраторът да се пусне от прехода 1-0 на входния сигнал.

В изходно състояние входният сигнал X трябва да бъде логическа единица, освен това резисторът R трябва да осигурява нула на входа на логическия елемент $ЛЕ_2$, необходимо е той да е: $R < 400\Omega$ (за чакани мултивибратори изградени с ТТЛ елементи). Тогава $\bar{Q} = 1$ и $Q_1 = 0$ – кондензаторът C е разреден ($U_c = 0$) Когато входният сигнал със скок стане $X = 0$ на изхода на $ЛЕ_1$ се установява логическа единица. Този скок се предава чрез C на входа на $ЛЕ_2$ и на изхода на $ЛЕ_2$ се установява логическа нула. По веригата на обратната връзка този сигнал поддържа логическо ниво на изхода на $ЛЕ_1$ даже и ако входният импулс $X = 0$ завърши. Кондензаторът C започва да се зарежда от изхода на $ЛЕ_1$ през R , от което входното напрежение на $ЛЕ_2$ намалява:

$$U_{изх2} = U_{изх1} - U_c. \quad (3.11)$$

Когато $U_{вх2}$ достигне U_0^I на превключване на $ЛЕ_2$, схемата се превключва – чрез веригата на обратната връзка се развива лавинообразен процес.

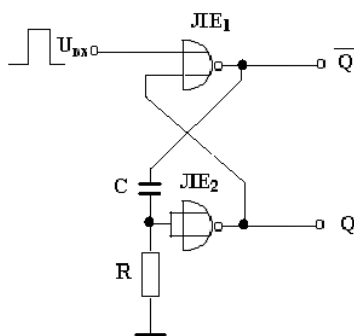
Времетраенето на изходния сигнал се определя основно от кондензатора C и съпротивлението R :

$$t_n \approx 0,75RC \quad (3.12)$$

Стойността на резистора R не може да се избере прекалено малка, тъй като той шунтира чрез кондензатора C изхода на логическия елемент $ЛЕ_1$. Обикновено се избира $R > 100\Omega$.

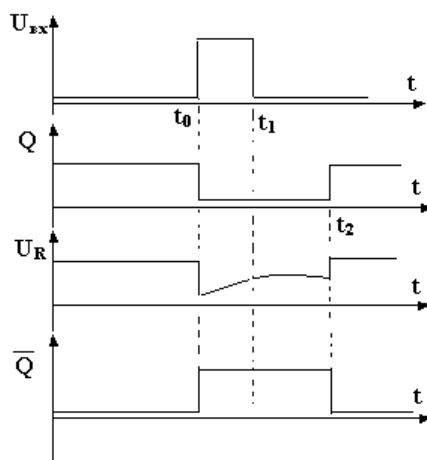
3.5. Чакащ мултивибратор с времезадаваща група от диференциращ тип с CMOS елементи.

3.5.1 Принципна схема:



фиг. 3.12

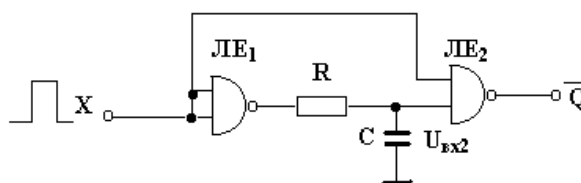
3.5.2 Времедиаграми:



фиг. 3.13

3.6. Чакащи мултивибратори с интегрираща времезадаваща верига.

3.6.1 Принципна схема:



фиг. 3.14

В изходно състояние входният сигнал е 0 и кондензаторът С е зареден до напрежение U_{Q1} . Логическите елементи $ЛЕ_1$ и $ЛЕ_2$ са в състояние логическа 1. Схемата се пуска от прехода 0-1 на входния сигнал – логическият елемент $ЛЕ_1$ се превключва в състояние 0 и кондензаторът С започва да се разрежда през съпротивлението R. Логическият елемент $ЛЕ_2$ също се превключва от 1 в 0 и в това състояние схемата остава до момента, в който напрежението на кондензатора стане равно на напрежението U_0 – виж фиг. 3.14. Съпротивлението R не трябва да е по-голямо от около 250Ω . Входният импулс трябва да е по-продължителен от формиращия импулс т.е. $t_{вх} > t_{и}$. [4][5]

$$t_u = R \cdot C \frac{U_Q^1 - U_{C0}}{U_Q^0 - U_{C0}} \quad (3.13)$$

При входен сигнал $X=0$ сигналите на изходите са логическа единица за правия изход и логическа нула за инверсния изход. Кондензаторът С се зарежда през R от изхода на елемента $ЛЕ_1$:

$$U_c = U_{вх} = U_Q^1 \quad (3.14)$$

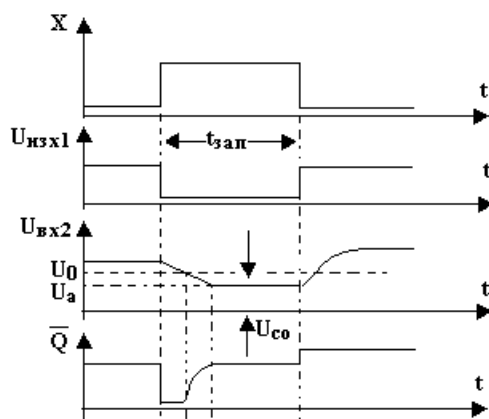
Когато входния сигнал стане логическа единица ($X=1$), на изхода на $ЛЕ_2$ се получава логическа нула. Кондензаторът С започва да се разрежда през изхода на $ЛЕ_1$. Когато се разреди достатъчно $U_{вх2} < U_0$ логическият елемент $ЛЕ_2$ се превключва. Резисторът R трябва да бъде със стойност $R < 250\Omega$, за да осигури $U_{вх2} < U_0$ при $U_{вх1} \approx 0$.

Обратното превключване в тази схема се извършва под действието на бавно променящото се напрежение върху кондензатора $U_{вх2}$ и затова нарастващият фронт на инверсния сигнал е по-продължителен. Малка продължителност на фронтите може да се получи чрез въвеждане на положителна обратна връзка. Схемата осигурява прав и инверсен изход. [5]

Недостатък на схемата:

- продължителен заден фронт на формиращия импулс.
- поради липса на обратна връзка, превключването не се извършва мигновено.

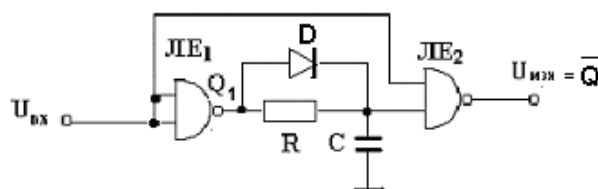
3.6.2 Времедиаграми:



фиг.3.15

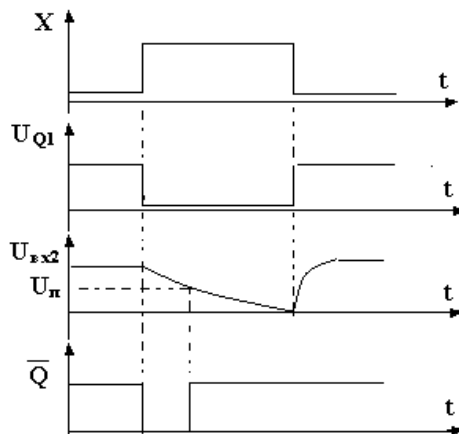
3.7 Чакащ мултивибратор с времезадаваща група от интегриращ тип с CMOS логически елементи.

3.7.1 Принципна схема:



фиг.3.16

3.7.2 Времедиаграми:



фиг.3.17

3.7.3 Особености на схемата:

С помощта на диода D се намалява времето за възстановяване на изходното състояние – без диод то е около $2,3 RC$, а с диод е по-малко или равно на $0,7RC$

- Продължителността на генерираният импулс е:

$$t_{и} = 0,7RC \quad (3.15)$$

където R е в килооми, а C в нанофаради.

- Няма ограничения за избора на R. Допустими стойности на R са до 20 MΩ.
- За предпочитане е желаната продължителност да се постигне с кондензатор с по-малък капацитет и резистор с по-голямо съпротивление

Чакащите мултивибратори с CMOS елементи се осъществяват практически по същият начин както и с TTL елементи. Различието им е в голямата разлика в параметрите им, особено

във входните съпротивления. За CMOS елементите от серията K176 входният ток е от порядъка на 50 наноампера, който определя входно съпротивление около $2 \cdot 10^8 \Omega$. Това позволява резисторът R във времезадаващата верига да се избира много голям: $20 \text{ k}\Omega < R < 10 \text{ M}\Omega$

Но входният капацитет на CMOS елементите е много по-голям от този на TTL и това не позволява използването на много малък кондензатор във времезадаващата верига: $C = 240 \text{ pF}$ [5]

3.8. Интегрални чакащи мултивибратори.

3.8.1 Въведение

Независимо от технологията на производство интегралните схеми на чакащи мултивибратори имат следните общи характеристики:

- Времезадаващите елементи, които определят продължителността на импулса се включват външно. Някои TTL имат вътрешни вградени резистори R_{in} , които обаче се отличават с нестабилност на съпротивлението, температурна зависимост и се използват само в ограничени случаи;
- Схемите имат входове за задействане, както от положителен така и от отрицателен фронт;
- Схемите имат прав и инверсен извод;
- Някои чакащи мултивибратори имат и нулиращ вход. Наличието на определен потенциал на този вход задържа безусловно чакащия мултивибратор в изходното му състояние, а подаването на импулс на същия вход по време на генерирането на изходния импулс прекратява последния;
- Без спазване на ограниченията при избора на елементите и без съобразяване с таблицата на истинност, работата на чакащите мултивибратори е невъзможна.

Произвеждат се и интегрални чакащи мултивибратори, като схеми: 74121, 74122, 74123, 74221, K155AG и др. Независимо от тяхната технология (CMOS или TTL) те имат следните общи характерни особености: времезадаващите елементи, които определят продължителността на генерирания импулс (R и C) се включват външно. [1][2][3][7]

3.8.2 Интегрален чакан мултивибратор 74121.

Чаканият мултивибратор има три управляващи входа – X_1 , X_2 , и X_3 . Пускащите сигнали са свързани с логическата зависимост:

$$(\overline{X_1} + \overline{X_2})X_3 \quad (3.16)$$

Таблица на функциониране на чаканият мултивибратор 74121

Входове			Изходи	
X_1	X_2	X_3	Q	\overline{Q}
0	X	1	0	1
X	0	1	0	1
X	X	0	0	1
1	1	X	0	1
1	↓	1		
↓	1	1		
↓	↓	1		
0	X	↑		
X	0	↑		

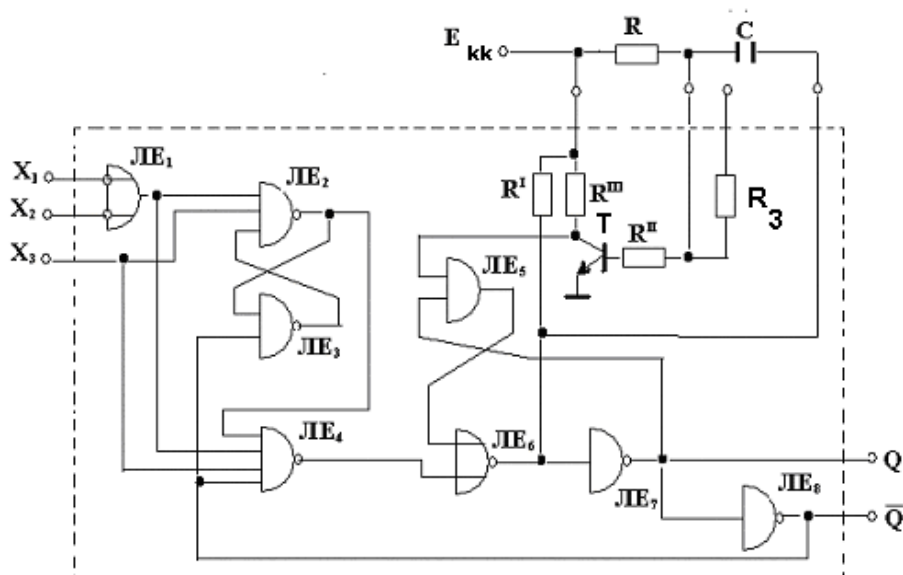
Приети означения: \downarrow - отрицателен фронт на пусковия импулс

\uparrow - положителен фронт на пусковия импулс

\square - положителен изходен импулс

\square - отрицателен изходен импулс

Функционална схема на чакащ мултивибратор 74121



фиг. 3.18

Мултивибраторът се пуска от положителния фронт (прехода 0-1) на сигнала на входа X_3 , като при това е необходимо поне на един от входовете X_1 и X_2 нивото да е 0. Сигналите на входовете X_1 и X_2 пускат мултивибратора със своя отрицателен фронт (прехода 1-0), като на входа X_3 нивото трябва да е 1. Продължителността на пусковите импулси трябва да е не по-малка от 50ns. Фронтовете на сигналите на входовете X_1 и X_2 трябва да нарастват не по-бавно от 1V/ μ s. Във входа X_3 е включен прагов елемент и затова там минималната допустима скорост на нарастване на фронта на пускащите импулси X_3 е значително по-ниска – до 1V/s.

Логическите елементи $ЛЕ_1$, $ЛЕ_2$, $ЛЕ_3$, $ЛЕ_4$ са включени във входната верига и от една страна, служат за изпълняване на логическото уравнение, а от друга страна, правят независимо действието на мултивибратора от продължителността на пусковите импулси. Самият чакащ мултивибратор е съставен от логическите елементи $ЛЕ_5$, $ЛЕ_6$, $ЛЕ_7$ и транзистора T . $ЛЕ_8$ е необходим за получаване на инверсен изход. R-S тригерът в схемата на мултивибратора е образуван от логическите елементи $ЛЕ_5$, $ЛЕ_6$ и $ЛЕ_7$. Времезадаващата верига – резисторът R и кондензаторът C , се включват извън интегралната схема. За целта е изведена базата на транзистора T (посредством нискоомното съпротивление R^{II}). Освен това към базата на транзистора T е включен резисторът R_3 , другия край на който също е изведен от интегралната схема. Този резистор също може да се използва във времезадаващата верига.

Продължителността на формирания импулс се определя от зависимостта:

$$t_n \approx 0,7RC \quad (3.17)$$

а времето за достигане на изходното състояние на схемата:

$$t_B \approx 2(R^I + R^{II})C \quad (3.18)$$

Съпротивлението R може да се изменя от $1,4\text{k}\Omega$ до $40\text{k}\Omega$, а кондензаторът C от 10pF до $1000\mu\text{F}$. Максималната продължителност на изходния импулс, която може да се получи с мултивибратора 74121, е 40s . По-голяма продължителност на формирания импулс може да се получи, ако времезадаващата верига се включи посредством транзистор, като съпротивлението R може да достигне до $1\text{M}\Omega$.

Чакащият мултивибратор 74121 се характеризира с добра стабилност на продължителността на формирания импулс. Той е универсален по своето приложение и може да се използва във всякакви разработки с ТТЛ елементи. [1][2][3]

3.8.3 Чакащи мултивибратори от типа 74122 и 74123

Чакащите мултивибратори от типа 74122 и 74123 се характеризират с възможността за продължаване или прекъсване на изходния импулс. За прекратяване на изходния импулс в тях е предвиден нулиращ вход \bar{R} . При пускането на мултивибратора и през време на формиране на изходния импулс сигналът на този вход трябва да е 1. Когато той стане 0, изходния сигнал Q на мултивибратора също става 0. Когато, сигналът на входа \bar{R} стане равен на нула, процесът на формиране на импулса се прекъсва и чакащият мултивибратор се установява в състояние логическа нула.

При чакащите мултивибратори от типа 74122 и 74123 практически не съществува време на възстановяване. Освен това край на изходния импулс е отдалечен с време $t_{\text{и}}$ от последния постъпил импулс независимо от състоянието на мултивибратора. [1] [2]

Интегрален чакащ мултивибратор 74122

Таблица на функциониране на чакащият мултивибратор 74122

Входове			Изходи			
X_1	X_2	X_3	X_4	X_5	Q	\bar{Q}
0	X	X	X	X	0	1
X	1	1	X	X	0	1
X	X	X	0	X	0	1
X	X	X	X	0	0	1
X	0	X	1	1	0	1
1	0	X	↑	1		
1	0	X	1	↑		
1	X	0	1	1	0	1
1	X	0	↑	1		
1	X	0	1	↑		
1	1	↓	1	1		
1	↓	↓	1	1		
1	↓	1	1	1		
↑	0	X	1	1		
↑	X	0	1	1		

Приети означения:

↓ - отрицателен фронт на пусковия импулс

↑ - положителен фронт на пусковия импулс

- положителен изходен импулс

 - отрицателен изходен импулс

Чакащият мултивибратор от типа 74122 има четири управляващи входа: X_1 , X_2 , X_3 , X_4 . Сигналят, подаден на входовете X_1 и X_2 , пуска мултивибратора с отрицателния фронт (преходът 1-0), като нивото и на двата входа X_3 и X_4 трябва да е 1.

Сигналят, подаден на входовете X_3 и X_4 , пуска мултивибратора с положителния фронт (преходът 0-1), като нивото поне на един от входовете X_1 и X_2 трябва да е 0. Ако пусковият импулс се подава на входа X_3 , то на входа X_4 , нивото трябва да е 1 и обратно, ако пусковият сигнал се подава на входа X_4 , нивото във входа X_3 трябва да е 1.

Времезадаващата верига се включва външно, като съпротивлението R може да се избира от 5 до 50к Ω . Вместо външен резистор може да се използва и вътрешният резистор, изведен на краче 9, съпротивлението на който е 10к Ω . Продължителността на формирания импулс се определя от формулата:

$$t_{и}=0,32RC(1+0,7/R) \quad (3.19)$$

Тук съпротивлението на резистора R е в килооми, капацитетът на кондензатора C в пикофаради, а продължителността на изходния импулс се получава в наносекунди.

При използването на нулиращия вход на чакащия мултивибратор времезадаващата верига трябва да се свърже през диод. Продължителността на изходния импулс при включване на диод във времезадаващата верига е:







$$t_{и}=0,28RC(1+0,7/R) \quad (3.20)$$

Пусковият импулс при използването на диод във времезадаващата верига трябва да е не по-къс от $0,22C$ (времето $t_{и}$ – в наносекунди, капацитетът C – в пикофаради)

Интегрален чакащ мултивибратор 74123

Чакащият мултивибратор 74123 е подобен на 74122. Той има само два входа – X_1 и X_2 . Функционирането му се пояснява с таблицата на действие.

Таблица на функциониране на чакащият мултивибратор 74123

Входове			Изходи	
R	X_1	X_2	Q	\bar{Q}
0	X	X	0	1
X	1	N	0	1
X	X	0	0	1
1	0	↑		
↓	1	1		
↓	0	1		

Приети означения:

↓ -отрицателен фронт на пусковия импулс

↑ - положителен фронт на пусковия импулс

 - положителен изходен импулс

 - отрицателен изходен импулс

В мултивибратора няма предвиден вътрешен резистор за времезадаващата верига. Това намалява броя на изводите на мултивибратора и позволява в един корпус DIL с 16 извода да се поместят два еднотипни чакащи мултивибратора. Продължителността на формирания импулс се определя също както при чакащите мултивибратори от типа 74122.

4. Автогенераторни мултивибратори.

4.1 Общи сведения – определение

В импулсните устройства се използват схеми, с които се генерират импулси със стръмни фронтове. Тези схеми се наричат релаксационни генератори. В тях има най-много един реактивен елемент, който със своето активно съпротивление образува времезадаваща верига, определяща продължителността на формирания импулс. [7][12]

Релаксационните генератори изградени с две усилвателни стъпала с резистори в колекторните вериги, взаимнообхванати от ПОВ се наричат мултивибратори. Релаксационни генератори в които ПОВ се постига чрез импулсен трансформатор се наричат блокинг генератори.

Всеки релаксационен генератор може да работи в три режима:

- чакащ;
- автогенераторен;
- режим на синхронизиране на честотата.

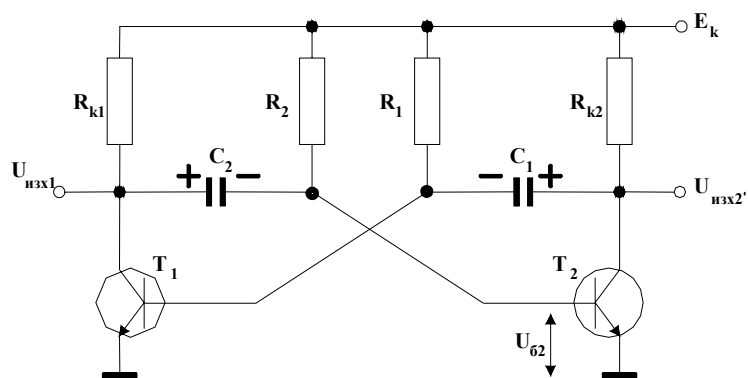
В автогенераторен режим релаксационните генератори нямат статични състояния, а имат две квазистатични състояния и постоянно се превключват от едното в другото. Техните схеми имат две времезадаващи вериги, които определят времето през което схемата остава в съответното квазиустойчиво състояние.

Най-характерното за тях е, че процесите в схемата им се обуславят от зареждането и разреждането на кондензатор със стойност значително по-малка от тази на паразитните капацитети на схемата., през резистора или по-рядко през транзистора., включен като генератор на ток. Много рядко се използват схеми с бобина вместо с кондензатор. Независимо от това с какви активни елементи е изграден мултивибраторът, продължителността на генерираните импулси се определят от времеконстантата на зарядната и разрядна верига. В частен случай може да се касае и за една времеконстанта.

4.2 Автогенераторни мултивибратори с дискретни елементи.

4.2.1 Принципна схема:

Най-разпространена е следната схема на автогенераторен мултивибратор (АМВ) с транзистори.



фиг. 4.1

Действието на схемата (фиг.4.1) се свежда до превключване на кондензаторите C_1 и C_2 от разреждане към зареждане и обратно, чрез работещите в ключов режим транзистори T_1 и T_2 , управлявани от самите процеси в схемата. Тези процеси се повтарят непрекъснато т.е. двете състояния на мултивибрибратора са само временно устойчиви и при работа не е възможно състояние при което и двата транзистора T_1 и T_2 да бъдат в еднакво състояние – отпушени или

запушени. Само при включване на схемата, захранващото напрежение нараства бавно и съществува вероятност и двата транзистора да се наситят през базовите съпротивления и схемата да не може да излезе от това състояние т. е. да не може да започне да генерира.

4.2.2 Принцип на действие

При анализа приемаме, че след включването на захранващото напрежение транзисторът T_1 е запушен, а транзисторът T_2 отпушен, наситен и това състояние се е установило благодарение на неизбежните различия в стойностите на елементите в двата клона на схемата. Нека да предположим че кондензаторът C_1 е зареден да напрежение $U_{c1} \approx E_k$ с полярност показана на схемата (фиг.4.1). Кондензаторът C_1 започва да се презарежда през R_1 и отпушения транзистор T_2 . В същото време кондензаторът C_2 се зарежда през R_{k1} и отпушения преход база-емитер на T_2 до напрежение $U_{c2} \approx E_k$. Когато напрежението на C_1 стане равно на напрежението на отпушване на транзистора т.е. $U_{c1} = U_{бeотп}$, транзисторът T_1 се отпушва и започва да протича ток I_{k1} през R_{k1} . Напрежението на колектора на транзистора T_1 , U_{k1} намалява. Това намаление се предава през C_2 на базата на транзистора T_2 и той излиза от режим на насищане. Напрежението U_{k2} се увеличава и през кондензатора C_1 това увеличение се предава на базата на транзистора T_1 . От това токовете I_{b1} и I_{k1} се увеличават, напрежението U_{k1} още повече намалява вследствие на което се развива лавинообразен процес, който завършва със запушване на транзистора T_2 и насищане на транзистора T_1 .

Със запушването на транзистора T_2 се създават условия за обратно зареждане на C_1 от източника E_k през R_{k2} и отпушения преход база-емитер на транзистора T_1 , до напрежение приблизително равно на E_k . В това време транзисторът T_2 се поддържа запушен от заряда на кондензатора C_2 . Кондензаторът C_2 започва да се презарежда до E_k през R_{k2} и през наситения транзистор T_1 . Когато напрежението на кондензатора C_2 стане: $U_{c2} = U_{бe2}$, транзисторът T_2 се отпушва и се развива лавинообразен процес на превключване в обратна посока – T_1 се запушва от напрежението U_{c1} на кондензатора C_1 , а T_2 се насища. [12]

Продължителността на импулсите в колекторните вериги се определя от изразите:

$$\begin{aligned} t_{и1} &\approx 0,7R_{b1}C_1 \\ t_{и2} &\approx 0,7R_{b2}C_2 \\ t_{и} &= t_{и1} + t_{и2} \end{aligned} \quad (4.1)$$

Продължителността на положителните фронтове на генерираните импулси е:

$$\begin{aligned} t_{\phi 1(+)} &= 3R_{k1}.C_1 \\ t_{\phi 2(+)} &= 3R_{k2}.C_2 \end{aligned} \quad (4.2)$$

Продължителността на отрицателните фронтове, когато транзисторите преминават от запушено в отпушено състояние, се определя от честотните им свойства. Те са:

$$t_{1(-)} = t_{\phi 2(-)} = 1/2\pi f_T \quad (4.3)$$

Изходът може да се вземе от колекторите на транзисторите T_1 и T_2 . Размахът на генерираните импулси е приблизително равен на захранващото напрежение. То се избира в съответствие с каталозните данни за транзисторите. Трябва да се има в предвид, че преходът база-емитер на транзисторите в известен момент е обратно поляризиран с напрежение, приблизително равно на захранващото. Когато това е нежелателно и опасно за транзисторите се прилагат специални схеми, като тази дадена на фиг. 4.2. Диодите в тази схема служат за предпазване на транзисторите от появата на обратно поляризирано напрежение на базите им.

Необходими условия, при които са верни зависимостите дадени по-горе:

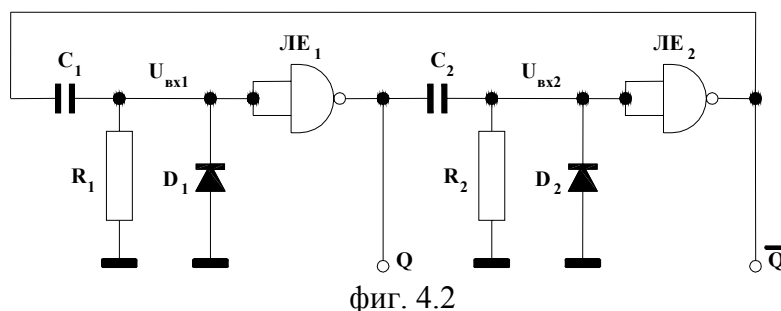
- Необходимо е да се осигури насищане на транзисторите T_1 и T_2 , като се спазят съотношенията:

$$\begin{aligned} R_{\beta 1} &< \beta_1 R_{k1} \\ R_{\beta 2} &< \beta_2 R_{k2} \end{aligned} \quad (4.4)$$

- Степента на насищане на транзисторите S трябва да бъде от 1,3 до 1,5 за да се осигури възникването на лавинообразен процес.
- Стойностите на кондензаторите трябва да се избират въз основа на по-горе дадените зависимости и желаните продължителности на изходните импулси. Когато стойностите на кондензаторите се получат много големи, могат да се използват електролитни кондензатори, като се имат в предвид техните недостатъци (ниска стабилност, точност и стареене и др.).
- Подобрене на формата на изходните сигнали се получава с използване на емитерни повторители..
- За генериране на импулси с коефициент на запълване по-голям от 0,1 се използват специални схеми.

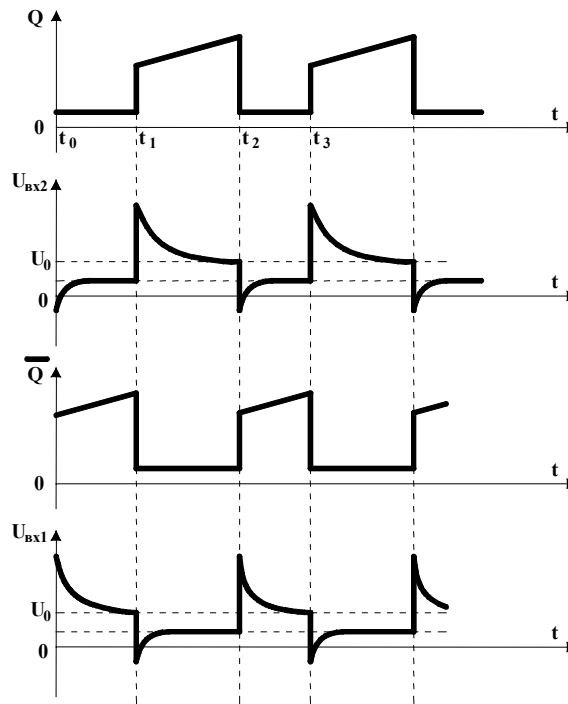
4.3. Мултивибратори в автогенераторен режим с ТТЛ елементи е две времезадаващи вериги.

4.3.1 Принципно схема:



Процесите на превключване на логическите елементи ЛЕ₁ и ЛЕ₂ са подобни на тези в чакащия мултивибратор. Благодарение на наличието на втора времезадаваща верига за обратна връзка, схемата няма състояние на устойчиво равновесие, а има две квазиравновесни състояния. [1][3][13]

4.3.2 Времедиаграми:



фиг. 4.3

Приема се следното състояние на изходите:

$$\begin{aligned} Q &= 0 \\ \bar{Q} &= 1 \end{aligned} \quad (4.5)$$

и зарядът на кондензатора C_1 нула – $U_{C10} \approx 0$ (момент t_0). Понеже:

$$U_{ax} = U_{\bar{Q}} - U_{C10} \approx U_{\bar{Q}} \quad (4.6)$$

елементът ЛЕ₁ има на изхода си логическо ниво $Q=0$. Кондензаторът C_2 се разрежда през изхода Q на ЛЕ₁, а кондензаторът C_1 се зарежда от изхода \bar{Q} на ЛЕ₂. Напрежението U_{BX1} намалява. Когато напрежението U_{BX1} достигне стойност $U_{BX1}=U_0$, елементът ЛЕ₁ се превключва и U_Q нараства през C_2 . Напрежението на инверсия изход намалява. През кондензатора C_1 това намаляване се предава на входа на ЛЕ₁ и напрежението на правия изход още повече намалява – развива се лавинообразен процес, завършващ с установяване на $Q=1$ и $\bar{Q}=0$.

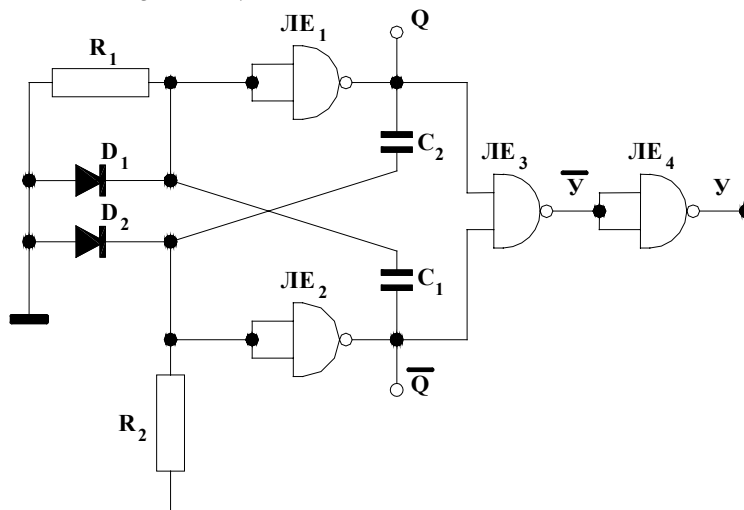
През изхода \bar{Q} на ЛЕ₂ кондензаторът C_1 започва бързо да се разрежда, а през изхода Q на ЛЕ₁ кондензаторът C_2 започва да се зарежда. От това напрежението $U_{BX2} = U_Q - U_{C2}$ постепенно намалява и при достигане на стойност $U_{BX2}=U_0$ елементът ЛЕ₂ се превключва. Напрежението на инверсия изход нараства, а на правия намалява. Благодарение на действието на обратната връзка се развива лавинообразен процес на превключване и схемата преминава в състояние $Q=0$ и $\bar{Q}=1$ (прието при разглеждането на процесите за начално). Процесите се повтарят отново, т. е. генерират се незатихващи колебания.

Особености на схемата:

- Предназначението на диодите D_1 и D_2 е да осигурят бързото разреждане на кондензаторите C_1 и C_2 ;
- Резисторите R_1 и R_2 се избират в границите от 500Ω до $1k\Omega$ от съображения за стабилност на импулса и честотата.

Недостатък на схемата:

- Не винаги при включване на захранването започват колебания (особено при големи стойности на C_1 и C_2) – напреженията на изходите Q и \bar{Q} бавно нарастват, кондензаторите C_1 и C_2 бавно се зареждат и двата изхода могат да се установят в логическа единица. За отстраняването на този ефект може да се включат допълнителни логически елементи $ЛЕ_3$ и $ЛЕ_4$, както на следната схема:



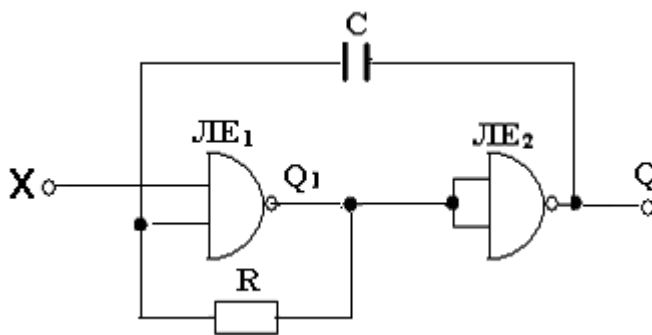
фиг. 4.4

При неправилно стартиране сигналът $Y=Q.\bar{Q}=1.1=1$ установява елемент $ЛЕ_2$ в състояние $\bar{Q}=0$. При това сигналът Y се нулира т.е. $Y=Q.\bar{Q}=1.0$ и схемата започва да генерира, защото резисторът R_2 се заземява през изхода Y на елемента $ЛЕ_4$.

4.4 Автогенераторни мултивибратори с една времезадаваща верига: с ТТЛ елементи

Съществуват схеми на мултивибратори само с една времезадаваща верига.

4.4.1 Принципно схема:



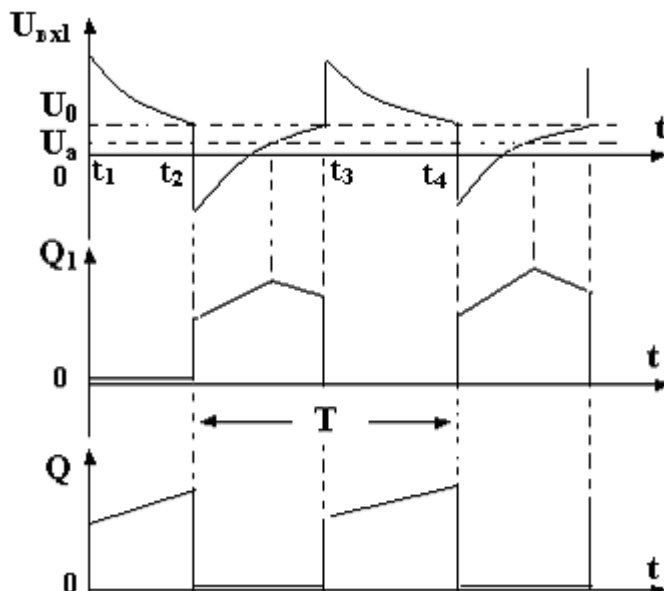
фиг. 4.5

Резисторът R свързва входа и изхода на логическия елемент $ЛЕ_1$. Кондензаторът C осъществява положителна обратна връзка. [1][2][12]

Принципът на работа на мултивибратора почива на презареждане на кондензатора C през R от изхода на единия към изхода на другия елемент. При достигане на напрежение $U_{вх1}$ до стойност U_0 елементът $ЛЕ_1$ се превключва и започва презареждане на кондензатора C в обратна посока. Резисторът R се избира със стойност $R>60\Omega$, обикновено $R=(200 \div 450)\Omega$.

Периодът на генерираните колебания се определя приблизително като $T \approx 3RC$. Възможно е управление на мултивибратора, чрез вход X. Това може да се приложи и в другите схеми с ТТЛ елементи, ако е необходимо.

4.4.2 Времедиаграми:



фиг. 4.6

В момента t_1 напрежението $U_{вх1}$ във входа на на логическия елемент ЛЕ₁ става U_0 и мултивибраторът се превключва. Изходният сигнал Q става 1. В момента на превключване C е зареден до напрежение:

$$U_{C0} = U_o - U_{Q0} \quad (4.7)$$

В новото състояние на мултивибратора ($Q=1$) кондензаторът C започва да се презарежда през резистора R и изхода на логическия елемент ЛЕ₂. Напрежението $U_{вх1}$ спада по експоненциален закон. Когато то стане равно на U_0 мултивибраторът се превключва и изходният сигнал Q става 0. След превключването на мултивибратора в състояние $Q=0$ кондензаторът C отново започва да се презарежда през резистора R под действието на напрежението U_{Q1} в изхода на логическия елемент ЛЕ₁.

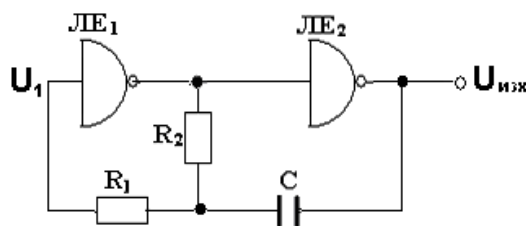
Мултивибраторът може да се спира и пуска от външен сигнал, който се подава на входа X. Мултивибраторът работи при сигнал 1 и спира при сигнал 0. Съпротивлението R се избира в границите от 220Ω до 430Ω .

Недостатци на мултивибратора с ТТЛ елементи и една времезадаваща верига:

- Сигналът може да се получи само от изхода Q. При това стойността на изходното напрежение почти се равнява на граничното ниво на сигнала логическа 1. Този недостатък се отстранява, като резисторът R се включи паралелно към три последователно свързани логически елемента. В този случай работната точка и на трите логически елемента след подаване на захранващо напрежение се намира в област III на предавателната характеристика (виж фиг. 8.6 от Първа глава). В този случай съпротивлението на резистора R може да се изменя от 300Ω до $1,7k\Omega$.
- Сравнително нискоомно съпротивление R и нешироки граници на неговото изменение. Този недостатък се отстранява с включване на транзистор във входа на логическия елемент ЛЕ₁ в схема на емитерен повторител.

4.5 Автогенераторни мултивибратори с CMOS елементи

4.5.1 Принципна схема:



фиг. 4.7

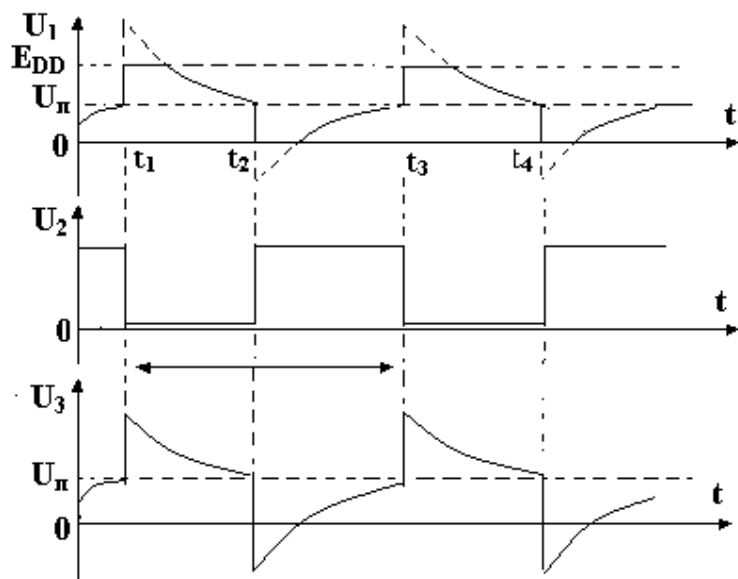
Схемите на тези мултивибратори напълно съвпадат с тези на мултивибратори с ТТЛ елементи. Единствената разлика, при това съществена, се състои в особеностите на структурата на входната верига на CMOS логическите елементи – наличие на защитни диоди във входната верига, които влияят на процесите на зареждане и разреждане на времезадаващия кондензатор. Поради това вместо до захранващото напрежение E_D по време на лавинообразния процес C се зарежда до напрежение $(U_{п} - U_{д})$, където: [4][5]

- $U_{п}$ – прагово напрежение на ЛЕ;
- $U_{д}$ – падът на напрежението върху отпушеният входен предпазен диод в CMOS структурата.
- Продължителността на периода на генерираните импулси е: $T = 1,4R_e C$
- При пренебрегване на $U_{д}$ и допускане, че $U_{п} = 0,5E_D$, където:
 - R_e - в килооми;
 - C – в пикофаради;
 - T – в наносекунди.

Особености на схемите на автогенераторни мултивибратори (AMB) с CMOS елементи:

- Няма строги ограничения при избора на стойността на времезадаващия резистор R . Могат да се избират стойности до десетки мегаоми.
- Препоръчват се CMOS логически елементи от серията В, с които се постигат по-стръмни фронтове;
- Коефициентът на запълване на генерирания импулс е 0,5;
- Може да се въведе управление на действието на схемата, чрез някои от входовете на ЛЕ
- Изменението на захранващото напрежение и температурата на околната среда влияе силно върху честотата на генерираните импулси и на коефициента на запълване.
- Поради наличието на защитни диоди на входа, напрежението $U_{вх}$ се ограничава, в резултат на което се намалява периода T . Този недостатък може да се отстрани, чрез добавяне на резистор R_1 към входа на елемент ЛЕ1. [4] [5]

4.5.2 Времедиаграми:



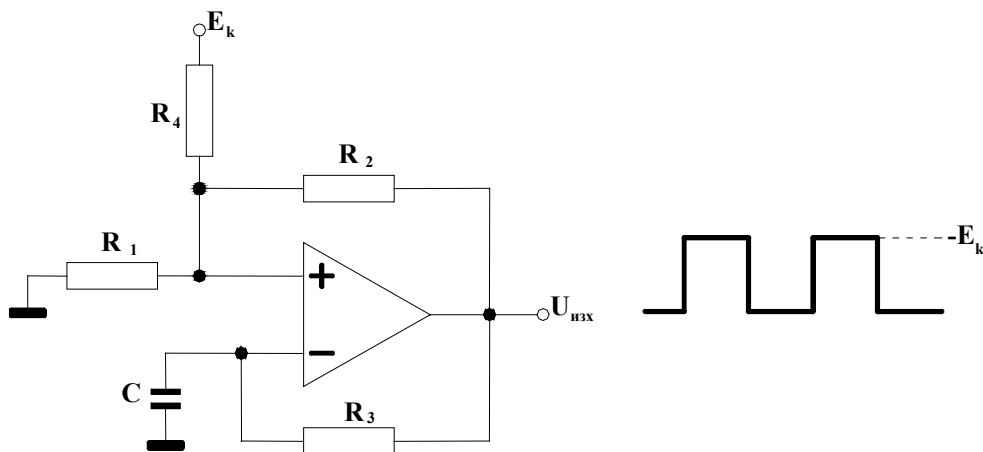
фиг. 4.8

Процесите на презареждане на кондензатора C са показани графично на времедиagramите. Резисторът R_1 се избира $R_1 > R_2$, обикновено $R_1 > 2R_2$.

Периодът на повторение на генерираните импулси се определя приблизително като:
 $T_{\text{п}} \approx 2,2R_1C$.

4.6 Автогенераторен мултивибратор с операционен усилвател.

4.6.1 Принципна схема:



фиг. 4.9

$$f = \frac{1}{2R_3C \ln\left(\frac{2R_1}{R_2} + 1\right)}$$

$$R_1 = R_4$$

$$R_2 = (2 \div 100)R_1$$

$$R_3 \approx 3R_1$$

(4.8)

Схемата се нарича генераторна, тъй като изходния сигнал представлява поредица от импулси (т. е. напрежение с правоъгълна форма) генерирани от мултивибратора. Наличието на генерации не зависи от наличието на външни сигнали или пускови импулси.

4.6.2 Принцип на действие на схемата на АМВ с ОУ.

Част от изходното напрежение се подава чрез веригата на обратната връзка, както на правия, така и на инвертиращия вход. Инвертиращият вход е свързан към маса чрез кондензатора C , а правият вход – чрез резистора R_1 . Честотата на изходните импулси се определя от времето на зареждане и разреждане на C и R_3 . Върху тази честота оказват влияние и съпротивленията R_1 и R_2 , включени във веригата на ПОВ. [11]

Максималният размах на изходното напрежение се определя от големината на захранващите напрежения. Големината на коефициентът на усилване, необходим за възникване на генерации се определя от съпротивленията R_1 и R_2 . За типичен интегрален ОУ съпротивлението R_2 е най-малко два пъти по-голямо от R_1 , а може да е и десет пъти по-голямо. Стойностите на R_3 и C не са критични, с изключение на това, че произведението им е равно на τ (времеконстантата), която е главен фактор при определяне на f (честотата) на изходните импулси. Ориентировъчно съпротивлението $R_3=3R_1$. В повечето случаи, падът на напрежението върху R_1 , който се определя от входния ток на поляризация, се оказва достатъчен за възникване на генерации. Но ако се окаже, че това напрежение е недостатъчно, на неинвертиращият вход може да се подаде постоянно напрежение E_k , както е показано на схемата. Ориентировъчно $R_4=R_1$. Тогава напрежението на неинвертиращият вход ще е $1/2 E_k$, което е напълно достатъчно за възникване на генерации. Ако не се подаде постоянно напрежение E_k , необходимо е да се избере R_1 , така че падът на напрежението върху него (U_{R1}) да бъде не по-малко от $U_{вх}$ на несиметрия.

5. Кварцово – стабилизирани мултивибратори.

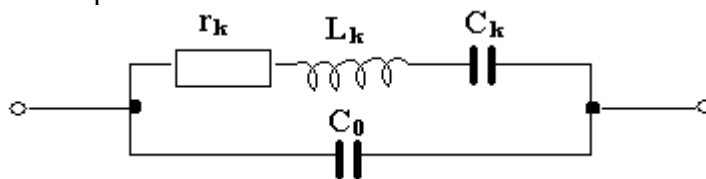
5.1 Общи сведения

Стабилността на честотата на генерираните импулси е един от най-важните параметри на мултивибраторите. Фактори които я определят са: [3][7][12]

- Стабилност навреме задаващите елементи R и C;
- Температура на околната среда;
- Изменение стойността на захранващото напрежение;
- Промяна на някои параметри на активните елементи в схемата (β на транзисторите, U_p на логическите елементи и др.);

Когато се цели да се постигне по-висока стабилност на f на генерираните импулси (до 10^{-5} без термостатирание и дори до 10^{-10} с прилагане на специални мерки за термостабилизация на резистора) се използват мултивибратори с кварцова стабилизация на честотата.

Кварцов резистор (КР) замества в схемите на мултивибраторите времезадаващия кондензатор. Той е естествена или синтетична кварцова пластинка с подходящ срез, поставена в херметизиран корпус. При тези пластини се използва обратният пиезоефект. Подаването на ел. напрежение с определена честота към резистора, предизвиква механични трептения толкова по-силни, колкото по-близо е тази честота до собствената резонансна честота на кварцовата пластинка. По отношение на външната ел. верига механичният резонанс на кварца се проявява като електрически. Това дава основание кварцовата пластинка да се представя, като еквивалентен трептящ кръг с параметри характеризиращи самата пластинка: r_k , L_k , и C_k и капацитетът между пластинката и държателя C_0 . Такъв двуполусник се характеризира с последователен и паралелен резонанс.



фиг. 5.1

При включването им към схемата кварцовите резонатори могат да бъдат настроени на честотата на един от тези два вида резонанс. Винаги трябва да се има в предвид, че резонатори построени за определен вид резонанс не могат да се използват в схеми с друг вид резонанс, тъй като ще се променят работната честота и условията на работа като цяло, възможно е и пълно спиране на работата на схемата.

Освен работна честота КР имат и определен спектър от странични резонансни честоти на паразитни трептения с различна интензивност. Независимо от това, че в предлаганите КР при фабричното им изпълнение се вземат всички възможни мерки за отстраняване на тази многочестотност на кварцовите пластини, при някои схеми е възможно генериране на импулси с честота хармонична на основната.

$$C_k = (0,01 \div 0,06) \text{ pF}$$

$$L_k = (0,1 \div 100) \text{ H и повече}$$

r_k - десетки или стотици ома (зависи от чистотата на обработка и начина на закрепване)

C_0 - паразитен капацитет на кварцодържателите на изводите

При последователен резонанс:

$$\begin{aligned} \omega_1 &= \frac{1}{2\pi\sqrt{L_k C_k}} \\ \omega_2 &= \frac{1}{2\pi\sqrt{L_k C_e}} \\ C_e &= \frac{C_k C_0}{C_k + C_0} \omega_2 \\ \omega_2 &= \frac{1}{2\pi\sqrt{L_k C_k}} \left(1 + \frac{p}{\alpha}\right) \end{aligned} \tag{5.1}$$

$p = \frac{C_k}{C_k + C_0}$ - коефициент на включване на кварца (0,1 ÷ 1%)

$Q = \frac{p}{r_k} = \sqrt{\frac{L_k}{C_k r_k^2}}$ - качествен фактор (осигурява стабилност на честотата)

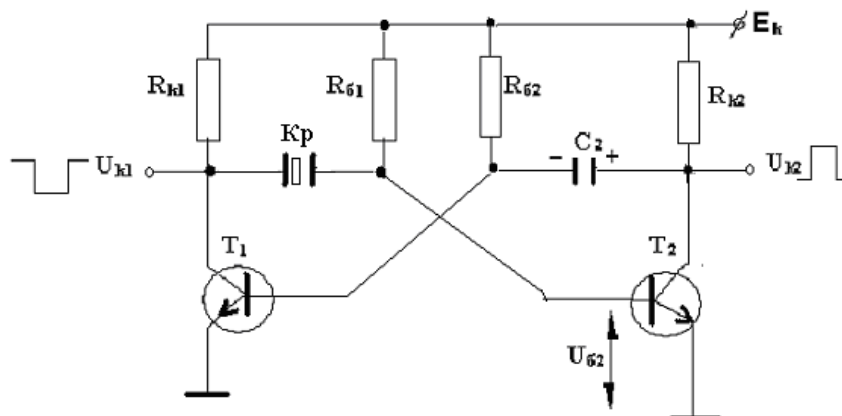
КР в апериодични генератори се включва и работи в режим на ударно възбуждане.

Кварцовия резонатар (КР) се включва:

- В точки с големи амплитуди на превключване на импулсите;
- Във верига на ПОВ

5.2. Транзисторни мултивибратори с кварцова стабилизация на честотата.

Приципна схема:



фиг. 5.2

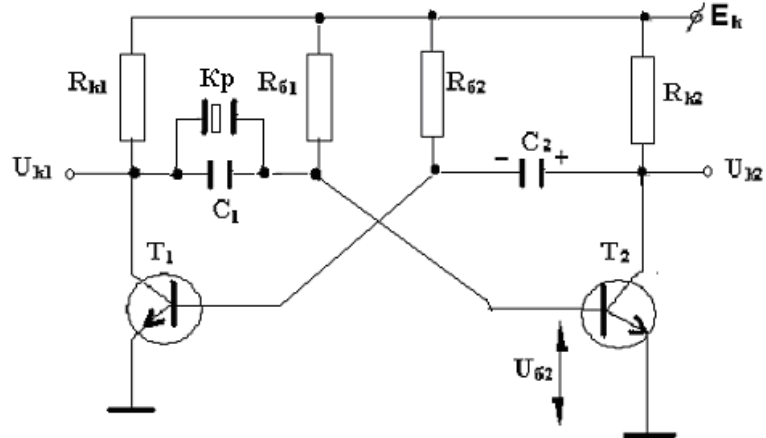
Единият времезадаващ кондензатор C_1 в основната схема на автогенераторен мултивибратор с колекторно-базови връзки е заменен с КР (фиг.5.2). Принципът на действие не се различава от този на основната схема. Различието е само във формата на напрежението на базата на T_2 – то е полусинусоида, а не експоненциално нарастващо, поради влиянието на еквивалентния трептящ кръг на резонатора.

Съотношенията гарантиращи стабилността на работа на схемата са:

- $0,7 RC = (1,25 \div 1,5) T_{кр}$
- $T_{кр} \rightarrow$ период на трептене на КР за основната честота;

Коефициентът на запълване на схемата е близък до 0,5.

Схема с която се генерират импулси с коефициент на запълване различен от 0,5 е следната:



фиг. 5.3

Действието на този мултивибратора се основава на факта, че към експоненциално изменящото се напрежение на базата на T_2 , се прибавя и синусоидалното напрежение обусловено от кварцовия резонатор (КР), генериращ хармонични на основната честота f . Именно това напрежение действа като принудително синхронизиращо напрежение и обуславя стабилизацията на честотата f .

Особеност на схемата е, че $t_{и}$ се определя в зависимост от периода на генериране на КР ($T_{кр}$), от коефициента на запълване (K) и от номера на хармоничната честота (n), на която ще работи кварцовият резонатор.

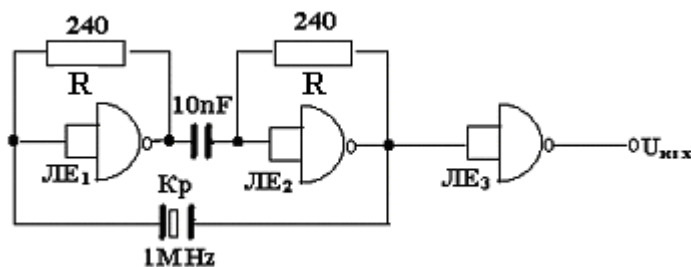
$$t_u = \frac{nT_{кр}}{\gamma} + \frac{T_{кр}}{8} \tag{5.2}$$

Изследването на схемата показва, че γ трябва да бъде четно число (2, 4, 6...). Ако γ е нечетно число, мултивибратора не се синхронизира с хармоничните честоти на КР и не се постига стабилизация на честотата.

5.3. Мултивибратори с ТТЛ елементи с кварцова стабилизация на честотата

Особеност при замаяната на времезадаващият кондензатор с кварцов резонатор при мултивибратори с ТТЛ елементи е, че трябва да се осигури много добро съгласуване между твърде ниското входно съпротивление на логическия елемент с резисторното съпротивление на кварцовия резонатор. Това обяснява защо при този тип мултивибратори със стабилизация на честотата се използва предимно последователния резонанс на КР. В този случай от съществено значение е собственото му съпротивление (r_k), тъй като то намалява с увеличаване на честотата на кварцовата пластинка. Мултивибратори с кварцова стабилизация на честотата и с ТТЛ елементи се реализират трудно за по-ниски честоти. [1][2][12]

5.3.1 Схема на МВ с ТТЛ логически елементи с кварцова стабилизация за $f=1\text{MHz}$. Принципно схема:

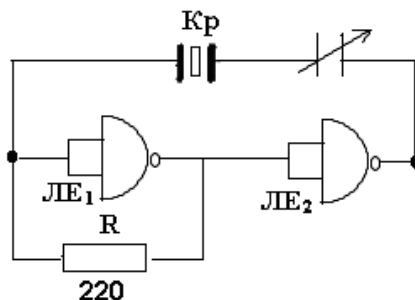


фиг. 5.4

Единият от кондензаторите е заменен с кварцовият резонатор. Работата на схемата е аналогична с тази с ТТЛ елементи без КР.

**5.3.2 Схема на МВ с ТТЛ логически елементи с кварцова стабилизация за $f > 1\text{MHz}$.
Пинципна схема:**

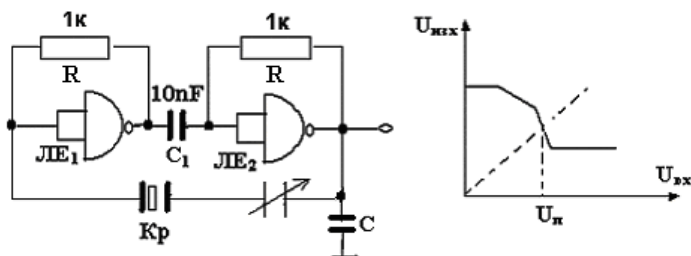
а)



фиг. 5.5

Не всеки кварцов генератор работи в тази схема на включване, защото съпротивлението $R=220\Omega$ силно шунтира трептящата система. Тази схема е за честоти по-големи от 1MHz, защото само високочестотните кварцове имат много малко съпротивление R. На фиг. 5.6, фиг. 5.7, фиг. 5.8 са показани схеми на кварцово стабилизирани генератори за честоти по-големи от 1MHz.

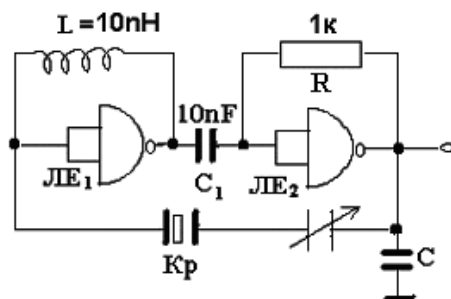
б)



фиг. 5.6

Двата логически елемента се шунтират с резистори със съпротивления 1к.

в)



фиг. 5.7

$$C = \frac{680}{F[MHz]} [pF] \quad (5.3)$$

Тази схема по постоянен ток работи в зона III. на логическите елементи.

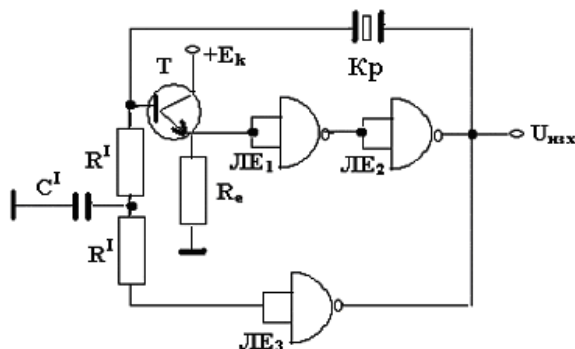
$$U_{изх} = U_{вх} = U_{п} \quad (5.4)$$

По променлив ток - $X_2 = \omega L \gg R_{вх}$, затова тази част от веригата не шунтира кварца (кварца се шунтира от $R_{вх}$). Тази схема работи при честота $f > 100kHz$. – тя е нискочестотна схема.

Кондензаторът C се поставя за недопускане разтрептяване на кварца на обертонове (3, 5, 7 хармонични).

$$C = \frac{680}{F[MHz]} [pF] \quad (5.5)$$

г) възможна е схема с допълнителен транзистор включен като ЕП, за по-добро съгласуване на входното съпротивление на ЛЕ с резонансното съпротивление на КР при честоти по-ниски от 1MHz. Логическият елемент ЛЕ₃ осигурява независимост на формата на генерираните импулси от товара на схемата.

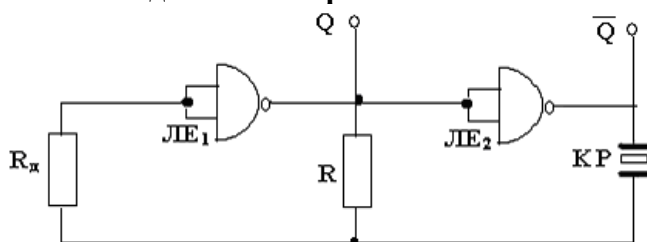


фиг. 5.8

5.4. Мултивибратори с CMOS логически елементи и с кварцова стабилизация на честотата.

При схемите на мултивибратори с CMOS логически елементи се използва както последователния така и паралелния резонанс на КР. За разлика от мултивибратор с ТТЛ елементи и с кварцова стабилизация, при CMOS схемите се работи и при по-ниски честоти. [1] [12]

5.4.1 Схема с използване на последователния резонанс на КР.

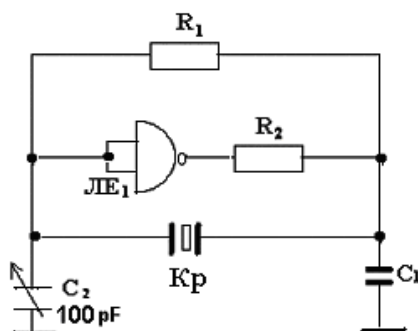


фиг. 5.9

Честота на КР	$R = R_d$
33,7 kHz	180 k Ω
50 kHz	120 k Ω
1MHz	5,1 k Ω

Стабилен режим на работа се получава при подходящ избор на стойностите на резисторите R и R_d (обикновено $R = R_d$) в зависимост от използвания кварцов резонатор. Ако някой от тези стойности не са избрани правилно, възможно е до се генерират импулси с някоя от по-високите хармонични на основната честота. За прецизно регулиране на честотата, последователно на КР може да се свърже малък (до 100pF) по стойност на капацитета кондензатор.

5.4.2 Генератор на Пирс



фиг. 5.10

$$R_1 = 10M\Omega;$$

$$R_2 = 100k\Omega;$$

При използване на паралелен резонанс на КР е валидна следната схема, наречена генератор на Пирс. От голямо значение е правилният избор на стойностите на C_1 и C_2 . Добре е C_2 да е полупроменлив със стойност около 100pF. Изменението на стойността му в малки граници влияе на прецизното регулиране на честотата, също така и на стабилността ѝ при изменение на захранващото напрежение E_k . Изборът на кондензатора C_1 е критичен: много ниските стойности водят до работа на схемата на по-високи хармонични на основната честота, а прекалено високите затрудняват задействането на схемата след включване на захранващото напрежение. Някои експериментално подбрани стойности на C_1 за често използваните честоти са:

$$f=(30\div 50)kHz \quad \text{и} \quad C_1=1000pF$$

$$f=1MHz \quad \text{и} \quad C_1=68pF$$

Предимства на генератора на Пирс:

- Добро потискане на третата хармонична;
- Ниска консумирана мощност;
- Усилвателят трябва да осигурява промяна на фазата от 180^0 , поради което може да се реализира с един инвертор;
- R_1 - осигурява постоянен активен режим на инвертора;
- R_2 - съгласува ниското изходно съпротивление на инвертора с импеданса на КР.
- $R_2 \approx Z_{kp}$

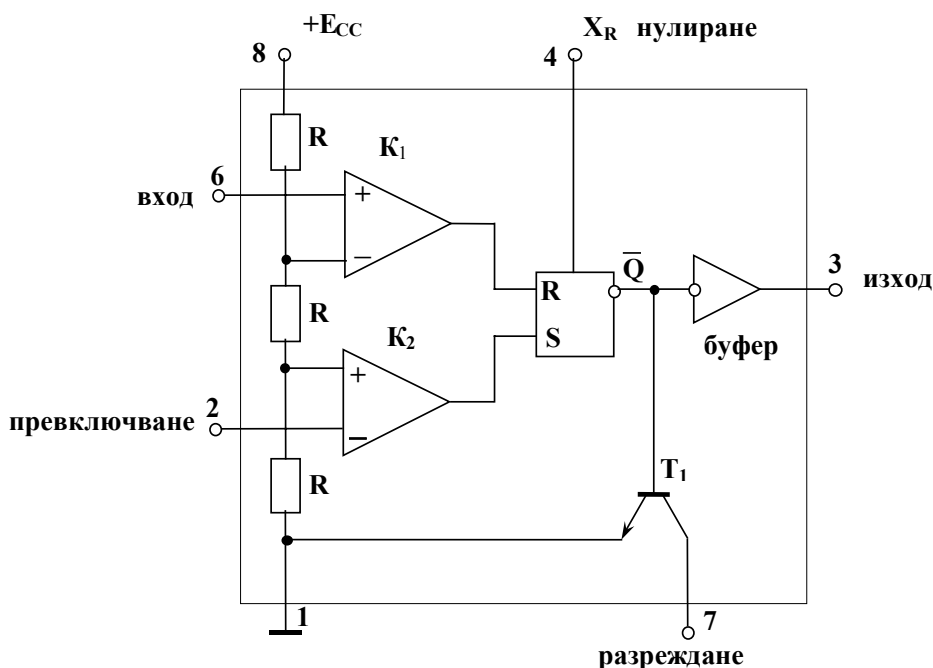
6. Интегрален таймери 555 – автогенераторен режим

Интегралните таймери са специализирани интегрални схеми, които са предназначени за формиране, генериране на правоъгълни сигнали и за задаване на интервали от време със стабилна продължителност и честота. В зависимост от устройството им те могат да се разделят на два типа:

- Схеми с аналогово-цифрова структура;
- схеми съставени само от цифрови елементи

Първите могат да се използват като чакащи мултивибратори или като автогенераторни мултивибратори, а вторите се използват в броячните устройства. Тези схеми са изработени с TTL или CMOS технологии

6.1. Принципна схема на ИС555



фиг. 6.1

Схемата е образувана от R-S тригер, два компаратора, транзистор и буфер. Входовете R и S се управляват от изходните сигнали на компараторите. Неинвертиращият вход на компаратора K_1 е изведен от интегралната схема и служи за вход, а инвертиращият вход е свързан към вътрешният делител, на който е подадено напрежение E_k . Прагът на превключване на K_1 е $2/3 E_k$.

На вторият компаратор K_2 , на неинвертиращия вход е подадено напрежение $1/3 E_k$, а инвертиращия вход е изведен от интегралната схема. Следователно прагът на превключване на вторият компаратор е $1/3 E_k$. Входът на схемата дава възможност, чрез включване на външен източник (или резисторен делител) да се изменя прагът на компаратора. Обикновено между този извод и маса се включва кондензатор $C=10\text{nF}$.

Изхода на R-S тригера е изведен от интегралната схема, чрез инвертор, който определя добрата товароспособност на таймера, както в състояние логическа 0, така и в състояние логическа 1. Максимално допустимите стойности на изходния ток и изходното съпротивление са:

$$I_{\max} = 200mA$$

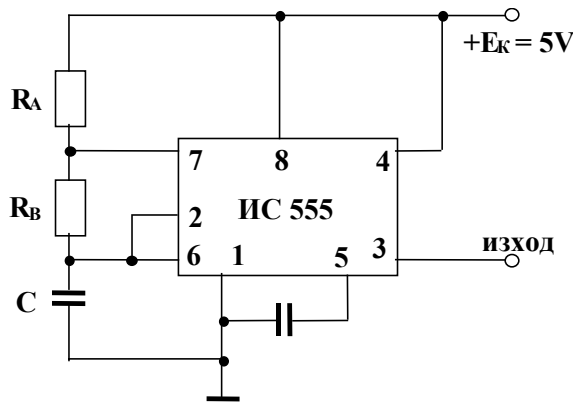
$$R_{\text{изх}} = 10\Omega$$

R - S тригерът има и нулиращ вход $-X_R$. За да функционира таймера, входът X_R трябва да се свърже към захранващото напрежение (т. е. към ниво 1). Когато на входа X_R има логическа 0 ($<0,4V$) изхода се установява в ниво логическа нула независимо от състоянието на входните сигнали на схемата. Транзисторът T_1 е ключов и служи за бързо разреждане на включените външно на схемата кондензатори. Той е наситен, когато изходният сигнал Q е логическа 0, и съответно е запушен, когато изходният сигнал Q е висок.

Захранващите напрежения на ИС555 могат да се изменят от 4,5 до 18V. Когато $U_{\text{изх}}=5V$ изходният сигнал е съвместим параметрите на TTL интегралните схеми. $P_{\max}=600mW$ - разсейвана от корпуса на интегралната схема. [1][2][7][12]

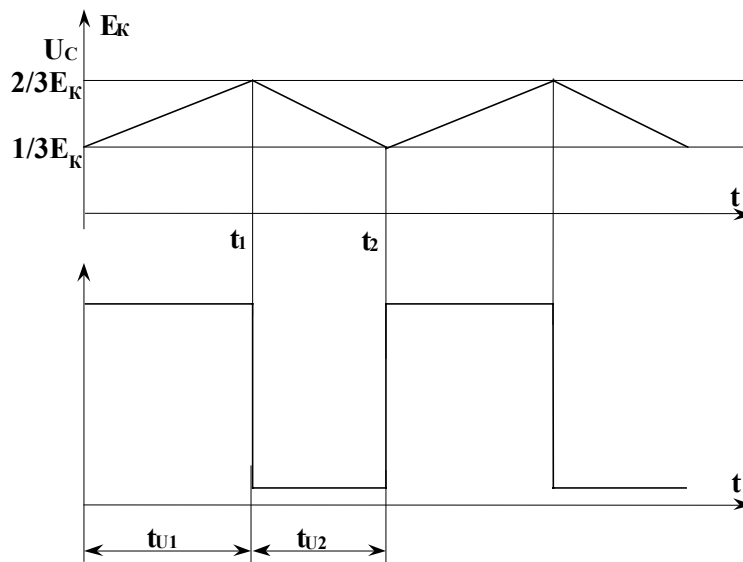
6.2 Включване на ИС555 като автогенераторен мултивибратор

6.2.1 Принципна схема:



фиг. 6.2

6.2.2 Времедиаграми:



фиг. 6.3

Времезадаващата верига е включена външно на интегралната схема и е образувана от последователно свързаните R_A , R_B и C . Напрежението на кондензатора U_C се подава

едновременно и на двата компаратора. Зареждането и разреждането протича между праговете на напрежения на двата компаратора $1/3E_k$ и $2/3E_k$, по закона:

$$U_c = \frac{1}{3} E_k + \frac{2}{3} E_k \left(1 - e^{\frac{-t}{(R_A + R_B)C}} \right) \quad (6.1)$$

Когато U_c стане равно на $2/3E_k$, компараторът се задейства и R-S тригерът се превключва. Изходното ниво става ниско. Продължителността на положителният полупериод на импулса е:

$$t_{и1} = (R_A + R_B) \cdot C \ln 2 \quad (6.2)$$

$$U_c = \frac{2}{3} E_k e^{-\frac{t}{R_B C}} \quad (6.3)$$

При ниско ниво в изхода на схемата се отпушва транзисторът T_1 и средната точка между R_A и R_B се свързва към маса. С това започва разреждане на кондензатора C . Напрежението на кондензатора U_c започва да спада.

Когато напрежението на кондензатора стане равно на $1/3E_k$, схемата отново се превключва. Продължителността на отрицателния полупериод на изходния импулс е:

$$t_{и2} = R_B C \ln 2 \quad (6.4)$$

Продължителността на целият формиран импулс е:

$$T_{и} = t_{и1} + t_{и2} = (R_A + R_B) \cdot C \ln 2 + R_B \cdot C \ln 2 \quad (6.5)$$

Честотата на импулсите е:

$$F = \frac{1}{T_{и}} \quad (6.6)$$

Съставят се графики от които може да се определи честотата F при зададени R и C или да се изберат параметрите на R и C при зададен честота F .

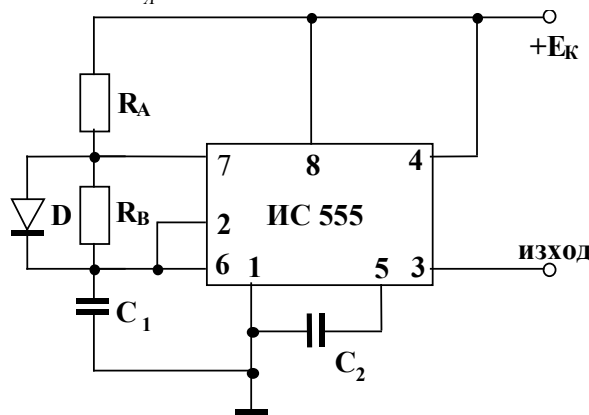
Недостатък на схемата е, че импулсите са несиметрични и не е възможно да се формира поредица с коефициент на запълване $K=0,5$. Този недостатък може да се отстрани ако паралелно на R_B се включи диод, така че зареждането на кондензатора C да протича през R_A , а разреждането през R_B .

Честотата на импулсите тогава е:

$$F = \frac{1,44}{(R_A + R_B) \cdot C} \quad (6.7)$$

Ако $R_A = R_B$ тогава импулсите са симетрични и са с честота:

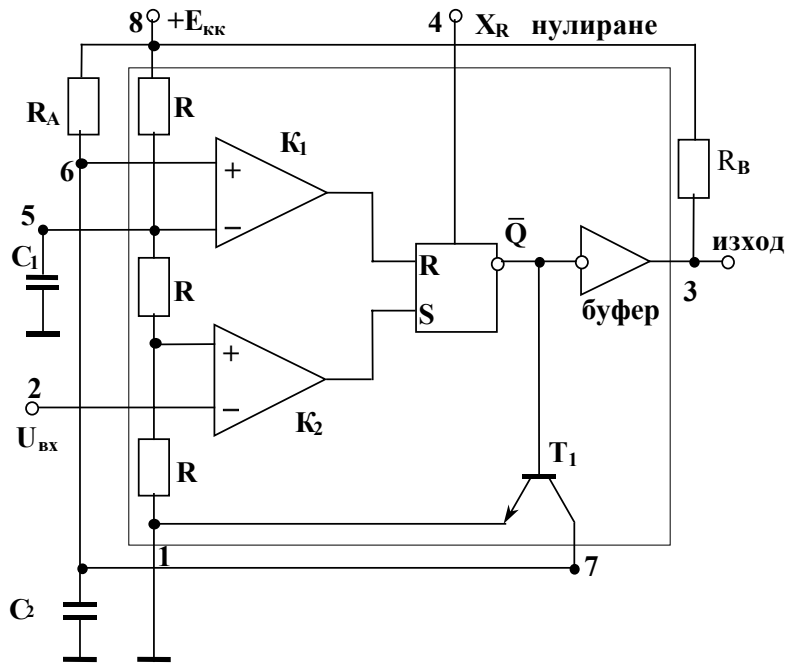
$$F = \frac{0,72}{R_A \cdot C} \quad (6.8)$$



фиг. 6.4

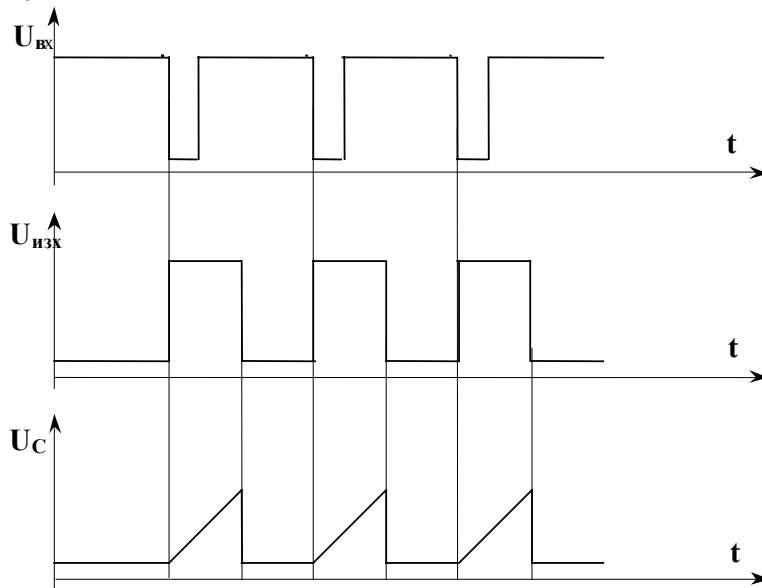
6.3 Включване на интегрален схема 555 като чакан мултивибратор.

6.3.1 Принципна схема:



фиг. 6.5

6.3.2 Времедиаграми:



фиг. 6.6

Входният сигнал се подава на входа на компаратора за сигнал S, като пускането става с отрицателния фронт на импулсите. Времезадаващата верига е образувана от R_A и кондензатора C, общата точка на които се включва към входа на компаратора за сигнал R на тригера. В изходно състояние, нивото на сигнала е ниско, транзисторът T е наситен и кондензаторът C е разреден до нула. За това е необходимо:

$$U_{ВХ} < 1/3 E_k \quad (6.9)$$

При постъпване на входен сигнал R-S тригера се превключва, изходното ниво става логическа единица и кондензаторът C започва да се зарежда през R_A . Формирането на изходният сигнал завършва в момента, в който напрежението на кондензатора C стане равно на:

$$U_c = 2/3 E_k \quad (6.10)$$

Продължителността на формираният импулс е:

$$t_u = R_A \cdot C \ln 3 \approx 1,3 R_A C \quad (6.11)$$

с помощта на ИС555 могат да се изграждат мултивибратори с продължителност на импулса равна на 15 минути.

6.4 Особенности на CMOS ИС 555

Схемата съдържа два CMOS компаратора и 5 логически елемента, един N-канален транзистор и резистори R_A , R_B , R_C , образуващи делител на напрежение, от който на инвертиращият вход на първия компаратор се подава $2/3 E_{DD}$, а на неинвертиращият вход на втория компаратор се подава напрежение $1/3 E_{DD}$.

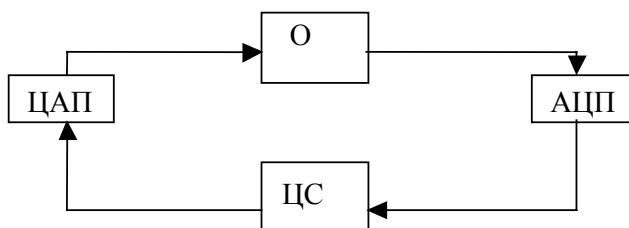
Действието на схемата се основава на сигналите, постъпващи на другите им входове, което води до смяна на състоянието на R-S тригера. R-S тригера определя нивото на изхода Q и състоянието на транзистора T, чийто дрейн е изведен от корпуса. Товароспособността на изхода Q е достатъчна за включване на два ТТЛ входа (при $E_{DD}=5V$). [1][6][7]

7. Цифрово-аналогови преобразуватели (ЦАП) .

7.1. Увод

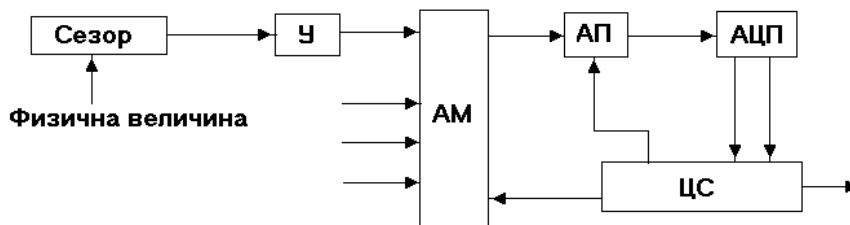
Цифрово-аналоговите (ЦАП) и аналогово-цифровите преобразуватели (АЦП) са устройства за връзка между реален обект (О), процесите в който се характеризират със значителен брой аналогови параметри и цифрова система (ЦС) за обработка на информация. [7][12]

- ЦАП – преобразува цифровата информация в аналогова;
- АЦП – преобразува аналоговата информация в цифрова.



фиг. 7.1

Физичните величини, които характеризират различни параметри на обекта, се преобразуват в електрически величини с помощта на сензори (датчици, аналогови мултиплексери и др.) и с помощта на аналогов мултиплексер (АМ) се превключват през аналогова памет (АП) към АЦП, от изхода на който преобразуваната информация постъпва в цифровата система.



фиг. 7.2

Основните параметри характеризиращи АЦП и ЦАП, имат определено сходство. На входа на АЦП се подава аналогов сигнал – ток, напрежение, а в изхода се получава цифровия код на входните системи. Обратното преобразуване се реализира с ЦАП. Предавателните характеристики на идеален АЦП и идеален ЦАП представляват прави линии. Всяко отклонение от идеалната характеристика обусловено от различни причини е свързано с грешка, която внася преобразувателя в хода на преобразуването.

7.2. Основни параметри на ЦАП

а) Разрешаваща способност. – При промяна на входната цифрова дума, изходният сигнал на ЦАП се променя на стъпки – кванти. Големината на една стъпка представлява разрешаващата способност на ЦАП. Броят на изходните състояния (кванти) е 2^n , където n – е броят на битовете. Между двоичната входна дума и стойността на аналоговия изходен сигнал съществува еднозначно съответствие. За всяка входна дума съществува само една възможна стойност на изходната величина.

б) Грешка от симетрия – Грешката от симетрия представлява изходното напрежение на един ЦАП при нулев код на входа му.

в) Нелинейност:

- Диференциална нелинейност – това е големината на отклонението на всяка стъпка от идеалната.
- Интегрална нелинейност – максималното отклонение на предавателната функция от идеалната.

г) Монотонност на предавателната характеристика. – Една монотонна крива не търпи промени в знака на наклона си. По такъв начин всички нарастващи елементи на монотонно растяща крива ще бъдат с положителен или нулев, но никога с отрицателен наклон. Обратното е вярно за спадащи криви. Предавателната характеристика съдържа стъпки само с положителна или нулева височина и никога отрицателни стъпки. Тогава гладката линия, няма да съдържа върхове или спадове.

7.3. Действие на цифрово-аналоговите преобразуватели.

ЦАП преобразуват входна дума (в цифров вид) в аналогово напрежение или ток. Входната дума може да се представи аналитично по следния начин:

$$P = a_{n-1}q^{n-1} + a_{n-2}q^{n-2} + \dots + a_1q^1 + a_0q^0 \quad (7.1)$$

където: a_i – коефициенти съответстващи на цифровата дума и приемащи стойности 0 или 1.

x_i – теглови коефициенти на входните величини

$$Y - \text{изходен аналогов сигнал } Y = \sum_{i=1}^{n-1} a_i x_i \quad (7.2)$$

Основни методи за преобразуване на аналоговите величини в цифрови.

- Препри методи – При тях входните и изходни величини имат еднаква физична природа.
- Косвени методи – При тях входните и изходните величини имат различна природа.

И при двата метода се налага мащабиране при преобразуването. Вместо x_i се въвежда други величини:

$$b_i = m_b x_i \quad (7.3)$$

където: m_b – мащабен коефициент на електрическите величини (b_i) – I, R, U.

7.3.1 Препри методи за преобразуване.

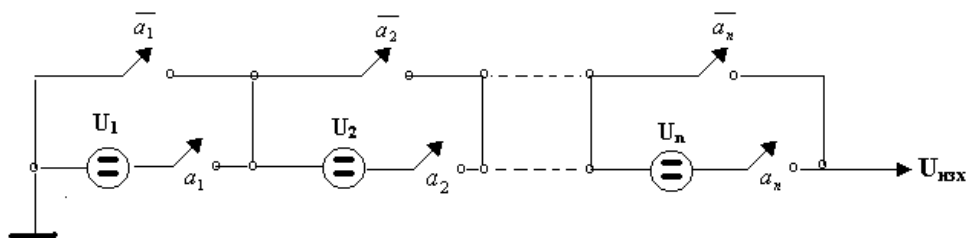
$$U_{изх} = \sum_{i=1}^n a_i U_i \quad (7.4)$$

$$I_{изх} = \sum_{i=1}^n a_i I_i$$

U_i – еталонни напрежения;

I_i – еталонни токове.

а) Прилагане на принципа на сумиране на напреженията:



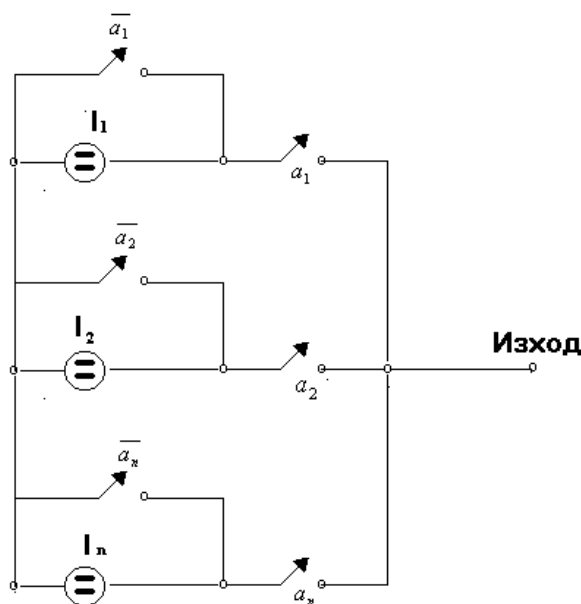
фиг. 7.3

Същесвуват n – на брой еталонни източници. Схемата на ЦАП обикновенно съдържа, източници на опорни сигнали, набор от двупозиционни ключове, реализиращи коефициентите b_i , резисторна токозадаваща верига и изходен сумиращ елемент.

Недостатъци:

- Източниците на еталонни напрежения са с изолирани спрямо маса изводи (без обща точка);
- Необходими са 2^n – ключа за $\overline{a_1} \dots \overline{a_n}$, при логическа нула – ключът е затворен, а при логическа единица ключът е отворен. За $a_1 \dots a_n$, положението на ключовете е обратно.

б) Прилагане на принципа на сумиране на токове:

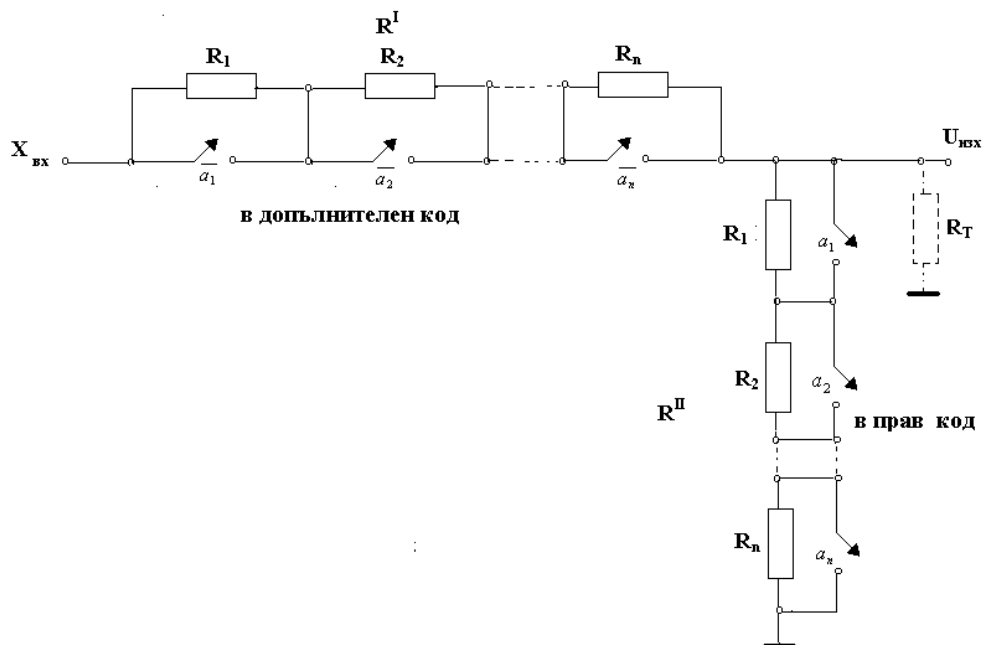


фиг. 7.4

Предимство: Всички генератори имат една обща точка. В практическите схеми за ключове се използват полеви транзистори с р-п преход с вграден канал. Идеята е при входно напрежение нула волта, транзисторът да е отпушен, а при входно напрежение по-голямо от нула – транзисторът да е запушен.

7.3.2 Косвени методи за преобразуване.

а) Съпротивителни делители – схема в общ вид:



фиг. 7.5

$$U_{изх} = U_1 \frac{R''}{R' + R''}$$

$$R'' = R_0 N$$

$$R' = R_0 N_{доп}$$

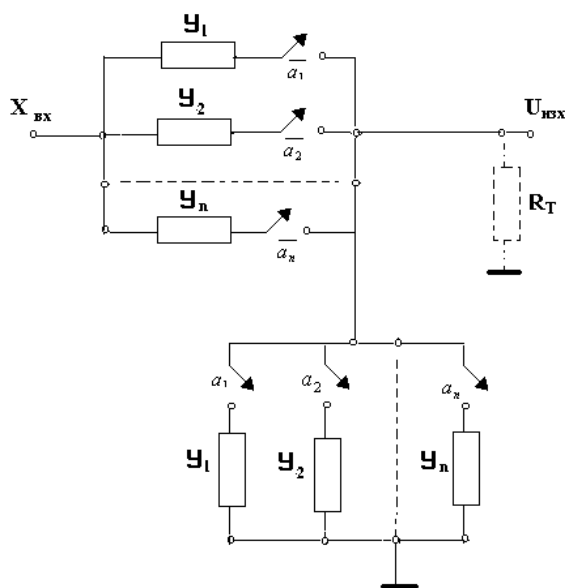
$$U_{изх} = U_1 \frac{N}{N + N_{доп}} = \frac{N}{N_{max}} U_1 \quad (7.5)$$

\$N\$ – цифров код на \$X_{вх}\$ – прав код;

\$N_{доп}\$ – цифров код на \$X_{вх}\$ – допълнителен код.

Недостатък: При наличието на товар се нарушава линейността на преобразуване.

б) делител с проводимост



фиг. 7.6

Товарното съпротивление R_T променя само големината на изходното напрежение. Тези схеми са пасивни и затова изходното напрежение е по-малко от входното и е необходимо допълнително усилване на сигнала, ако се наложи. Тези схеми изискват изработването на точни съпротивления или проводимости. За това намират ограничено приложение. Най-често се употребяват съпротивителни мрежи, защото те са по-технологични. Големината на разрядните токове I_1, I_2, \dots, I_n се определя от R - матрица. [12]

В интегралните ЦАП се използват предимно токови ключове, тъй като те осигуряват по-голямо бързодействие. При тях разрядния ток не се прекъсва, а протича или към сумиращата точка или към общ проводник. При напрежителните ключове, напрежението върху резисторите се изменя от нула до опорното напрежение. Благодарение на непрекъснатата работа на източниците на ток, температурните градиенти се елиминират. Резисторите, които създават големината на разрядните токове, са постоянни. Всичко това подобрява динамичните параметри на ключовете. Недостатък на разглежданата резисторна матрица е голямата разлика в съпротивленията на резисторите. В интегрално изпълнение това се реализира трудно.

7.4. ЦАП със съпротивителни решетки – R-2R

Изходният сигнал в декодиращите мрежи се получава в резултат на сумирането на токовете или напреженията върху съпротивленията. В първия случай е необходим източник на ток с безкрайно голямо съпротивление, а във втория – еталонно напрежение с безкрайно малко съпротивление.

Съпротивителните мрежи базиращи се на сумиране на токове, позволяват да се постигне по-голяма точност на формирането на стъпалообразно напрежение, като същевременно изискването към точното подбиране на стойностите на съпротивленията и качествата на ключовете е намалено. Причина за това е голямото вътрешно съпротивление на генератора на постоянен ток, което многократно превишава стойността на съпротивленията, използвани в декодиращата мрежа и съпротивлението на затворения ключ. От друга страна, повишават се изискванията към съпротивлението на отворения ключ, което на практика се постига трудно, а и самата схема е усложнена, тъй като са необходими n – източника на постоянен сигнал, където n – е броят на разрядите на кода P . Генератори на стъпалообразно напрежение със сумиране на токове е целесъобразно да се използват при голям брой стъпала – 512 или 1024.

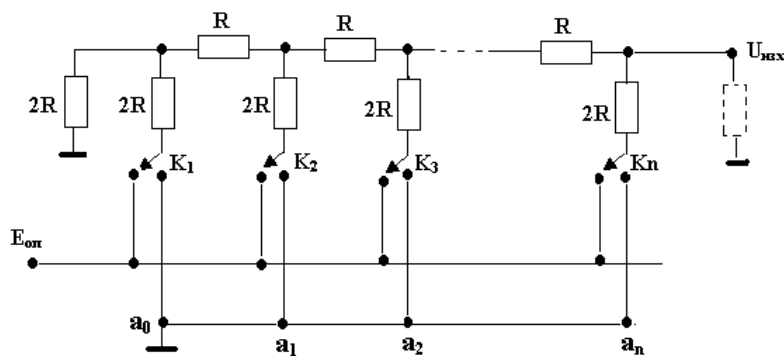
Най-широко приложение намират декодиращите мрежи със сумиране на напрежения с не повече от 256 стъпки. В зависимост от начина на построяване на декодиращите мрежи те биват:

- последователни - техният недостатък е че имат променливо изходно съпротивление;
- паралелни - те се характеризират с постоянно изходно съпротивление. От тях най-разпространени са декодиращи мрежи от типа R-2R и мрежи с разрядни съпротивления.

В последователните мрежи отделните съпротивления се свързват последователно в два реда. Техен недостатък е променливото изходно съпротивление, което води до системна грешка в размаха на формиращия сигнал, даже и при работа с постоянен сигнал.

Паралелните декодиращи мрежи се характеризират с постоянно изходно съпротивление. От тях най-голямо разпространение имат два вида мрежи – декодиращи мрежи от типа R – 2R и мрежи с разрядни резистори. [12]

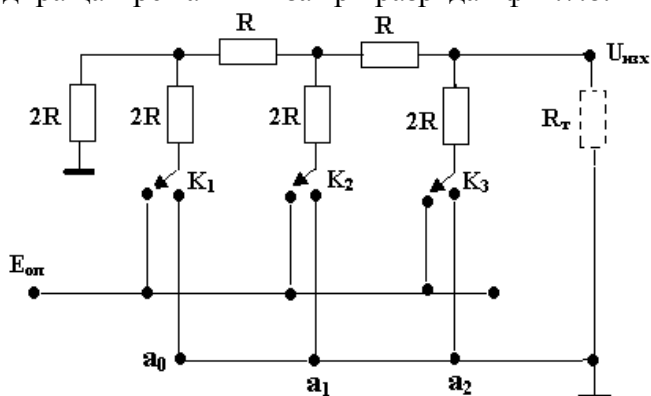
- **Декодираща мрежа от типа R-2R**



фиг. 7.7

Мрежата се състои от съпротивления с две стойности R и $2R$. Съпротивленията $2R$ се превключват от ключовете $K_1 \div K_n$ към еталонно напрежение или към общия проводник (нула). Ключът K_1 се управлява от тригера на младшия разряд на брояча, K_2 от втория тригер и т.н. и K_n от n -а тригер на брояча. При превключване на K_n изходното напрежение се променя най-много. В зависимост от това в какво състояние се намира броячът, т. е. броячът на постъпилите токови импулси, съответно се определя и положението на ключовете $K_1 \div K_n$, което пък съответства на определено изходно напрежение. Ако състоянието на обекта е $00\dots01$, само K_1 е включен към $E_{оп}$, а всички останали ключове са включени към общия проводник и се формира първото стъпало на изходното напрежение. Изходното съпротивление на мрежа $R-2R$ е $R_{изх} = R$, независимо от положението на ключовете $K_1 \div K_n$ и това лесно се проследява от следващата схема.

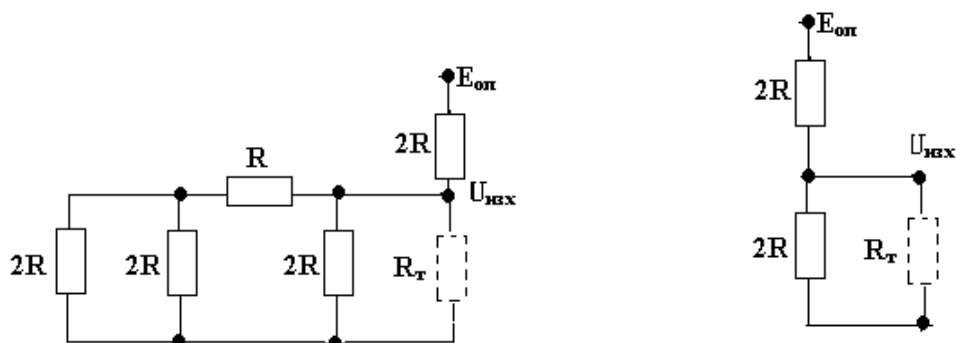
Нека разгледаме декодираща мрежа $R-2R$ за три разряда –фиг.7.8.



Фиг. 7.8

При определяне на изходното напрежение предполагаме, че тригерите на брояча се намират в изходно състояние в положение $p=000$ (p -цифров код на на входната верига). Всички ключове са превключени към общия проводник и $U_{изх}=0$.

- Ако на входа на брояча постъпят три импулса, той се установява в положение $p=100$. Ключовете K_1 и K_2 са свързани към нулевия проводник, а K_3 към шина $E_{оп}$. Еквивалентната схема би придобила следният вид:

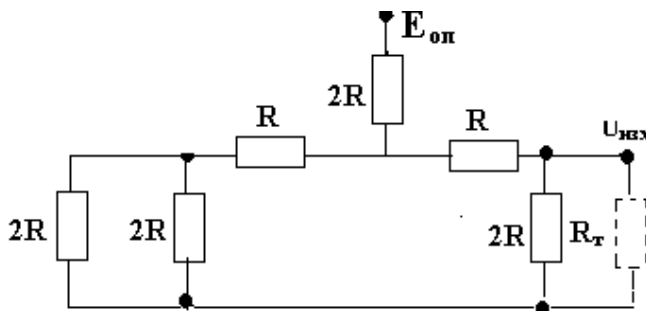


фиг. 7.9

$$p=100$$

$$U_{изх}=1/2E_{оп} \quad (7.6)$$

- Ако на входа на брояча постъпят два импулса, тогава $p=010$. Ключът K_2 е свързан към шина $E_{оп}$, а ключовете K_1 и K_3 към шина нула. Еквивалентната схема придобива вида:



фиг. 7.10

$$U_{изх2}=1/4E_{оп}=1/2^2E_{оп} \quad (7.7)$$

Аналогично се определя и $U_{изх}$, след първия тактов импулс – $p=001$, а изходното напрежение

$$U_{изх1}=1/8E_{оп}=1/2^3E_{оп} \quad (7.8)$$

Коефициентът на използване на еталонното напрежение е:

$$\gamma_E = \frac{U_{изх\max}}{E_{оп}} = 1 - \frac{1}{2^n} \quad (7.9)$$

Стойността на коефициента на използване нараства с нарастване на броя на разрядите. Зависимостта на $U_{изх}$ е получена без да се вземе предвид влиянието на товарното съпротивление R_T .

В реалният случай:

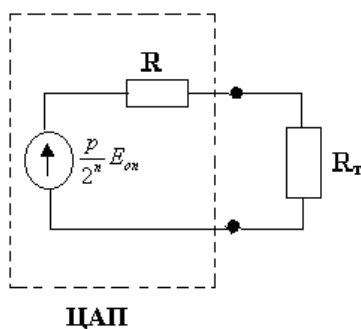
$$U_{изх} = \frac{R_m}{R_m + R_{изх}} \cdot \frac{p}{2^n} E_{оп} \quad (7.10)$$

Извод: Влиянието на R_T се изразява в намаляване на мащаба на стъпалообразното напрежение. Необходимо условие е: $R_T \gg R_{изх}$

Максималният ток протичащ през всеки един от ключовете при достатъчно голям брой

разряди – n - клони към: $I_{\max} = \frac{E_{оп}}{2R}$, а минималният ток клони към нула. С отчитане на

генераторното съпротивление – ЦАП може да се представи, като идеален източник на напрежение.



фиг. 7.11

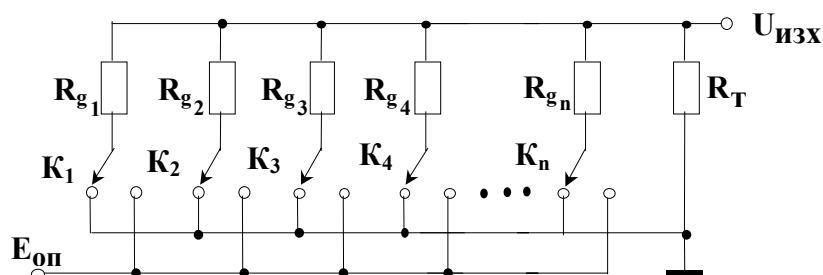
$$U_{изх} = \frac{R_T}{(R_T + R)} \frac{p}{2^n} E_{оп} \quad (7.11)$$

Извод: Изходното съпротивление е постоянно ($R_{изх}=R$) и изходното напрежение зависи само от цифровия код на входната величина.

7.5. ЦАП с решетки с разрядни резистори.

Схемата на този вид ЦАП е по-проста, защото има по-малък брой съпротивления, но те са различни по стойност. Мрежата се състои от n – на брой паралелно свързани съпротивления, които посредством ключове $K_1 \div K_n$ се включват или към общия проводник или към източника на еталонно напрежение. За да се преобразува двоичният код - p в ниво, изменящо се по линеен стъпалообразен закон, е необходимо отделните съпротивления от мрежата да имат стойности, съответстващи на теглото на разрядите на кода. За тази цел, ако съпротивлението на старшия разряд е R , то съпротивлението на $(n-1)$ -я разряд е $2R$, на $(n-2)$ -я е $4R$ и т.н., а на първият разряд ще бъде $2^{n-1}R$. Изходното напрежение зависи от положението на ключовете $K_1 \div K_n$ (т. е. от състоянието на брояча). [7][12]

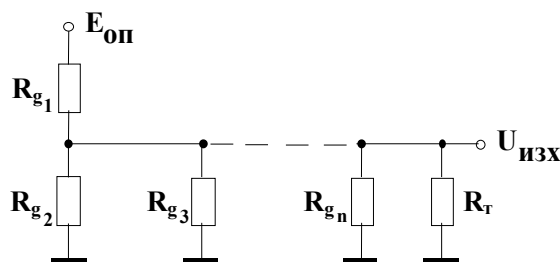
Обща схема:



фиг. 7.12

S_p се означава приложеният код на входната дума. В зависимост от това дали кодът е 1 или нула, съответния ключ се свързва към $E_{оп}$ или към шина нула.

Ако предположим, че кодът е $p=00\dots1$, ключът K_1 ще е включен към $E_{оп}$, а останалите ключове ще са включени към шина нула еквивалентната схема ще има вида показан на фиг. 7.13



фиг. 7.13

$$U_{\text{изх}} = \frac{R_e}{R_{g_1} + R_e} E_e \quad (7.12)$$

$$\text{където: } \frac{1}{R_e} = \frac{1}{R_{g_2}} + \frac{1}{R_{g_3}} + \dots + \frac{1}{R_{g_n}} \quad (7.13)$$

Изходното напрежение $U_{\text{изх}}$, след първия тактов импулс е: $U_{\text{изх}1} = \frac{1}{2^n - 1} E_e$ (7.14)

Изходното напрежение $U_{\text{изх}}$, след втория тактов импулс е: $U_{\text{изх}2} = \frac{2}{2^n - 1} E_e$ (7.15)

Изходното напрежение след p -тия тактов импулс е $U_{\text{изх}} = \frac{p}{2^n - 1} E_e$ (7.16)

Максималното ниво на изходния сигнал се получава при брой на тактовете импулси $p = 2^n - 1$.

$$U_{\text{изх max}} = \frac{2^n - 1}{2^n - 1} E_e = E_e \quad (7.17)$$

Следователно схемата с разрядни съпротивления, се образува от паралелно свързаните разрядни съпротивления:

$$\frac{1}{R_{\text{изх}}} = \frac{1}{R_{g_2}} + \frac{1}{R_{g_3}} + \dots + \frac{1}{R_{g_n}} = \frac{2}{R} \cdot \frac{2^n - 1}{2^n} \quad (7.18)$$

Изходното съпротивление е постоянно по стойност и не зависи от номера – p – на стъпалото, което се формира. При брой на разредите – n – по-голям от три, практически може да се приеме, че $R_{\text{изх}} = \frac{R}{2}$.

Товарното съпротивление, включено в изхода на схемата, също както и при съпротивителната мрежа от типа R - $2R$, намалява мащаба на формираното стъпалообразно напрежение т.е.

$$U_{\text{изх}} = \frac{R_T}{R_m + R_{\text{изх}}} \cdot \frac{p}{2^n - 1} E_e \quad (7.19)$$

Токът, който протича през отделните ключове $K_1 \div K_n$, е различен. Най-силен ток протича през ключа K_n , като неговата стойност клони към:

$$I_{\text{кл}} = \frac{E_e}{2R} \quad (7.20)$$

Най-слабият ток протича през ключа K_1 .

Извод: Влиянието на R_T е в намаляване на мащаба на стъпалообразното напрежение.

Необходимото условие е:

$$R_T \gg R_{\text{изх}} \quad (7.21)$$

7.6 Сравнителна оценка на мрежа с разрядни съпротивления и мрежа със съпротивления R-2R.

➤ Определянето на грешката при формиране на стъпалообразното напрежение се извършва по един и същ начин и за двата метода. Следователно и неточността (грешката) при формирането на стъпалообразното напрежение за двете мрежи е еднаква. Отклонението на стойността на нивата на отделните стъпала преди всичко зависи от точността на еталонното напрежение, от отклонението от номинала на съпротивленията и техният температурен коефициент, от параметрите на ключовете и от нестабилността на товарното съпротивление. [7][12]

➤ За да се оцени неточността при формиране на стъпалообразното напрежение с помощта на съпротивителна мрежа от типа R-2R, определя се изменението на изходния сигнал при отклонение на еталонното напрежение с ΔE_e , а именно:

$$\Delta u(E_e) = \frac{dU_{\text{изх}}}{aE_e} \Delta E_e = \pm \frac{R_t}{R_t + R} p \frac{E_e}{2_n} \Delta E_e \quad (7.22)$$

➤ Относителната грешка се определя, като се раздели отклонението $\Delta U(E_e)$ с максималното ниво на сигнала т.е.

$$\delta U(E_e) = \pm \frac{p}{2_n - 1} \cdot \frac{\Delta E_e}{E_e} \quad (7.23)$$

Извод: Следователно относителната грешка $\delta U(E_e)$ е право пропорционална на относителното отклонение $\frac{\Delta E_e}{E_e}$ на еталонното напрежение.

➤ По аналогичен начин се получава за относителното изменение на нивото на изходния сигнал при отклонение на стойността на товарното съпротивление с ΔR_t изразът:

$$\delta U(R_t) = \pm \frac{R}{R_t + R} \cdot \frac{p}{2^n - 1} \cdot \frac{\Delta R_t}{R_t} \quad (7.24)$$

От тази зависимост се вижда, че влиянието на изменението на товарното съпротивление върху параметрите на изходния сигнал се намалява при малките стойности на съпротивлението R. От гледна точка на бързодействието също е желателно стойността на съпротивлението да е малка.

➤ Отклонението на R от номиналната стойност предизвиква следното изменение на сигнала:

$$\delta U(R) = \pm \frac{1}{1 + \frac{R_t}{R}} \cdot \frac{p}{2^n - 1} \cdot \frac{\Delta R}{R} \quad (7.25)$$

И тук също е необходимо R да е много по-малко от R_t .

➤ Изменението на стойностите на еталонното напрежение, R_t и R довеждат до промяна на мащаба на формираното стъпалообразно напрежение. Последната зависимост, обаче е получена при предположение, че отклонението на всичките съпротивления на мрежата имат еднакъв еднакъв знак и равна стойност. На практика отклоненията на стойностите на отделните съпротивления на мрежата имат еднакъв знак, но са различни по стойност за отделните съпротивления и оценяването на отделната грешка се усложнява. Може да се докаже, че съпротивленията в старшите разряди влияят в по-голяма степен върху грешката, отколкото съпротивленията в младшите разряди. Отклонението на стойността на съпротивлението 2R влияе два пъти повече отколкото отклонението от номиналната стойност на съпротивлението R.

➤ Грешката при схема с разрядни съпротивления, също се определя най-вече от точността на съпротивленията в старшите разряди. Тяхната стойност трябва да се подбере по възможност най-точно. Тези схеми е целесъобразно да се използват за генериране на стъпалообразни напрежения с не повече от 64 стъпала. Техен недостатък е необходимостта от n-различни

номинала съпротивления, както и твърде голямото различие на тока протичащ през отделните клонове.

➤ Декодиращите мрежи от типа R-2R се използват за ЦАП с брой стъпала равни на 256. При тях са необходими само два номинала точни съпротивления, а разликата между токовете протичащи през отделните ключове, е значително по-малка отколкото при схемите с разрядни съпротивления.

8. Аналого-цифрови преобразуватели.

Определение: АЦП се използва за преобразуване на аналогови величини, във величини в цифров вид. [1][2][7][12][14]. Аналогово-цифровия преобразувател служи за преобразуване на напрежението на входния сигнал в пропорционално число:

$$U(t) = \sum a_n f_n(t)$$

където: a_n са отчетите, характеризиращи сигнала в дискретни моменти от време, а $f_n(t)$ е наборът от елементарни функции, които се използват при възстановяване на неговите отчети.

Съществуват различни методи за дискретно представяне на непрекъснати сигнали, които могат да се разделят на два основни вида:

- с постоянен период на дискретизиране (с равномерна дискретизация)
- с променлив период на дискретизиране (адаптивна дискретизация)

8.2. Основни параметри.

а) При АЦП липсва еднозначно съответствие между входа и изхода. На всяка изходна цифрова дума съответства малък интервал (квант) от стойностите на входния сигнал. Големината на този интервал се нарича разрешаваща способност на АЦП. АЦП също има 2^n изходни състояния. Разрешаващата способност се изразява в битове.

б) Грешка от квантуването: Тя представлява максималното отклонение от правата линия на предавателната функция на един идеален АЦП. Равна е на $1/2h$, където h е стъпката на квантуване. АЦП квантува аналоговото входно напрежение до краен брой изходни кодове.

в) Грешка от несиметрия: Тя е разликата (в битове) между изходните състояния при реален и идеален АЦП при $U_{вх} = 0$. Изразява се в битове или в проценти от целия обхват.

г) Нелинейност:

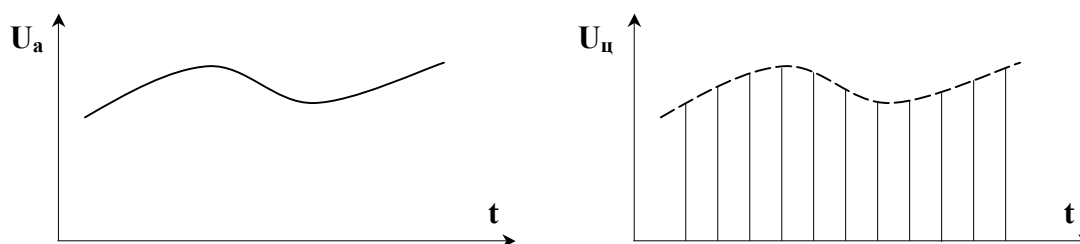
- диференциална – големината на отклонението на всяка стъпка от идеалната.
- интегрална – представлява максималното отклонение на предавателната функция от идеалната.

д) Монотонност на предавателната характеристика. Предавателната характеристика на един АЦП няма да съдържа намаляващ изходен код при нарастване на $U_{вх}$.

е) Разрешаваща способност. Това е способността на АЦП да различава две съседни стойности на входния сигнал. Дава се в битове (брой на разрядите) или като относителен динамичен обхват в децибели.

8.3. Начин на действие на АЦП:

При АЦП се извършват две преобразувания:



фиг.8.1

а) Дискретизация във времето – преобразуване на непрекъснатата във времето входна аналогова величина $U_a(t)$ в прекъсната (дискретна) аналогова величина $U_a(t_i)$.

б) Квантуване – разбиване на интервала $U_{изх}$ на N части, т. е. преобразуване на $U_{аналогово}(t_i)$ в цифров вид – $U_{ц}(t_i)$

$$\begin{aligned} U_A(t) &\rightarrow U_A(t_i) \\ U_A(t_i) &\rightarrow U_{ц}(t_i) \end{aligned} \quad (8.1)$$

Дискретизацията се определя от теорията на Котелников – един непрекъснат (аналогов) сигнал с ограничен честотен спектър (до f_{\max}) се определя изцяло със своите дискретни стойности, отчитани през интервал от време.

$$T \ll \frac{1}{2\pi f_{cp}} \quad (8.2)$$

Това се отнася за ограничени случаи. За реалните сигнали е характерно асимптотично намаляване на честотния сектор

Квантуването се определя чрез разбиване на максималната амплитуда, т. е. размаха U_m на сигнала U_a се разбива на N части. Всяка една част се определя като:

$$\Delta U = \frac{U_m}{N} \quad (8.3)$$

На всяко $U_a(t_i)$ може да се намери такъв цифров код, че да е изпълнено условието:

$$K \cdot \Delta U \leq U_a(t_i) \leq (K-1)\Delta U \quad (8.4)$$

Максималното отклонение в този случай е: $\Delta U/2$. Относителна грешка при квантуване е:

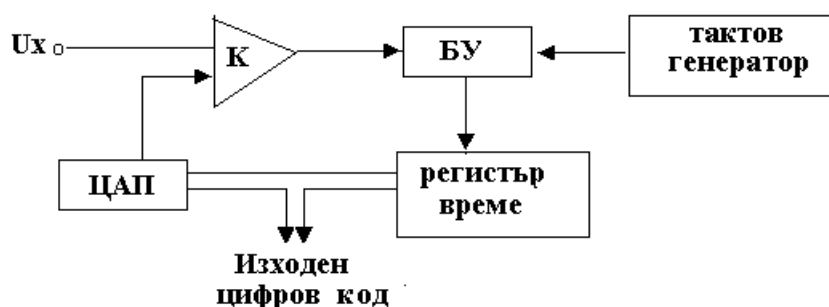
$$\delta.U = \frac{\Delta U}{\sqrt{3} \cdot U_m} = \frac{1}{\sqrt{3} \cdot N} \quad (8.5)$$

Основни динамични параметри на АЦП:

- **Честота на дискретизация.** Това е честотата с която се изпълняват отчетите на входния сигнал. Измерва се в херци и характеризира бързодействието на АЦП.
- **Време за преобразуване.** Това е периодът от време от началото на импулса за дискретизиране (от началото на процеса на АЦ – преобразуване) до появата в изхода на АЦП на валиден код, съответстващ на аналогов входен сигнал.
- **Време за стробирание.** Това е периодът от време, в който се формира отчета
- **Грешка на коефициента на предаване.** Той характеризира точността на образуване на отчетите при работа с променливи сигнали.

18.4. Последователни АЦП с уравнивяване.

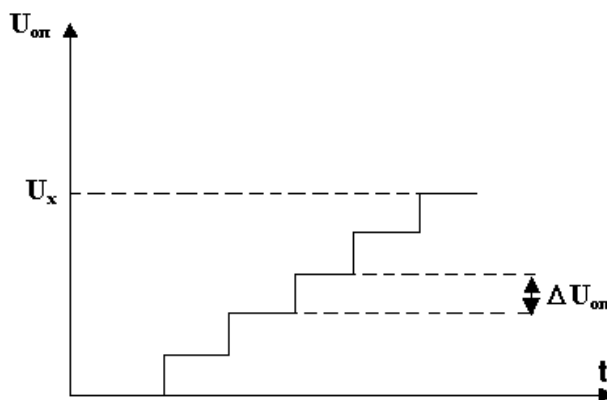
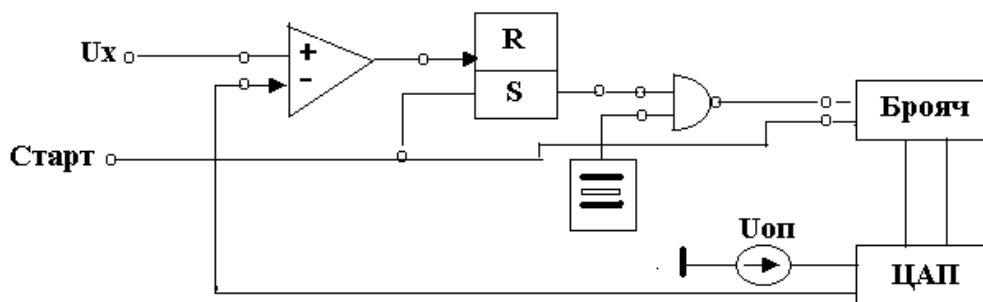
а) АЦП с равномерно стъпално уравнивяване. Принципно схема.



фиг. 8.2

Входното напрежение се сравнява с еталонно такова идващо от ЦАП. АЦП от този тип имат малко бързодействие и голяма точност и изискват среден разход на елементи. Преобразуването се извършва, като неизвестното напрежение U_x се сравнява със стъпално нарастващо опорно напрежение. [15]

Структурна схема и времедиаграма:



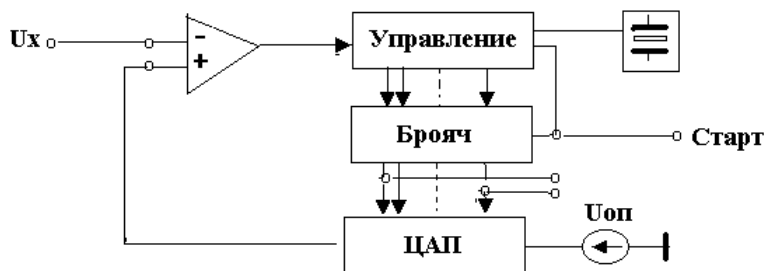
фиг. 8.3

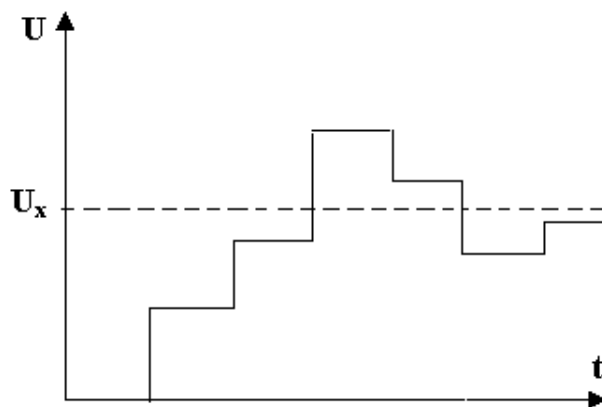
При започване на преобразуването – подаване на сигнал “старт”, броячът се нулира, след което започват да постъпват тактови импулси на броячния му вход. Паралелните изходи на брояча управляват ЦАП, на изхода на който се изработва опорно стъпално напрежение. В момента в който опорното напрежение стане равно или по-голямо от U_x , т.е.

$$U_{оп} \geq U_x \quad (8.6)$$

компараторът превключва и забранява постъпването на тактови импулси към брояча. Съдържанието на брояча е пропорционално на U_x и се запазва до ново стартиране. Основен недостатък на тези АЦП е малката скорост на преобразуване. За целият обхват на преобразуване са необходими $(2^n - 1)$ стъпки, където n е броят на битовете.

б) АЦП с поразрядно следящо уравнивяване. Структурна схема и времедиаграма.





фиг. 8.4

В този случай стъпалообразното опорно напрежение също се изработва от ЦАП, само че в началото се започва с големи по амплитуда стъпала, а след това се преминава към стъпала с по-малки амплитуди. Този тип АЦП се отличават с голямо бързодействие, голяма точност и среден разход на елементи. Едното преобразуване за пълен обхват се извършва за n -стъпки, където n е броят битове. възможно е постигане на точност: $\pm 0,005\%$.

в) Последователно АЦП с поразрядно разгъващо уравнивяване.

За да може да се следи U_x от $U_{\text{ЦАП}}$ трябва скоростта на изменение на $U_{\text{ЦАП}}$ да е по-голяма от скоростта на изменение на U_x .

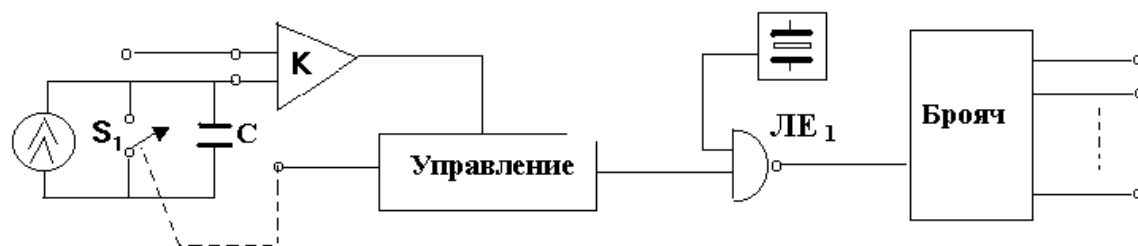
$$\Delta U_{\text{ЦАП}} > U_x^1(t) \cdot T_{\text{такт}}. \quad (8.7)$$

Ако U_x се изменя бързо, получава се апертурна грешка дължаща се на факта, че в началото на преобразуването U_x има една стойност, но докато завърши се променя. Грешките се сумират и при обикновено изпълнение точността е ограничена.

г) АЦП с широчинно-импулсна модулация.

При този вид АЦП аналоговия сигнал се преобразува в импулс, чиято продължителност е приблизително равна на U_x . Така полученият времеинтервал се запълва с импулси от еталонен генератор,.

Блокова схема:



фиг. 8.5

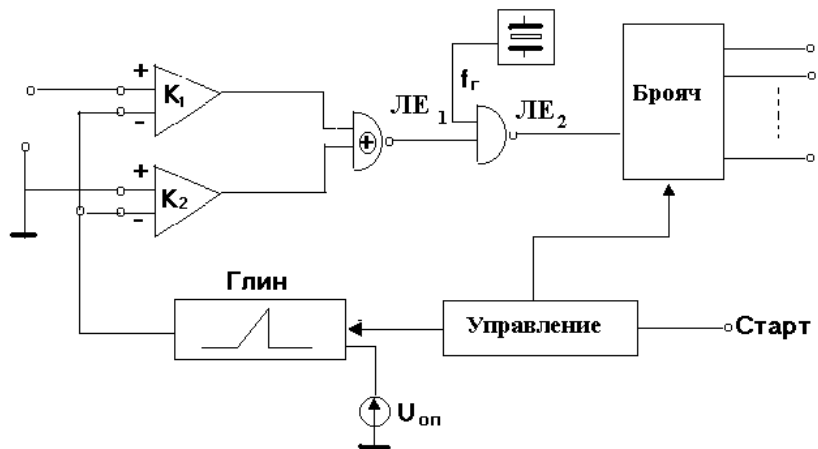
Между преобразуванията ключът S_1 е затворен. При започване на преобразуването той се отваря и кондензаторът C започва да се зарежда от източника на ток. При изравняване на U_x и U_c компараторът превключва и формира изходния импулс. През времетраенето на импулса работи логическият елемент $ЛЕ_1$. Напрежението от еталонния генератор се подава на брояч, който формира цифровият код на преобразуваното напрежение. Този вид АЦП има малко бързодействие, средно точност и изисква малък разход на елементи. [12]

д) АЦП с еднотактно интегриране.

В сравнение с АЦП с широчинно импулсна модулация, тези АЦП имат малко бързодействие, по-голяма линейност, по-голяма точност и сравнително малък разход на

елементи. На инвертиращите входове на двата компаратора се подава компенсиращо линейно нарастващо напрежение. Опорните нива на превключване на компараторите са: U_x и $0V$.

Блокова схема:



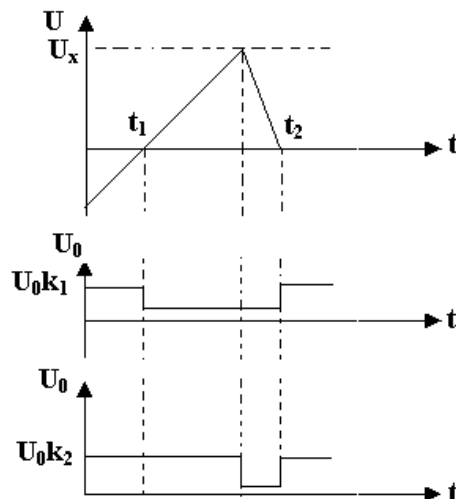
фиг. 8.6

Напрежението от генератора на линейно нарастващо напрежение (ГЛН) е:

$$U_{гн} = \frac{U_{он}}{T}t - U_0 \quad (8.8)$$

- U_0 - е стойността на напрежението в началния момент (t_0);
- T – това е времеконстантата на ГЛН;

Времедиаграми:



фиг. 8.7

В интервала когато е валидно: $U_{гн} < 0 < U_x$, на изхода на компараторите K_1 и K_2 има високо ниво, а на изхода на логическия елемент $ЛЕ_1$ има ниско ниво. При преминаване на $U_{гн}$ над нула волта, K_2 превключва и логическият елемент $ЛЕ_2$ пропуска импулсите от еталонния генератор към брояча. При достигане на равенство между U_x и $U_{гн}$ превключва компараторът K_1 и подаването на импулсите към брояча се прекратява.

Съдържанието на брояча след завършване на преобразуването е:

$$D = T f_z \frac{U_x}{U_{on}} \quad (8.9)$$

При отрицателно U_x съдържанието на брояча се описва със същият израз. Изменя се само последователността на сработване на компараторите. Тя може да се използва за определяне на полярността на $U_{вх}$.

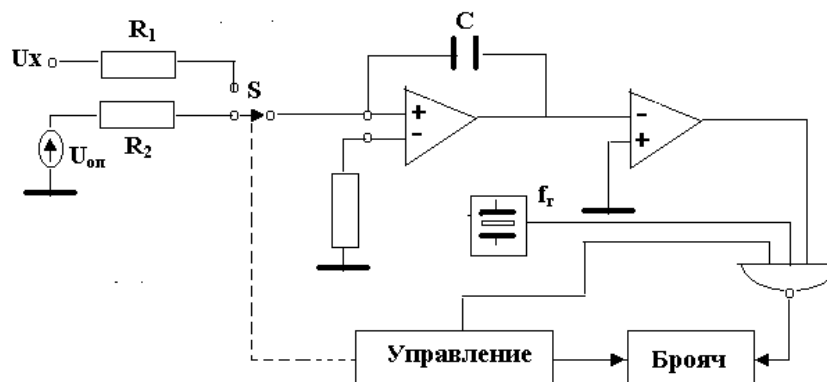
Точността се определя главно от времеконстантата на линейно нарастващото напрежение, от стабилността на еталонната честота f_r и от компараторите. За намаляване на грешката причинена от действието на компараторите е необходимо те да се подберат така, че да имат приблизително еднакви напрежения на несиметрия и температурни дрейфове.

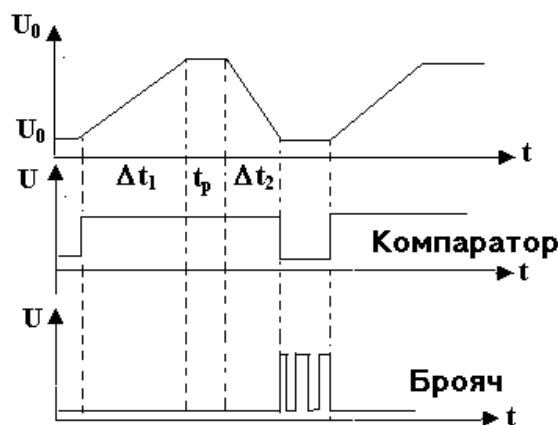
От уравнението на преобразуванеследва, че грешките се сумират, затова е трудно постигането на точност по-добра от 0,1%. Този вид АЦП преобразува моментната стойност на $U_{вх}$, поради което външните смущения оказват силно влияние върху работата му. Това налага екраниране на преобразувателя. [7][15]

е) АЦП с двустранно интегриране.

Този тип АЦП са с малко бързодействие, голяма точност и среден разход на елементи. Точността му е по-голяма от АЦП с широчинно импулсна модулация и с еднократно интегриране. Това се постига с относително малко усложнение на схемата. С помощта на две интегрирания, съответно на $U_{вх}$ и на еталонното напрежение, се създава времеинтервал пропорционален на входното напрежение. Поради това, че се използва интегриране на входния сигнал, се елиминират много от източниците на грешки, характерни за АЦП с широчинно импулсна модулация. Входното напрежение U_x се подава към интегратора за строго фиксиран времеинтервал Δt_1 . Нивото на изходното напрежение на интегратора U_c ще бъде пропорционално на U_x . След изтичане на времеинтервала Δt_1 към входа на интегратора се подава еталонно напрежение $U_{оп}$, което се интегрира от интегратора, докато на изхода му се получи напрежение нула волта. Времеинтервалът Δt_2 необходим за нулиране на $U_{изх}$ на интегратора след подаване на $U_{оп}$ на входа му, е пропорционален на U_x .

Сруктурна схема:





фиг. 8.8

При първото интегриране:

$$U_c = U_0 + U_x \frac{\Delta t_1}{R_1 C} \quad (8.10)$$

- U_0 е началната стойност на интегрирането.
- $\Delta t_1 = \tau_0$, където: $\tau_0 = 1/f_r$

През времето t_p – преди второто интегриране има възможност за определяне полярността на U_x . Второто интегриране се извършва през интервала Δt_2 . През този интервал напрежението на кондензатора U_c се връща линейно към изходната стойност на U_0 . За изходното напрежение през интервала Δt_2 може да се запише:

$$U_c = U_0 + U_x \frac{\Delta t_1}{R_1 C} - U_c \frac{\Delta t_2}{R_2 C} \quad (8.11)$$

По време на този цикъл импулсите от еталонния генератор се подават към брояча. Интервалът Δt_2 продължава до момента в който $U_c(t) = U_0$. Ако $R_1 = R_2 = R$, то:

$$\Delta t_2 = \Delta t_1 \frac{U_x}{U_0} = \frac{U_x}{U_0} m \tau_0 \quad (8.12)$$

На изхода ще се получи:

$$D = \frac{\Delta t_2}{\tau_0} = \frac{U_x}{U_0} m \quad (8.13)$$

В крайният резултат не участват времеконстантата RC и тактовата честота f_r . Времето за разреждане Δt_2 е функция на f_r . Тя, както и U_0 оказват пренебрежимо малко влияние върху резултата. Посредством подходящ подбор на R_1 и R_2 е възможно постигане на равномерни времеви зависимости. Възможно е постигане на точност над 0,01%. Поради това, че се преобразува средна стойност, а не моментната на $R_{вх}$, тези АЦП имат добра шумоустойчивост.

8.5. Паралелни АЦП.

Те се изграждат, чрез аналогови компаратори, като на единия вход на всички компаратори се подават аналогови опорни напрежения, отговарящи на квантуваните стойности на напрежението на цифровия резултат, а на другия вход се подава неизвестното напрежение. Веднага след започване на преобразуването, превключват онези компаратори, чието опорно напрежение е по-ниско от преобразуваното. Изходните сигнали се подават на кодиращото

устройство, което изработва съответния цифров код. Те имат най-голямо бързодействие, малка точност и голям разход на елементи. Разходът на компаратори за n - бита е (2^n-1) . За всеки допълнителен бит броят на необходимите елементи практически се удвоява. Използват се за 5÷6 битови преобразуватели. Възможно е постигане на бързодействие до 50Mbit/s. Основните източници на грешки са компараторите и точността на еталонните честоти. [15]; Пример за схема на паралелна АЦП е SDA5010, TDC1014J

8.6. Паралелно-последователни АЦП

При тях за сметка на намаляване на бързодействието се намалява разходът на елементи. Преобразуването се извършва на два етапа. В първият етап, посредством паралелно преобразуване се получават и запомнят старшите битове. Във втория етап се изработва ново опорно напрежение, пропорционално на междинния резултат, с помоща на което се получават младшите битове. Паралелно-последователните АЦП имат време за преобразуване равно на n – пъти времето на закъснение.

ИЗПОЛЗВАНИ ОЗНАЧЕНИЯ

- u - моментна стойност на напрежение;
- U – определена стойност на изменящо се напрежение;
- E_{DD} – положително захранващо напрежение на CMOS ИС;
- E_{SS} – колекторно захранващо напрежение на TTL ИС;
- P – консумирана мощност;
- t_n – продължителност на импулс;
- T – период на импулс;
- $t_{пр}$ – време на превключване;
- D – диод;
- R – резистор;
- C – кондензатор;
- ЛЕ – логически елемент;
- Тр – тригер;
- ОУ - Операционен усилвател
- ДЛС – Диодни логически схеми
- РТЛ – Резисторно-транзисторни логически елементи
- ДТЛ – Диодно- транзисторни логически елементи
- TTL (TTL) – Транзисторно-транзисторни логически елементи
- ЕСЛ (ECL) – Емитерно свързани логически елементи.
- MOS - Логически елементи с MOS технология на изграждане
- CMOS - Логически елементи с CMOS технология на изграждане
- СТ – Симетрични тригери
- MS (master – slave) - Двустъпална структура на тригер от типа MS (master–slave).
- ЧМВ - Чакащи мултивибратори
- АМВ – Автогенераторни мултивибратори
- ЦАП - Цифрово-аналогови преобразуватели
- АЦП - Аналого-цифрови преобразуватели

ЛИТЕРАТУРА

- [1.] К.Конов. Импулсни и цифрови схеми с интегрални TTL елементи. София, Държавно издателство “Техника”, 1979г.
- [2.] М. Димитрова, И. Ванков. Импулсни схеми и устройства – Първа част. София, Държавно издателство “Техника”, 1989г.
- [3.] М. Димитрова, И. Ванков. Импулсни схеми и устройства – Втора част. София, Държавно издателство “Техника”, 1989г.
- [4.] М. Димитрова, И. Ванков. CMOS интегрални схеми – Първа част. София, Държавно издателство “Техника”, 1988г.
- [5.] М. Димитрова, И. Ванков. CMOS интегрални схеми – Втора част. София, Държавно издателство “Техника”, 1988г.
- [6.] А. Нефьодов, В. Гордеева. Справочник по полупроводникови прибори и интегрални схеми. София, Държавно издателство “Техника”, 1988г.
- [7.] В. Смърков, Г. Цанков. Ръководство по Цифрова схемотехника.ТУ- Варна – университетско издателство, 1996г.
- [8.] Д. Тянев. Електронни цифрови машини. Висш машинно-електротехнически институт –гр.Варна, 1995г.
- [9.] Д. Тянев. Организация на компютъра – ръководство за проектиране на логически схеми. Висш машинно-електротехнически институт –гр.Варна, 2000г.
- [10.] Д. Тянев. Ръководство за упражнения по организация на компютъра. Висш машинно-електротехнически институт –гр.Варна, 1999г.
- [11.] Д. Рутковски –Наръчник по операционни усилватели. – Държавно издателство “Техника, София, 1978г.
- [12.] Г. Цанков – Избрани лекции по Цифрова схемотехника
- [13.] К.Конов. Импулсни и цифрови схеми с интегрални TTL елементи –Първа част. София, Държавно издателство “Техника”, 1985г.
- [14.] К.Конов. Импулсни и цифрови схеми с интегрални TTL елементи – Втора част. София, Държавно издателство “Техника”, 1985г.
- [15.] К. Конов, Л.Голденберг Устройства за цифрова обработка на сигнали – Издателство “Техника” –1998г.
- [16] Texas Instruments. The TTL Data Book for Design Engineers Vol.1 and 2 2001.
- [17] Texas Instruments. Pocket Guide Digitale Integrierte Schaltungen 2000

СЪДЪРЖАНИЕ

Увод

Глава I. ЛИНЕЙНИ ИМПУЛСНИ СХЕМИ. ВИДОВЕ ЛОГИЧЕСКИ СХЕМИ И ЕЛЕМЕНТИ.

1. Линеини импулсни схеми – диференциращи вериги. Закон за изменение на изходното напрежение, влияние на реалните параметри на източника и товара.
 - 1.1 Волт-амперна характеристика на линейни елементи .
 - 1.2. Параметри на импулсия сигнал.
 - 1.3 Диференцираща верига.
 - 1.3.1 Принципна схема.
 - 1.3.2. Времедиаграми и анализ на процесите.
 - 1.4. Интегрираща верига. Закон за изменение на изходното напрежение, влияние на реалните параметри на източника и товара.
 - 1.4.1. Принципна схема.
 - 1.4.2. Времедиаграми и анализ на процесите.
 - 1.5. Диференциране с операционен усилвател.
 - 1.5.1. Принципна схема в общият случай.
 - 1.5.2 Схема на диференциращ усилвател.
 - 1.6. Интегриране с операционен усилвател.
2. Нелинейни методи за преобразуване на импулсни сигнали.
 - 2.1. Диодни ограничители - определение.
 - 2.2. Волт–амперна характеристика на полупроводников диод.
 - 2.3. Последователни диодни ограничители - едностранни и двустранни.
 - 2.3.1. Схеми на едностранни диодни последователни ограничители с ниво на ограничение равно на нула.
 - 2.3.2 Еквивалентна схема на последователен диоден ограничител.
 - 2.3.3. Схеми на последователни ограничители с положително и отрицателно опорно напрежение.
 - 2.3.4. Двустранни последователни диодни ограничители.
 - 2.3.5. Преходни процеси при последователни диодни ограничители.
 - 2.4. Паралелни диодни ограничители – едностранни и двустранни.
 - 2.4.1. Схеми на едностранни паралелни диодни ограничители с ниво на ограничение равно на нула.
 - 2.4.2 Схеми на паралелни диодни ограничители с положително и отрицателно опорно напрежение.
 - 2.4.3 Схеми на двустранни паралелни диодни ограничители.
 - 2.4.4. Преходни процеси при паралелни диодни ограничители.
 - 2.4.5. Приложение на диодните ограничители.
3. Ключови схеми с биполярни транзистори.
 - 3.1. Схеми на възможните начини за включване на транзистора в ключови схеми.
 - 3.2. Запушен транзистор.
 - 3.3. Наситен транзистор.
 - 3.4. Ключови схеми с биполярни транзистори – преходни процеси.
 - 3.5. Ускоряване на превключването в транзисторните ключове .
 - 3.5.1. Увеличаване на бързодействието на транзисторните ключове.
 - 3.5.2. Транзисторен ключ с ускоряващ кондензатор
 - 3.5.3. Транзисторен ключ с нелинейна отрицателна обратна връзка

3.5.4. Транзисторен ключ с използване на диоди на Шотки

4. Логически схеми. Характеристики

4.1. Увод.

4.2. Характеристики на логическите елементи.

4.2.1 Статична предавателна характеристика

4.2.2 Бързодействие

4.2.3 Брой входове на логическите елементи - п.

4.2.4 Товароспособност –т.

4.2.5 Шумоустойчивост.

4.2.6 Консумирана мощност.

4.3. Класификация на логическите схеми

4.3.1 Според логическите операции:

4.3.2 Според характера на сигналите:

4.3.3 Според елементите от които е изграден логическият елемент.

5. Диодни логически схеми.

5.1 Диодна схема – И. Принципна схема на диодна схема с п-входа, осъществяваща логическа операция – И.

5.2 Диодна схема – ИЛИ. Принципна схема на диодна схема с п-входа, осъществяваща логическа операция – ИЛИ.

5.3.Характеристики на диодни логически схеми.

6. Резисторно – транзисторни логически елементи.

6.1. Принципна схема.

6.2 Характеристики на резисторно – транзисторните логически елементи.

7. Диодно-транзисторни логически елементи – ДТЛ. Монтажно – ИЛИ с ДТЛ схеми.

7.1. Диодно-транзисторни логически схеми.

7.1.1 Принципна схема

7.1.2 Принцип на действие.

7.2. Монтажно – ИЛИ с ДТЛ схеми

7.2.1 Принципна схема.

7.2.2 Принцип на действие.

7.3 Характеристики на ДТЛ схеми.

8. Транзисторно-транзисторни логически елементи – TTL.

8.1. TTL - схема с прост инвертор

8.1.1. Принципна схема.

8.1.2. Принцип на действие.

8.1.3. TTL елементи с отворен колектор

8.2. TTL схеми със сложен инвертор.

8.2.1. Принципна схема на сложен TTL инвертор.

8.2.2. Логически нива.

8.2.3. Характеристики.

8.3. Видове TTL схеми – И-НЕ ,ИЛИ-НЕ, И-ИЛИ-НЕ.

8.3.1 Принципна схема на И- НЕ TTL елемент.

8.3.2 Принципна схема на И –НЕ TTL елемент с отворен колектор.

8.3.3. Схема ИЛИ-НЕ TTL елемент .

8.3.4. Схема И-ИЛИ-НЕ TTL елемент

9. Серии TTL елементи. TTL елементи с три изходни състояния.

9.1 Стандартни TTL елементи – К155, 74XX и други.

9.2 Динамични параметри на TTL схеми със сложен инвертор.

9.3. Видове TTL елементи според консумацията и бързодействието им.

9.4. Видове TTL елементи според реализацията на логическата функция.

- 9.5. Влияние на неизползваните входове.
- 9.6 Влияние на неизползваните елементи.
- 9.7 Схеми на серии ТТЛ елементи L,S,H,LS.
- 9. 8 ТТЛ елементи с три изходни състояния.
- 10. Емитерно свързани логически елементи ЕСЛ (ECL).
 - 11.1. Общи сведения.
 - 11.2. Особенности на ЕСЛ схемите.
 - 11.3. Схема на основен елемент за изграждане на ЕСЛсхеми.
 - 11.4. Предавателна характеристика.
 - 11.5. Предимство на ЕСЛ елементи.
 - 11.6. Особенности на ЕСЛ елементите в практическите схеми.
 - 11.7. ЕСЛ схема от серията К500.
- 11. MOS логически елементи.
 - 11.1. MOS транзистор. Определение.
 - 11.2. Характеристики на MOS транзистори.
 - 11.3. MOS инвертор с линеен товар.
 - 11.4. MOS инвертор с нелинеен товар
 - 11.5. MOS логически елементи.
 - 11.5.1. Схема И-НЕ с MOS транзистори и нелинеен товар.
 - 11.5.2. Схема ИЛИ-НЕ с MOS транзистори и линеен товар.
 - 11.5.3 Схема ИЛИ-НЕ с MOS транзистори и нелинеен товар.
- 12. CMOS – логически елементи.
 - 12.1. Принципна схема на инвертор с CMOS.
 - 12.2. Предавателна характеристика на идеален CMOS инвертор.
 - 12.3. CMOS логически схеми.
 - 12.4. Характеристики на CMOS схемите.
 - 12.5. Правила за работа с CMOS ИС.

II. ГЛАВА ЦИФРОВИ И ИМПУЛСНИ УСТРОЙСТВА

- 1. Симетрични тригери – общи сведения.
 - 1.1. Определение.
 - 1.2. Хистерезис.
 - 1.3.Симетричен тригер с дискретни елементи.
 - 1.3.1 Принципна схема на R-S симетричен тригер с дискретни елементи.
 - 1.3.2 Принципна схема на J-K симетричен тригер с дискретни елементи.
 - 1.3.3 Принципна схема на T тригер с дискретни елементи – тригер с броячно запускане.
 - 1.4. Симетрични тригери с ТТЛ елементи.
 - 1.4.1. Общи сведения.
 - 1.4.2. R–S тригер с ИЛИ-НЕ елементи.
 - 1.4.3. R–S тригер И-НЕ елементи. Принципна схема и времедиаграми.
 - 1.4.4. R-S тригер синхронизиран по входен сигнал T. Принципна схема.
 - 1.4.5. Двустъпална структура от типа MS (master–slave). Принципна схема.
 - 1.5. Симетрични тригери: J - K тригери в интегрално изпълнение.
 - 1.6 D–тригери.
 - 1.6.1. Двустепенен D-тригер изграден от два синхронизирани R-S тригера.
 - 1.6.2. Конкретен вариант на D-тригер – 7474, К155ТМ2.
- 2. Несиметрични тригери.

- 2.1. Определение за несиметричен тригер.
- 2.2. Принцилна схема на несиметричен тригер с дискретни елементи.
- 2.3. Интегрален тригер на Шмит - ИС 7413
- 2.4. Тригер на Шмит с разширители.
 - 2.4.1. Въведение.
 - 2.4.2. Принцилна схема.
 - 2.4.3. Параметри на разширителите.
 - 2.4.5. Предавателна характеристика на разширител от типа 7460.
- 5.3.2 Предавателна характеристика на тригер на Шмит с разширители при задействане.
- 2.5. Тригери на Шмит с ТТЛ елементи.
 - 2.5.1. Въведение.
 - 2.5.2. Тригер на Шмит с два логически елемента.
 - 2.5.3 Заместителна схема при нулево входно напрежение.
 - 2.5.4 Заместителна схема при сигнал нула на изхода.
 - 2.5.5 Заместителна схема при сигнал единица на изхода.
 - 2.5.6. Предавателна характеристика на тригер на Шмит с два логически елемента.
 - 2.5.7. Принцилна схема на тригер на Шмит с включен диод между съпротивленията R и R_d .
- 2.6. Принцилна схема тригер на Шмит с емитерен повторител.
- 2.7. Принцилна схема на тригер на Шмит с CMOS елементи.
- 2.8. Тригер на Шмит с операционен усилвател.
3. Чакащи мултивибратори.
 - 3.1. Чакащи мултивибратори с дискретни елементи.
 - 3.1.1. Принцилна схема.
 - 3.1.2 Времедиаграми.
 - 3.2. Чакащи мултивибратори с операционен усилвател.
 - 3.2.1 Принцилна схема.
 - 3.2.2 Принцип на действие на схемата.
 - 3.2.3 Особенности схемите на ЧМВ с ОУ.
 - 3.3. Чакащи мултивибратори с ТТЛ елементи.
 - 3.3.1. Въведение и обща принцилна схема.
 - 3.3.2. Принцип на действие. Времедиаграми..
 - 3.3.3. Особенности на схемата.
 - 3.4. Чакащи мултивибратори с диференцираща времезадаваща верига.
 - 3.4.1. Принцилна схема.
 - 3.4.2. Времедиаграми.
 - 3.4.3. Разновидност на ЧМ с диференцираща времезадаваща верига.
 - 3.5. Чакащ мултивибратор с времезадаваща група от диференциращ тип със CMOS елементи.
 - 3.5.1. Принцилна схема.
 - 3.5.2. Времедиаграми.
 - 3.6. Чакащи мултивибратори с интегрираща времезадаваща верига.
 - 3.6.1. Принцилна схема.
 - 3.6.2. Времедиаграми.
 - 3.7. Чакащ мултивибратор с времезадаваща група от интегриращ тип с CMOS логически елементи.
 - 3.7.1. Принцилна схема.
 - 3.7.2. Времедиаграми.

- 3.7.3. **Особености на схемата.**
- 3.8. **Интегрални чакащи мултивибратори.**
 - 3.8.1. **Въведение.**
- 3.9. **Интегрален чакан мултивибратор 74121.**
 - 3.9.1. **Таблица на функциониране на чакан мултивибратор от типа 74121.**
 - 3.9.2. **Функционална схема на чакан мултивибратор от типа 74121.**
- 3.10. **Чакан мултивибратори от типа 74122 и 74123.**
 - 3.10.1 **Таблица на функциониране на чакан мултивибратор от типа 74122.**
 - 3.10.2 **Функционална схема на чакан мултивибратор от типа 74122.**
 - 3.10.3 **Таблица на функциониране на чакан мултивибратор 74123**
 - 3.10.4 **Функционална схема на чакан мултивибратор от типа 74123.**
- 4. **Автогенераторни мултивибратори .**
 - 4.1. **Общи сведения – определение.**
 - 4.2. **Автогенераторни мултивибратори с дискретни елементи.**
 - 4.2.1. **Принципна схема.**
 - 4.2.3. **Времедиаграми на схемата на АМВ с дискретни елементи.**
 - 4.3. **Мултивибратори в автогенераторен режим с ТТЛ елементи е две времезадаващи вериги.**
 - 4.3.1. **Принципна схема.**
 - 4.3.2. **Времедиаграми.**
 - 4.4. **Автогенераторни мултивибратори с една времезадаваща верига с ТТЛ елементи.**
 - 4.4.1. **Принципна схема.**
 - 4.4.2. **Времедиаграми.**
 - 4.5. **Автогенераторни мултивибратори с CMOS елементи.**
 - 4.5.1. **Принципна схема.**
 - 4.5.2. **Времедиаграми.**
 - 4.6. **Автогенераторен мултивибратор с операционен усилвател.**
 - 4.6.1. **Принципна схема.**
 - 4.6.2. **Принцип на действие на схемата на АМВ с ОУ.**
- 5. **Кварцово – стабилизиращи мултивибратори**
 - 5.1. **Общи сведения.**
 - 5.2. **Транзисторни мултивибратори с кварцова стабилизация на честотата.**
 - 5.3. **Мултивибратори с ТТЛ елементи с кварцова стабилизация на честотата.**
 - 5.3.1. **Схема на МВ с ТТЛ логически елементи с кварцова стабилизация за $f=1\text{MHz}$.**
 - 5.3.2 **Схема на МВ с ТТЛ логически елементи с кварцова стабилизация за $f>1\text{MHz}$.**
 - 5.4. **Мултивибратори с CMOS логически елементи и с кварцова стабилизация на честотата.**
 - 5.4.1. **Схема с използване на последователния резонанс на КР.**
 - 5.4.2 **Генератор на Пирс.**
- 6. **Интегрален таймери 555 – автогенераторен режим.**
 - 6.1. **Принципна схема на ИС555.**
 - 6.2. **Включване на ИС 555 като автогенераторен мултивибратор.**
 - 6.2.1. **Принципна схема**
 - 6.2.2. **Времедиаграми**
 - 6.3. **Включване на ИС 555 като чакан мултивибратор.**
 - 6.3.1. **Принципна схема.**
 - 6.3.2. **Времедиаграми.**

6.4. Особенности на CMOS ИС 555

7. Цифрово-аналогови преобразуватели (ЦАП).

7.1. Увод.

7.2. Основни параметри на ЦАП.

7.3. Действие на цифрово-аналоговите преобразуватели.

7.3.1 Преки методи за преобразуване на величините.

7.3.2 Косвени методи за преобразуване на величините.

7.4. ЦАП със съпротивителни решетки – R-2R.

7.5. ЦАП с решетки с разрядни резистори.

7.6. Сравнителна оценка на мрежа с разрядни съпротивления и мрежа със съпротивления R-2R.

8. Аналого-цифрови преобразуватели.

8.1. Определение.

8.2. Основни параметри.

8.3. Начин на действие АЦП.

8.4. Последователни АЦП с уравнивяване.

8.5. Паралелни АЦП.

8.6. Паралелно-последователни АЦП

ИЗПОЛЗВАНИ ОЗНАЧЕНИЯ

ЛИТЕРАТУРА