Симулация с Vivado

# 

[Изпълнение на симулацията от командния ред](#_e1pxs561j99w)

[Пример - Симулация на брояч](#_sj80b7isk21a)

[Графична визуализация на резултатите](#_sir6z3ujshyr)

# Изпълнение на симулацията от командния ред

## Пример - Симулация на брояч

Необходимите файлове са дадени на адрес <https://github.com/vpt-tus/pcis> в директорията examples/simulation

Xilinx Vivado е инсталиран в C:\Xilinx\Vivado\2018.2

**counter.bat - команден файл за изпълнение на компилация и симулация**

call C:\Xilinx\Vivado\2018.2\settings64.bat

call xvlog -sv -nolog **counter.sv**;

if ERRORLEVEL 1 (

exit

)

call xelab -R -s counter -nolog -debug all **counter\_test\_1**

**counter.sv - име на файла, който съдържа модела и теста**

**counter\_test\_1 - име на теста**

Отворете команден прозорец и изпълнете файла counter.bat

C:\usr\verilog\2018\sim> **counter.bat**

C:\usr\verilog\2018\sim>call C:\Xilinx\Vivado\2018.2\settings64.bat

INFO: [VRFC 10-2263] Analyzing SystemVerilog file "C:/usr/verilog/2018/sim/counter.sv" into library work

INFO: [VRFC 10-311] analyzing module counter

INFO: [VRFC 10-311] analyzing module counter\_test\_1

INFO: [VRFC 10-311] analyzing module counter\_test\_2

Vivado Simulator 2018.2

Copyright 1986-1999, 2001-2018 Xilinx, Inc. All Rights Reserved.

Running: C:/Xilinx/Vivado/2018.2/bin/unwrapped/win64.o/xelab.exe -R -s counter -nolog -debug all counter\_test\_1

Multi-threading is on. Using 2 slave threads.

Starting static elaboration

Completed static elaboration

Starting simulation data flow analysis

Completed simulation data flow analysis

Time Resolution for simulation is 1ps

Compiling module work.counter(N=2)

Compiling module work.counter\_test\_1

Built simulation snapshot counter

Launching simulation...

xsim.bat counter -runall

\*\*\*\*\*\* xsim v2018.2 (64-bit)

\*\*\*\* SW Build 2258646 on Thu Jun 14 20:03:12 MDT 2018

\*\*\*\* IP Build 2256618 on Thu Jun 14 22:10:49 MDT 2018

\*\* Copyright 1986-2018 Xilinx, Inc. All Rights Reserved.

source xsim.dir/counter/xsim\_script.tcl

# xsim {counter} -autoloadwcfg -runall

Vivado Simulator 2018.2

Time resolution is 1 ps

run -all

**clock reset cnt cnt**

**1 0 00 0**

**1 1 00 0**

**0 0 00 0**

**0 1 01 1**

**0 0 01 1**

**0 1 10 2**

**0 0 10 2**

**0 1 11 3**

**0 0 11 3**

**0 1 00 0**

**0 0 00 0**

**0 1 01 1**

**0 0 01 1**

**0 1 10 2**

$finish called at time : 700 ns : File "C:/usr/verilog/2018/sim/counter.sv" Line 36

exit

INFO: [Common 17-206] Exiting xsim at Fri Oct 19 15:53:48 2018...

# Графична визуализация на резултатите

На края на **counter.bat**, добавете команда за стартиране на симулатора xsim в режим на графичеан потребителски интерфейс: call xsim counter -gui

call C:\Xilinx\Vivado\2018.2\settings64.bat

call xvlog -sv -nolog counter.sv;

if ERRORLEVEL 1 (

exit

)

call xelab -R -s counter -nolog -debug all counter\_test\_1

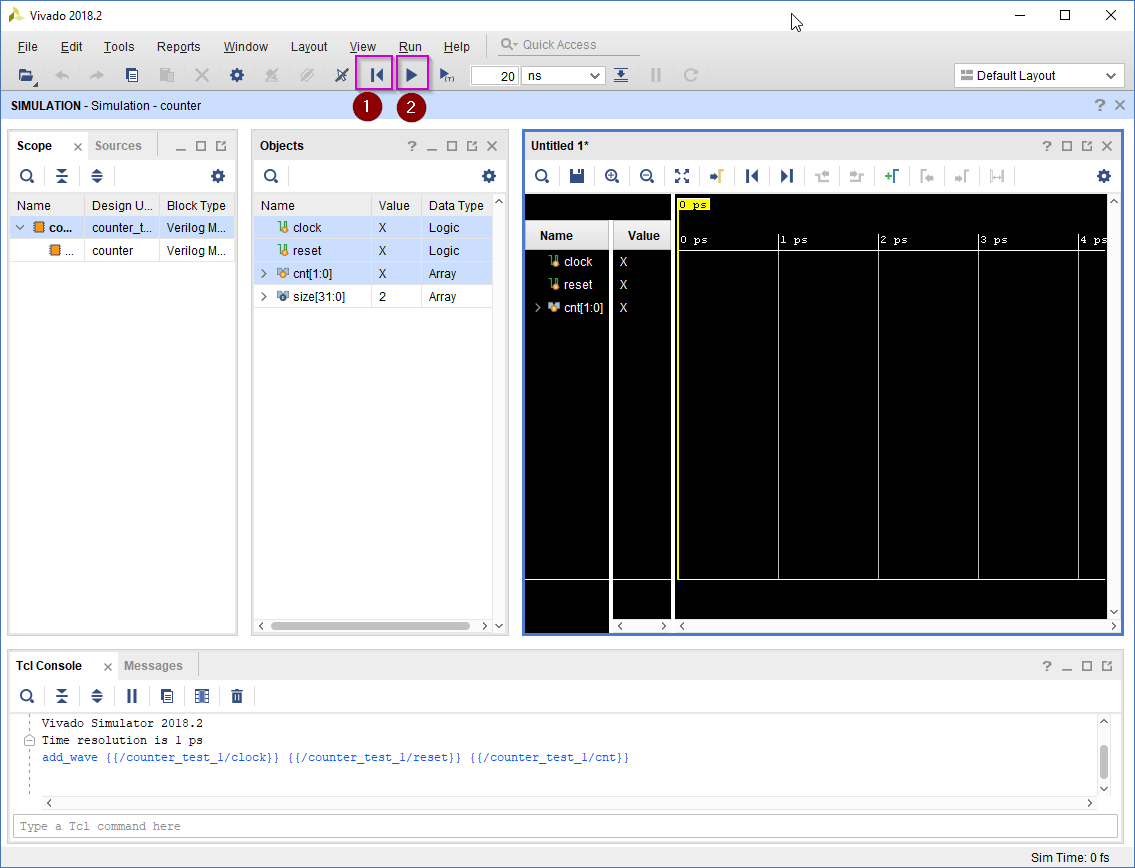
del \*.jou,\*.log

call xsim counter -gui

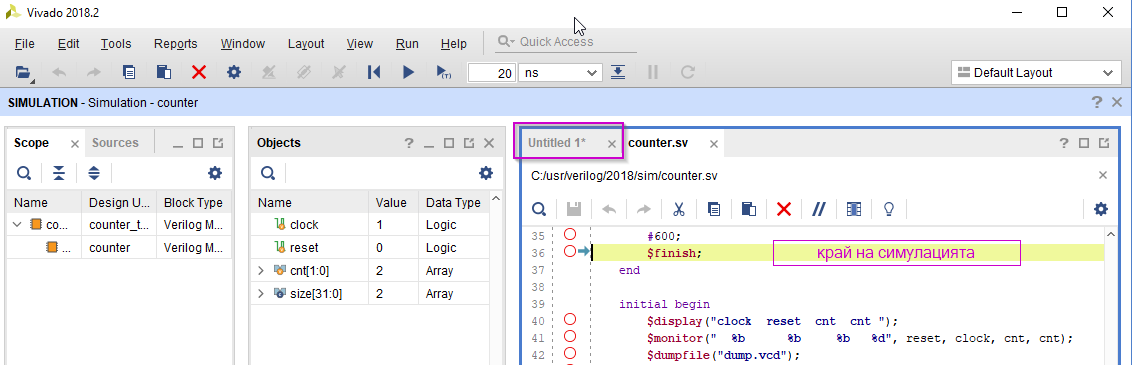
Добавете сигналите към Wave Window

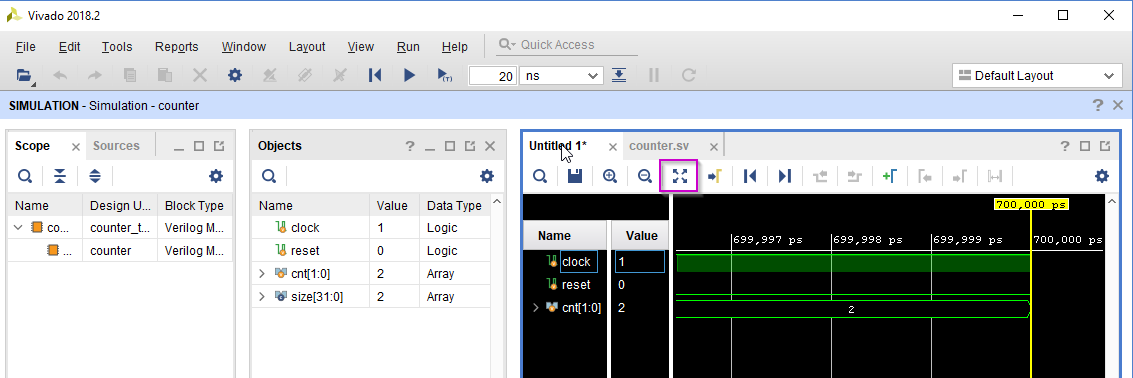


Симулирайте



След като симулацията приключи, превключете на Wave Windows





Изберете Zoom Fit (вижте на фигурата по-горе) за да видите целите времедиаграми.

