# Симулация с <https://www.edaplayground.com>

1. Testbench + Design: SystemVerilog/Verilog
2. Tools & Simulators: Synopsys VCS
3. В testbench.sv копирате кода на теста и модела
4. Симулирате с Run и проверявате резултатите в прозореца Log.

