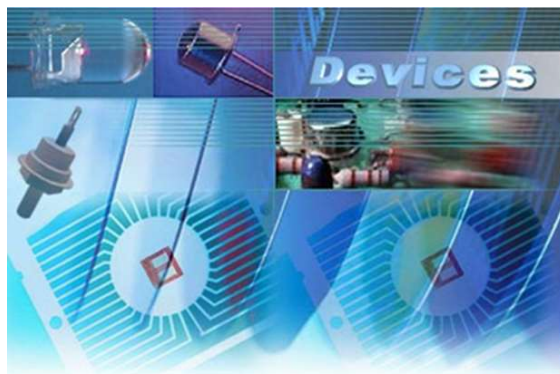




Интегрални схеми



Полупроводникови
елементи

Въведение

Интегралните схеми (ИС) са микроелектронни елементи. Те се характеризират с миниатюрни размери и тегло, малки изисквания за мощност и ниска цена, като в същото време имат повишена надеждност и значителна сложност. Технологията за производството им позволява изграждането на цяла система в единствена интегрална схема (чип), която съдържа десетки милиони транзистори.



Приложение

Огромна част от съвременната електроника започва с откриване на транзистора през 1947 година и последвалото разработване на интегралните схеми (ИС) в началото на 60-те години.

Благодарение на ИС станаха възможни съвременните компютри, информационни технологии, телекомуникации, космически и авио оборудване, забавления, автомобилна и медицинска електроника, навигационни системи, аудио и видео устройства и много други.



Цели и предпоставки

Разглеждат се основни понятия и класификация на интегралните схеми, ключовите процеси при производството им и структурата на елементите.

Познавате

След изучаване на материала вие би трябвало да:

- ✦ Какво е интегрална схема
- ✦ Типовете интегрални схеми

Разбирате

- ✦ Планарно-епитаксиалната технология
- ✦ Основните процеси при производството на силициеви ИС
- ✦ Структурата на елементите, реализирани в ИС

Анализирате

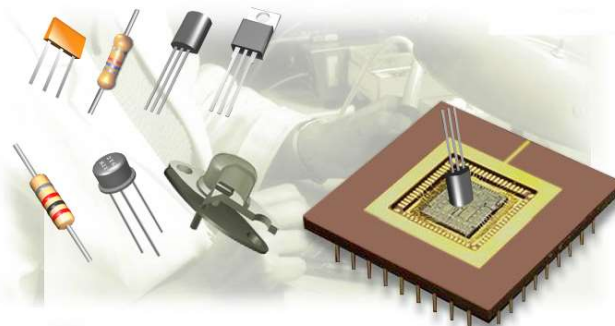
- ✦ Необходимостта от изолация между елементите
- ✦ Проблемите при интегриране на пасивни компоненти

Оценявате

- ✦ Предимствата и недостатъците на биполярни, MOS и CMOS ИС

Предпоставки: полупроводници, биполярни и MOS транзистори

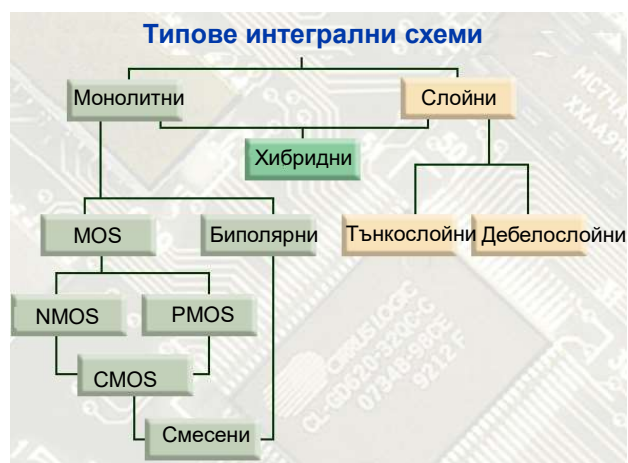
Какво е интегрална схема?



Интегралната схема (наричана още чип или микрочип) се дефинира, като комбинация от неразривно свързани елементи, изготвени върху или в обща подложка. Множество транзистори, диоди, резистори и кондензатори са произведени като едно цяло и са затворени в общ корпус. Цялата схема се разглежда като един неделим компонент.

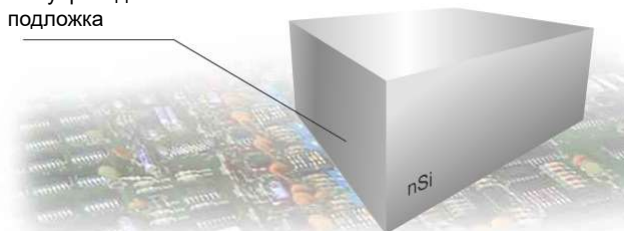
Класификация на ИС

Според технологията за производството им, се различават следните:



Монолитни интегрални схеми

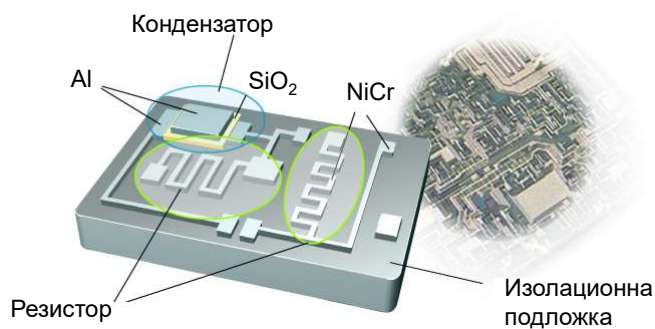
Полупроводникова
подложка



При **монолитните** интегрални схеми всички елементи се изготвят **в обема** на обща **полупроводникова** подложка. Те могат да бъдат биполярни или MOS IC според наличните в тях транзистори. Съществуват и смесени монолитни IC, които съдържат и двата типа транзистори.

Независимо, че съдържат милиони транзистори, тези интегралните схеми са с размери от няколко милиметра.

Слойни интегрални схеми



Слойните IC се изграждат от проводящ или непроводящ материал, който се нанася **върху изоляционна** подложка. Според дебелината на слоя се делят на тънкослойни и дебелослойни IC. Използват се за изготвяне **само** на пасивни елементи – резистори и кондензатори.

Хибридни интегрални схеми



Хибридните ИС обединяват слойни пасивни елементи с интегрални схеми и други дискретни компоненти, монтирани върху изолационната подложка.

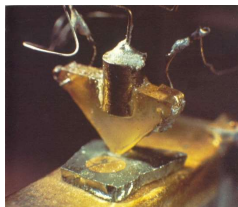
Линейни и цифрови ИС



Според предназначението си интегралните схеми се класифицират като **цифрови** и **линейни**. Линейните ИС се използват в аналоговите схеми – аудио усилватели, регулатори на напрежение, операционни усилватели и др. При тях сигналът е непрекъснат във времето.

При **цифровите схеми** ИС сигналите имат две нива. Те се използват в компютрите, компютърните мрежи, калкулатори цифрови часовници и други.

История на развитието на ИС



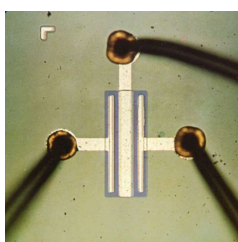
Първи Ge транзистор с точков контакт

Bell Labs, 1947



Джон Бардийн, Уолтър Братейн, Уилям Шокли, Нобелова награда за физика 1956

Първи силициев транзистор – Гордън Тийл, Texas Instruments, 1954



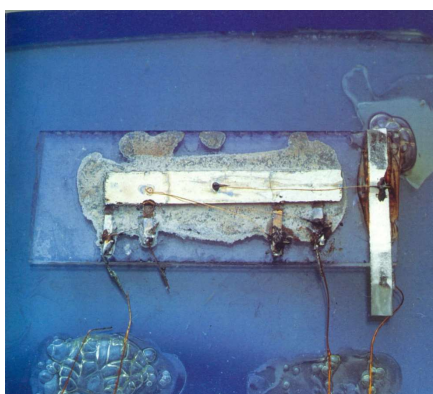
Първи MOS транзистор

Bell Labs, 1959



Давон Канг, Мохамед Атала

Революция в микроелектрониката



Първа хибридна Ge ИС, 1958
1 транзистор and 4 други елемента върху 1 чип

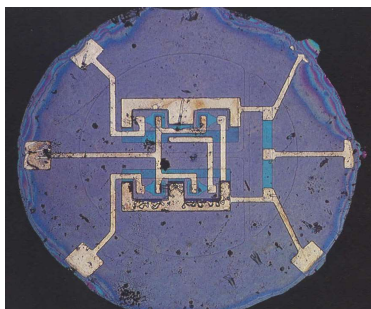
Jack Kilby
Winner of the 2000 Nobel Prize



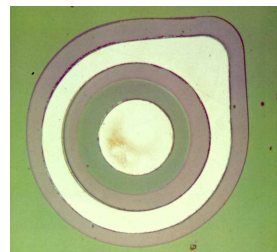
Texas Instruments, 1958

Планарен процес –1959

По-ефективен метод за производство на транзистори,
Fairchild Electronics – Jean Hoerni and Robert Noyce,



Първа комерсиална
монолитна Si IC с
планарен процес



Fairchild, 1959

One Binary Digital (Bit) Memory Device on a Chip,
4 Transistors and 5 Resistors

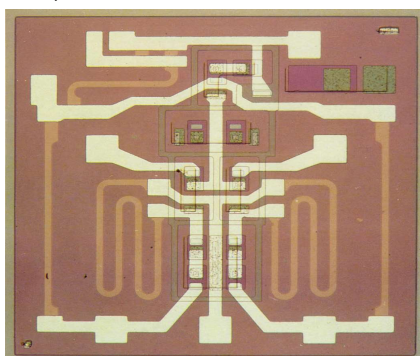
Начало на технологията с малка степен на интеграция,
Small Scale Integration (SSI)



Роберт Нойс

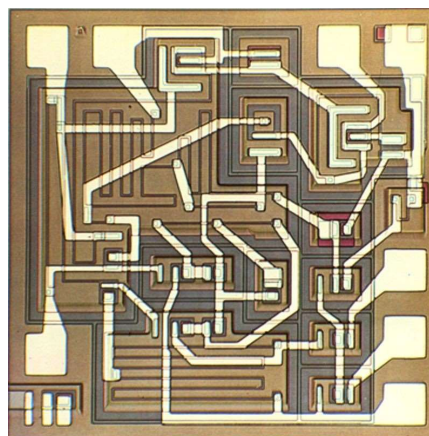
Първата линейна ИС

μ A 702 OPAMP, 1964



Операционен усилвател

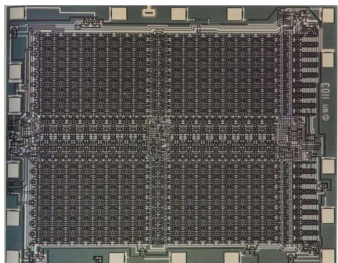
μ A 709 OPAMP, 1965



Роберт Видлар, Fairchild,

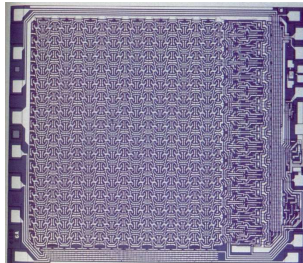
Първи ПП памети

Intel Corporation DRAM, 1970



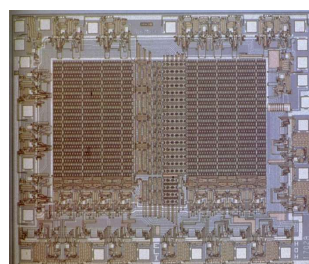
First 1,024 Bit Memory Chip – 1970

Fairchild 4100 SRAM, 1970



First 256-Bit Static RAM – 1970

Intel 1702, EPROM, 1971

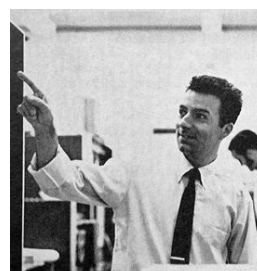
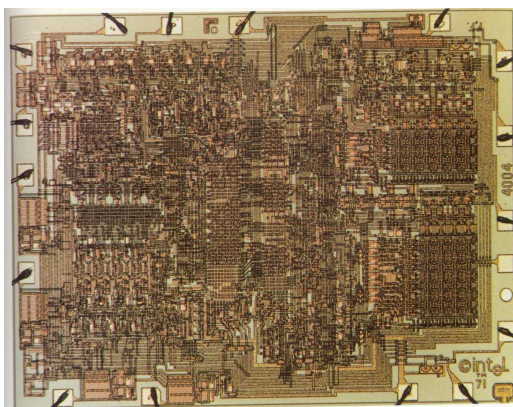


First EPROM
Memory chip

Раждането на микропроцесора – 1971

Първият компютър върху 1 чип – 2300 транзистора, 1MHz, MOS технология

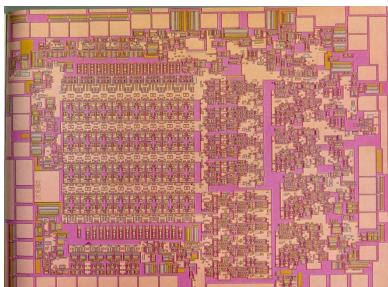
Intel 4004, 4-битов микропроцесор, 1971



Федерико Фадин

Революция на миникомпютрите

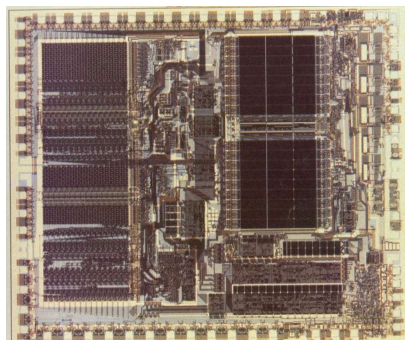
2901 Bit-Slice Microprocessor, 1975



Advanced Micro Devices, 1975

Начало на технологията със средна степен на интеграция, Medium Scale Integration (MSI)

Motorola 68000, 16-битов микропроцесор

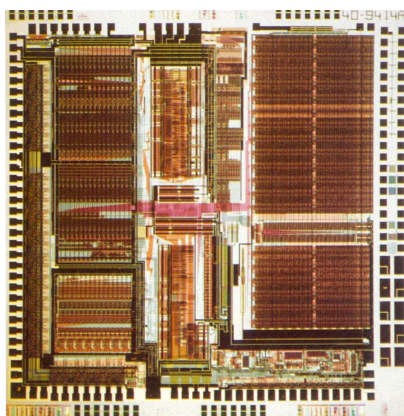


Motorola, 1979

Начало на технологията с голяма степен на интеграция, Large Scale Integration (LSI)

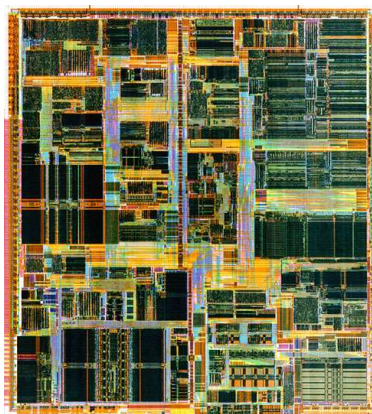
Революция на миникомпютрите

HP Focus Chip, 32-bit proc, 1981

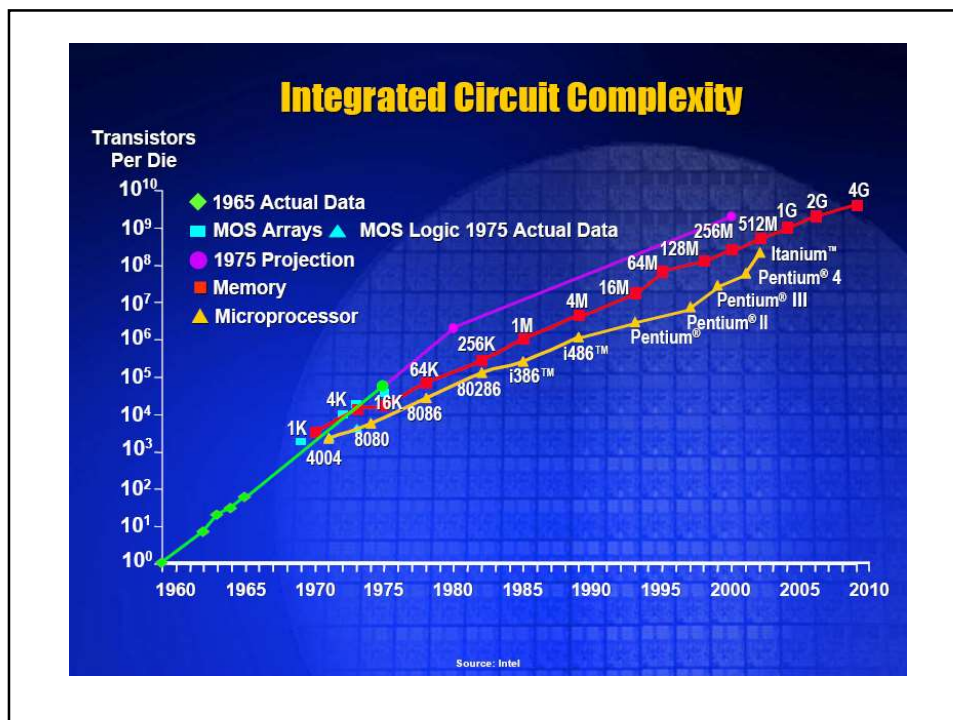


Hewlett-Packard Co. 450,000 транзистора
Начало на технологията с много голяма степен на интеграция, Very Large Scale Integration (VLSI)

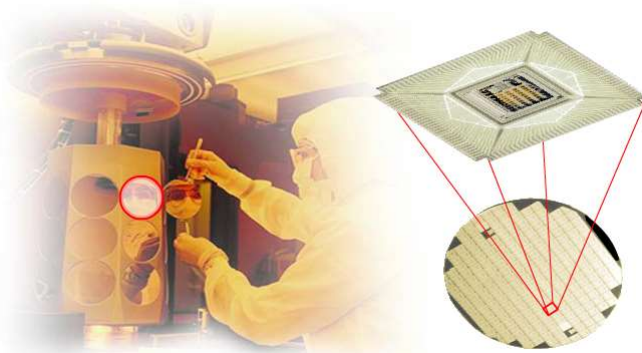
Intel Pentium 4, 64-bit proc, 2000



Intel Corporation

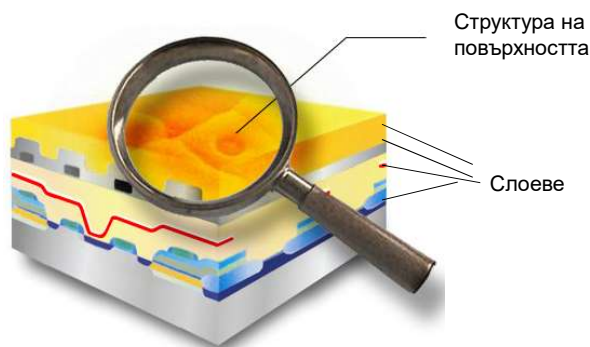


Производство на ИС



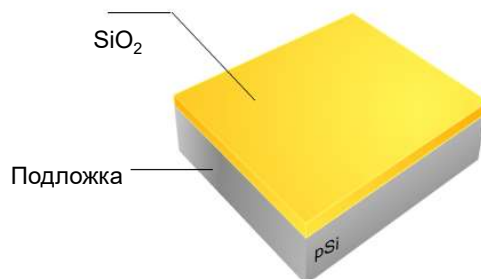
Монолитните ИС се изграждат на слоеве върху **силициева пластина** като в единен технологичен процес едновременно се произвеждат стотици ИС. Всички операции се извършват в „чисти стаи“, където се поддържа ниско ниво на прах и примеси, които биха повредили целия чип.

Планарен процес



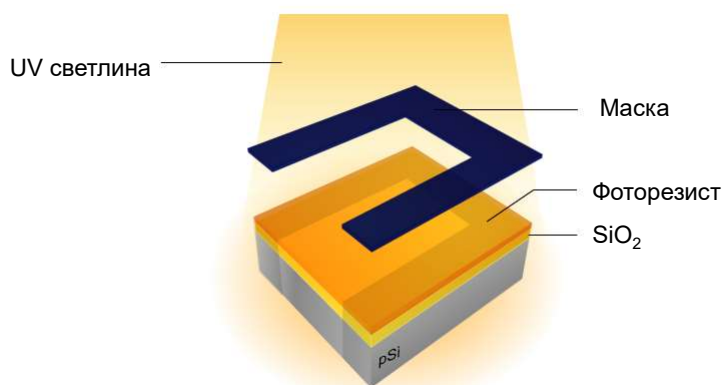
Структурата на ИС е сложна. Тя се състои от множество слоеве, които се създават последователно в определена плоскост при така наречения **планарен процес**. Планарният процес ще се илюстрира с производството на един MOS транзистор, независимо че едновременно се произвеждат милиони транзистори.

Окисление



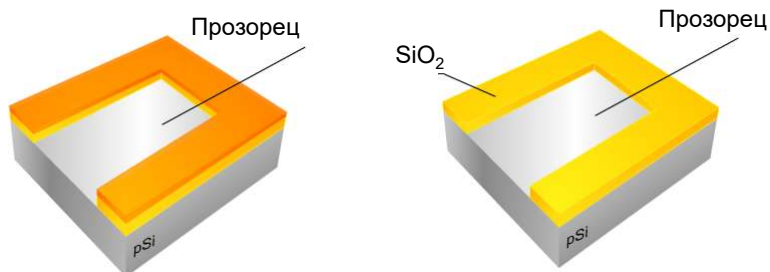
Първоначално подложка от *p*-силиций се покрива със SiO₂ като се **окислява** при висока температура в среда от чист кислород. Полученият изолационен слой защитава повърхността при последващите операции.

Фотолитография



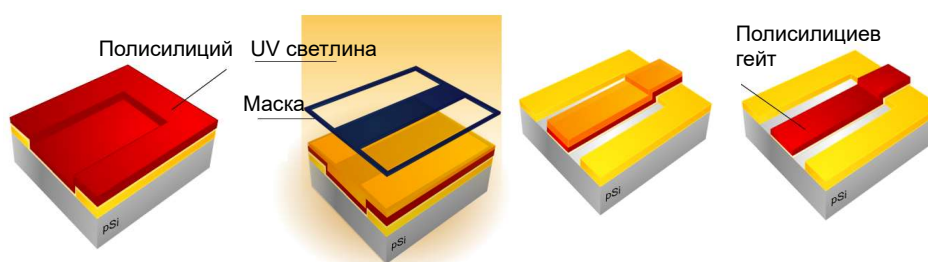
Изображения върху SiO₂ се създават с операция, наречена **фотолитография**. Върху пластината се нанася фоточувствителен слой – **фоторезист**. За всяко изображение се използва съответна **маска**. При облъчване с UV незащитената област от фоторезиста се поляризира, което променя разтворимостта му.

Ецване



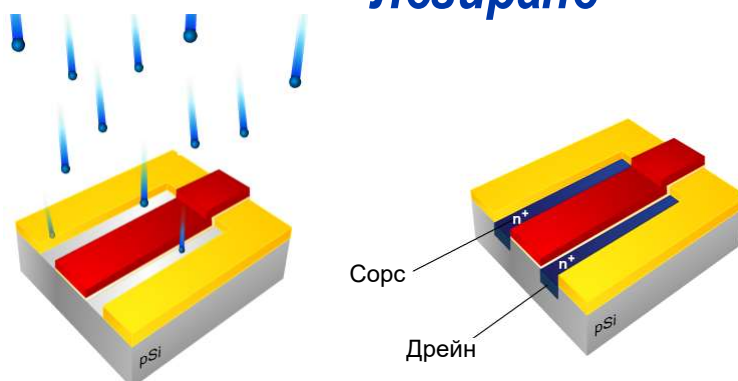
Експонираният (разтворим) фоторезист се отстранява с флуороводородна киселина. Операцията се нарича **ецване**. При това се отваря прозорец към силициевата подложка с форма, определена от маската. Впоследствие се отстранява и останалият фоторезист.

Формиране на гейта



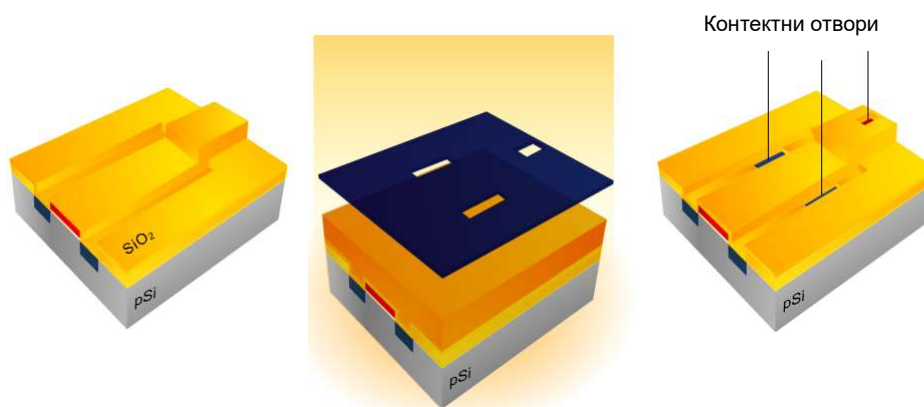
За формиране на следващ слой се използва последователност от същите операции – окисление, покриване на окислената повърхност с **полисилиций**, полагане на фоторезист, втора маска за формиране изображение, облъчване с UV светлина и ецване. В резултат се създават два прозореца към силиция. Останалият полисилиций служи за гейт на транзистора.

Легиране



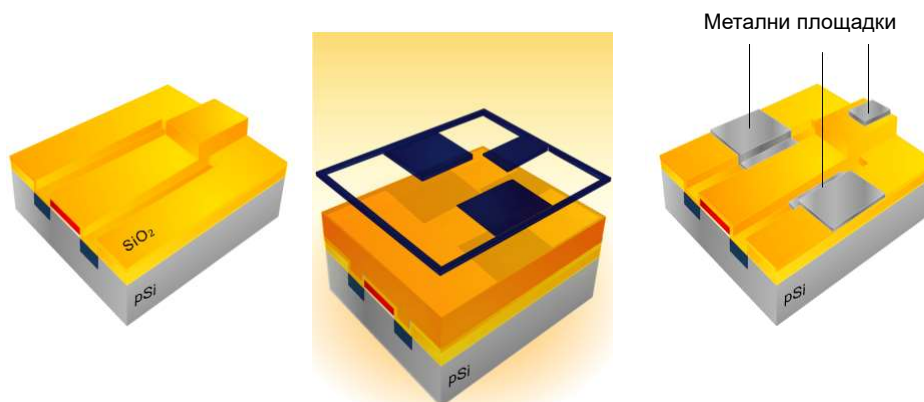
Въвеждане на примеси в отворените към силиция прозорци се извършва с операцията **легиране**. При нея в подложката се вкарват атоми на фосфор или бор за създаване съответно на области с *N*- или *P*-проводимост. Легиращите атоми се йонизират, ускоряват и бомбардират повърхността се имплантират в нея. Така се създават областите за дрейна и сорса

Контакти



Същите операции се използват за формиране на контактни отвори – окисление на цялата повърхност, фотолитография с маска за отворите към областите на сорса, гейта и дрейна и ецване за отстраняване на фоторесиста.

Метализация



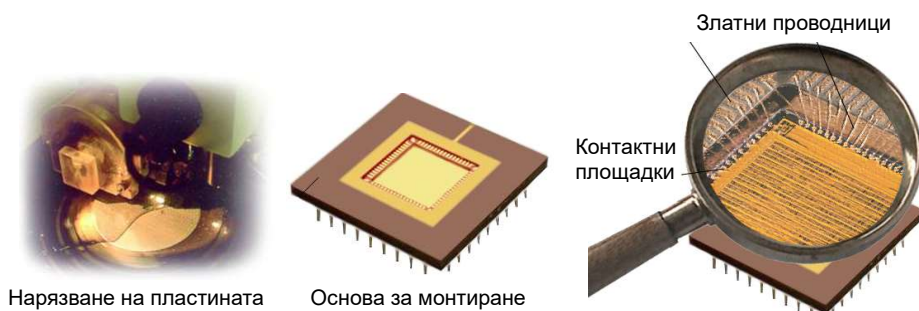
Атоми на метал (алуминий) се отлагат върху цялата повърхност, запълвайки контактните отвори. След това се използва фотолитография със съответна маска и след ецване се формират метални площадки за присъединяване на електрически проводници. Операцията се нарича **метализация**.

Тестване



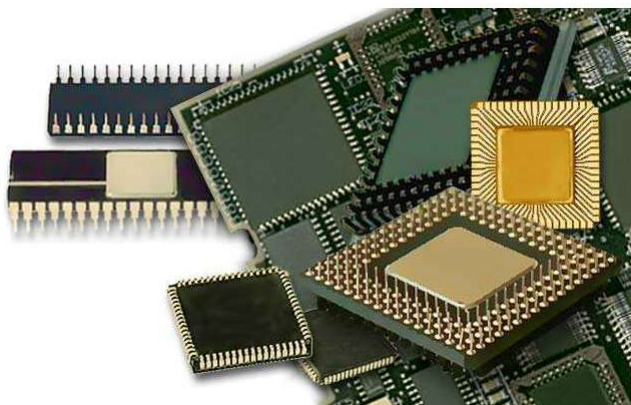
При производството се извършва прецизен контрол на всички операции. Пластините се тестват с компютърно контролирано оборудване в чисти стаи, където персоналът има костюми, подобни на тези на астронавтите.

Асемблиране



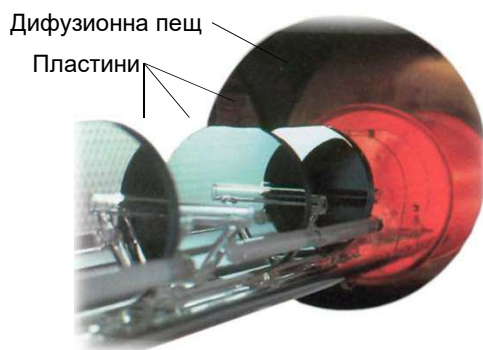
Транзисторите и интегралните схеми се произвеждат заедно със стотици съседни върху една подложка. След тестване на пластината тя се нарязва с диамантени резци и всяка ИС се монтира в метален, пластмасов или керамичен корпус. Чипът се свързва към корпуса със златни проводници, които се притискат под налягане към контактните площадки (операцията се нарича бондиране).

Видове корпуси



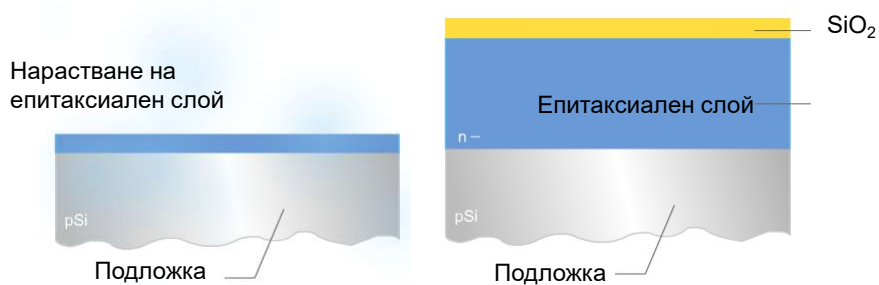
Корпусите са от съществено значение за ефективното изолиране на ИС от околната среда и за облекчаване на използването и монтирането ѝ в електронни системи. Част от най-често използваните корпуси са показани на фигурата.

Биполярни ИС



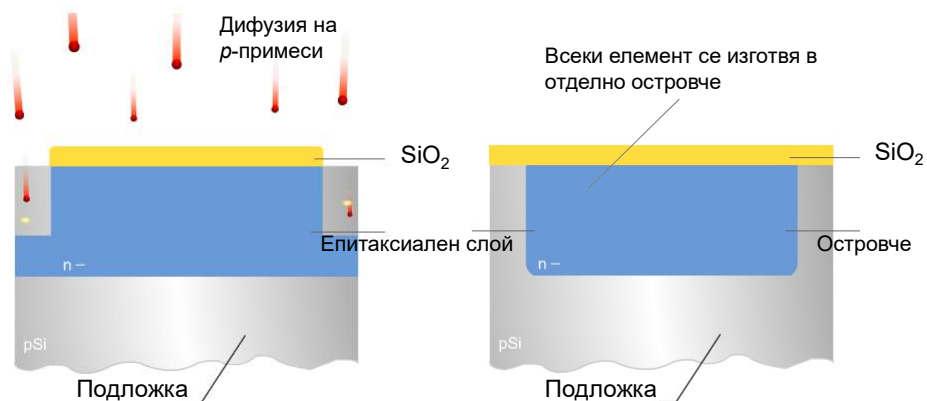
Биполярните ИС съдържат биполярни транзистори и други пасивни компоненти. Те се изготвят в общ технологичен процес, който обхваща последователност от по-голям брой операции спрямо необходимите за изготвяне на MOS ИС схеми.

Производство на биполярни ИС



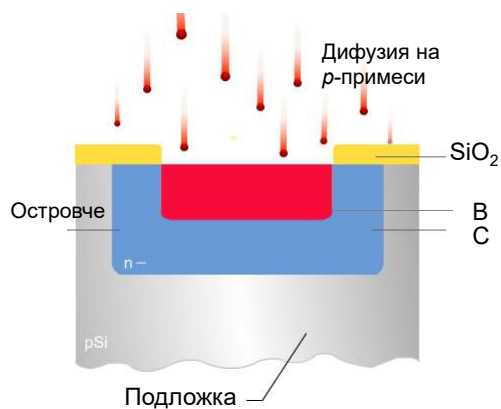
Пластината (p подложка) се поставя в пещ, през която при висока температура се пропуска газ от силициеви атоми и донорни примеси (P или As). Върху подложката нараства тънък слой от монокристален силиций (наречен епитаксиален слой). Процесът се нарича **епитаксия**. След това пластината чрез окисление се покрива със слой от SiO_2 .

Формиране на островче



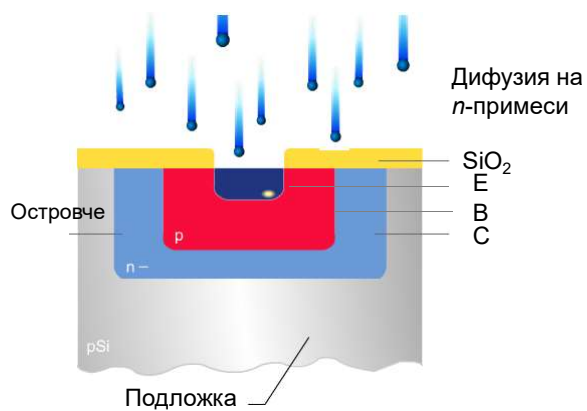
Част от SiO_2 се ецва, при което се открива част от епитаксиалния слой. След това пластината се поставя в пещ и атоми на акцепторни примеси (B или Ga) навлизат чрез дифузия в епитаксиалния слой. Така се формира n -тип островче.

Формиране на базата



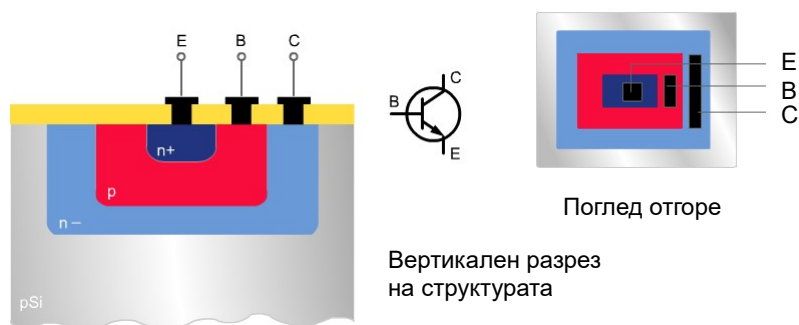
Процеси на окисление, фотолитография, ецване и легиране се използват многократно за формиране различни области от транзистора. За базата се отваря прозорец в n -епитаксиалния слой и се извършва дифузия на акцепторни примеси.

Формиране на емитера



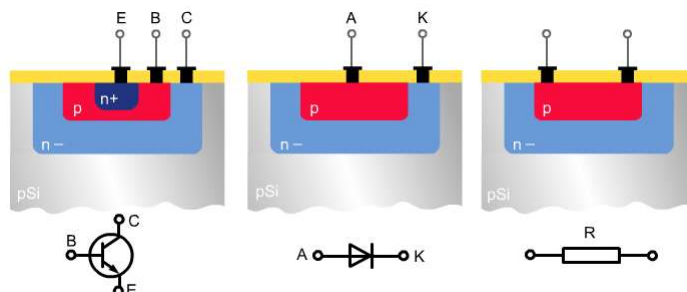
За емитера се отваря прозорец в p -базата и се извършва дифузия с донорни примеси за формиране на n -област.

Изводи



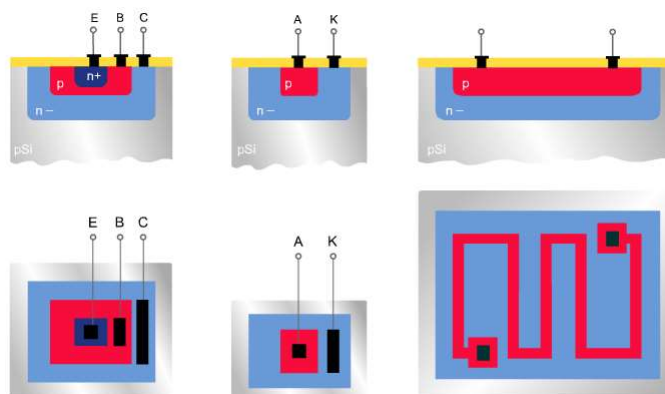
Изводите за емитера, базата и колектора се формират с метализация.

Пасивни компоненти



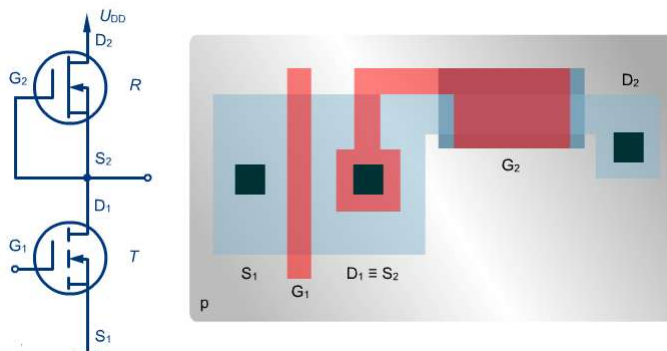
Едновременно с транзисторите, се формират и пасивните компоненти, за които се използват част от операциите, както е показано на фигурата. Тъй като процесите за оптимизирани за получаване на добри параметри на транзистора, това налага ограничения върху стойностите на пасивните елементи.

Пасивни компоненти



Пасивни компоненти с големи стойности на съпротивлението и капацитета им заемат значителна площ от повърхността на чипа. По тази причина такива резистори, кондензатори и бубини обикновено не се интегрират.

Сравнение на биполярни и MOS IC



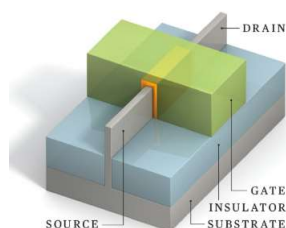
В MOS технологията пасивните компоненти заемат много по-малка площ спрямо тези в биполярните схеми. MOS транзистор (с вграден канал) може да се използва като резистор, а гейтовият капацитет служи за кондензатор с по-голяма стойност за единица площ.

По тази причина **всички съвременни IC** със свръхвисока степен на интеграция използват **MOS технология**.

Закон на Мур – докога?

Считаше се, че законът на Мур за CMOS ще приключи при размери под 100 nm, защото тогава ще трябва да се разсейва по-голяма мощност във W/cm^2 , от тази на ракетна дюза. И индустрията обяви това за загубена битка.

Решението беше намерено с изобретяването на **FinFET** транзистора – 3-D структура на транзистор.

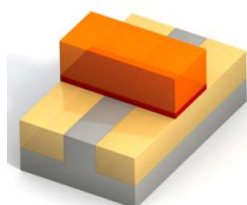


Chenming Hu, Berkeley University

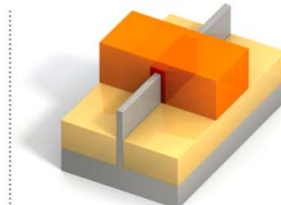
Всеки транзистор има S,D, проводящ канал, който ги свързва и G, който управлява тока в канала. При FinFET, каналът се издига над повърхността на чипа – като перка на акула, позволявайки на гейта да се увие около него от три страни, което дава по-голям контрол върху тока.

FinFET помага законът на Мур да продължи да действа за десетилетия и да не приключи на 25 nm, въпреки че смъртта му все още редовно се прогнозира.

Какво е FinFET?



Планарен 2-D транзистор



3-D FinFET транзистор

<https://www.youtube.com/watch?v=Jctk0DI7YP8>