

 Технически университет – София

Факултет по електронна техника и технологии

 Катедра „Електронна техника”

Презентация № 8

Дешифриция на адресно поле на вградени микропроцесорни системи

дисциплина „Микропроцесорна схемотехника” – ВЕ30
ОКС „Бакалавър” от Учебен план за студентите на специалност
Електроника, Професионално направление
5.2. Електротехника, електроника и автоматика



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

*„Организационна и технологична инфраструктура за учене през
целия живот и развитие на компетенции”*

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Съдържание

1. Дешифрация на адресното поле
2. Обща, местна и смесена дешифрация
3. Пълно и непълно дешифриране
4. Симетрично и несиметрично дешифриране
5. Преместване адресите на периферните модули (Remapping)
6. Контрол на отделни битове (Bit-banding)



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Дешифриция на адресното поле

В презентация №1 беше посочено, че в една микропроцесорна система се използват най-малко три вида магистрали за комуникация между микропроцесора и периферията. Това са: даннова, адресна и управляваща магистрала. По адресната магистрала се задават адреса на периферията, с която искаме да комуникираме.

В презентация №2 беше посочено, че наборът от валидни адреси, на които има свързана периферия и която микропроцесора може да адресира, формират т.нар. **адресно поле**. То може да бъде изобразено графично чрез **карта на паметта**. Тя представлява правоъгълник, разделен на области, отбелязани с адреси, които обозначават началото и края на дадена област. Примерна карта на паметта на една микропроцесорна система е дадена на следващия слайд.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Дешифриция на адресното поле

Вектори на прекъсване	0xFFFF FFFF
Програмна памет (ROM)	0xFFFF FF00
Неизползван регион	0xFFFFB FF01
АЦП модул	0x0010 002E
I2C модул	0x0010 001F 0x0010 0019
UART модул	0x0010 0010 0x0010 000F
SPI модул	0x0010 000A 0x0010 0009
Неизползван регион	0x0010 0000
EEPROM	0x0004 0400
Неизползван регион	0x0004 0000
Даннова памет (RAM)	0x0000 3FFF
	0x0000 0000



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на Оперативна програма „Развитие на човешките ресурси”, съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Дешифриция на адресното поле

Разредността на адресната шина определя **големината на адресното поле**. В миналия пример адресното поле се простира от начален адрес 0x0000 0000 до краен адрес 0xFFFF FFFF. Това означава, че могат да се адресират $0xFFFF\ FFFF_{(16)} = 4\ 294\ 967\ 295_{(10)}$ регистъра на периферни модули. В практиката толкова много регистри не са необходими и затова съществуват неизползвани области от картата на паметта.

За да може да се осъществи правилна комуникация между микропроцесора и всеки един периферен модул, трябва отделните модули да са разположени на различни адреси. Когато микропроцесорът установи даден адрес трябва само един единствен модул да отговори на заявката за комуникация. В противен случай, ще се получи объркване на сигналите. На следващия слайд е показано директно свързване на адресните магистрали на микропроцесора и периферните модули.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

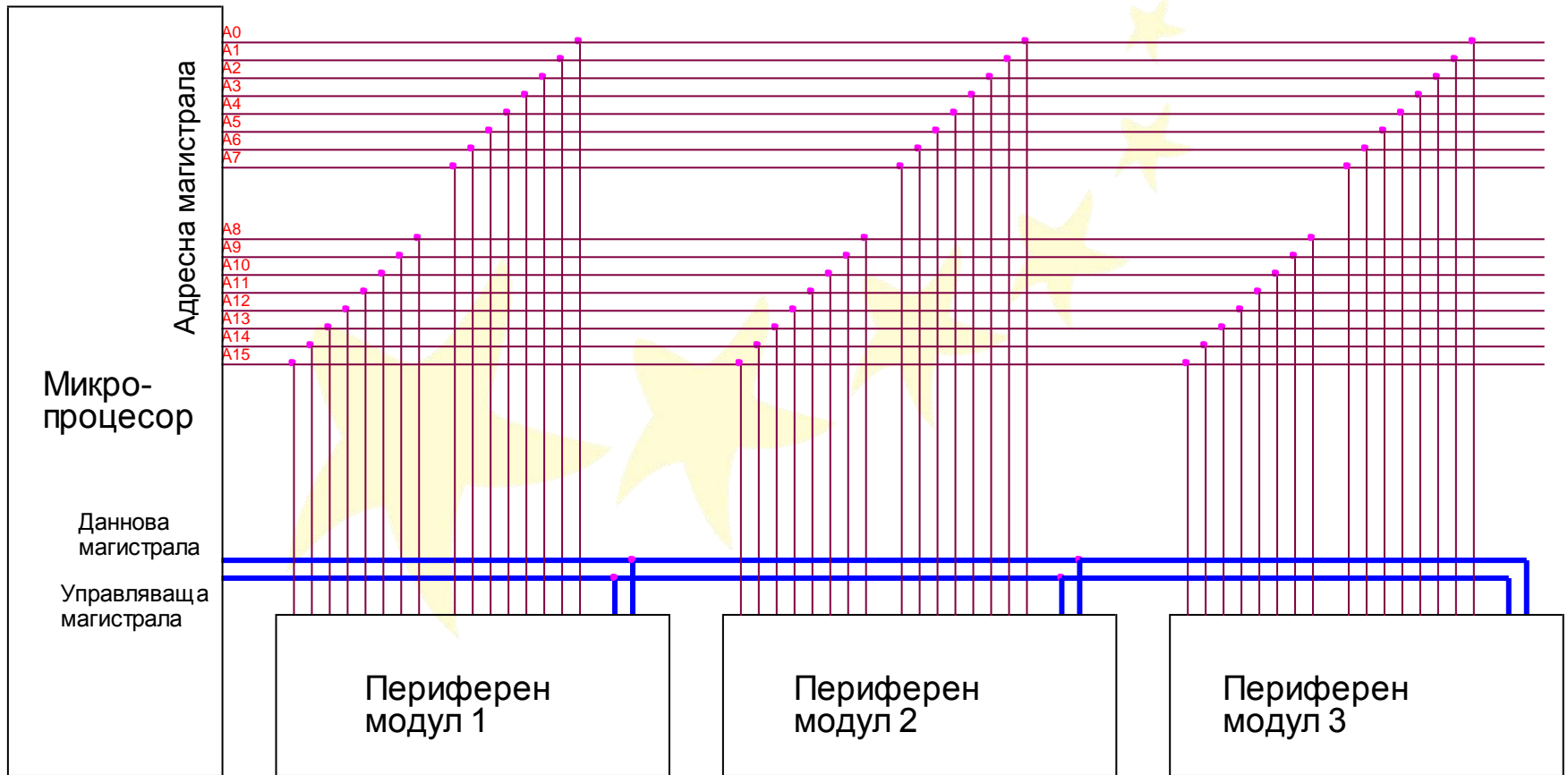
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Дешифриция на адресното поле



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Дешифрация на адресното поле

На схемата от предишния слайд е показано 16-битово адресиране. Всеки един от модулите притежава 16 адресни входа. Адресът, на който всеки модул ще отговаря, трябва да е зададен или чрез допълнителни изводи на корпуса, или чрез вътрешни хардуерни модули. Очевидно сложността на този вид адресиране се увеличава с увеличаване разредността на адресите. Например още по-сложна схема би се получила при 64-битово адресиране (т.е. адресната магистрала щеше да има 64 отделни адресни линии).

За да се избегне сложността на такъв вид адресация се прибегва до **дешифриране на адресното поле**. От Цифрова схемотехника знаем, че дешифратор (или още – декодер) е комбинационна логическа схема, която активира само един от изходите си при дадена комбинация на логическите нива, подадени на входовете си [1]. На следващия слайд е демонстрирана работата на дешифратора.



Европейски съюз

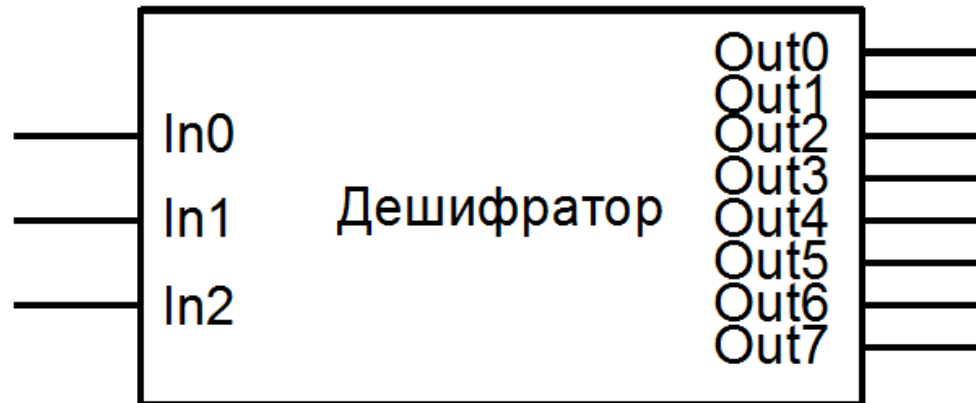
ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Дешифриция на адресното поле



In ₍₁₀₎	In2	In1	In0	Out7	Out6	Out5	Out4	Out3	Out2	Out1	Out0
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	0	1	0
2	0	1	0	0	0	0	0	0	1	0	0
3	0	1	1	0	0	0	0	1	0	0	0
4	1	0	0	0	0	0	1	0	0	0	0
5	1	0	1	0	0	1	0	0	0	0	0
6	1	1	0	0	1	0	0	0	0	0	0
7	1	1	1	1	0	0	0	0	0	0	0



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

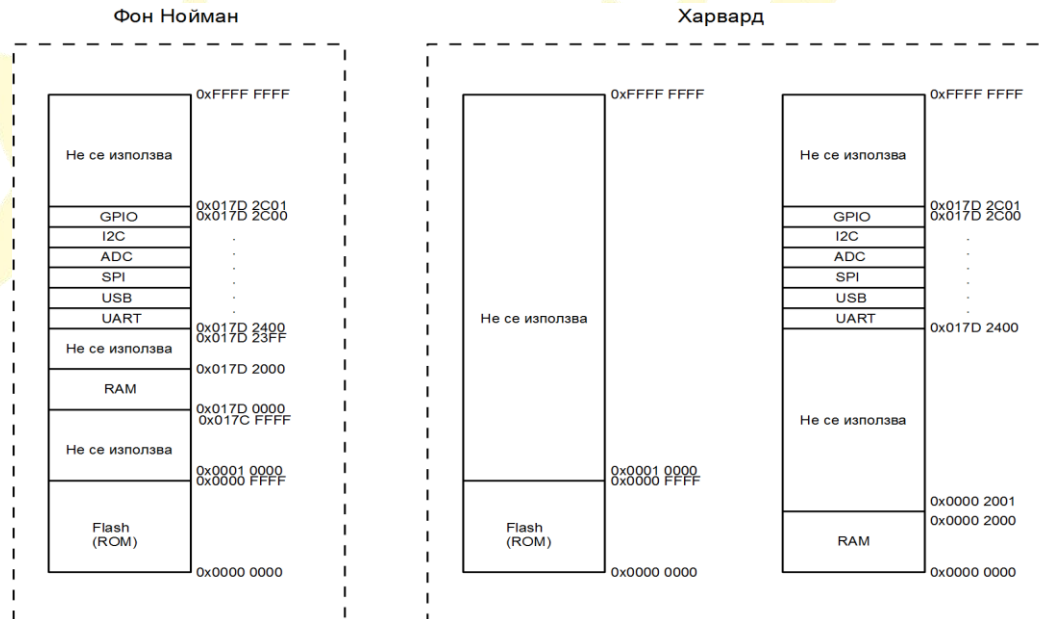
Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Дешифриция на адресното поле

В презентация №2 беше посочено, че Фон Ноймановата архитектура притежава едно адресно поле, а Харвард – две. Те са показани на фигурата по-долу. В практиката обаче се използват и Харвард архитектури с повече от две адресни полета. Този пример е демонстриран на следващия слайд.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

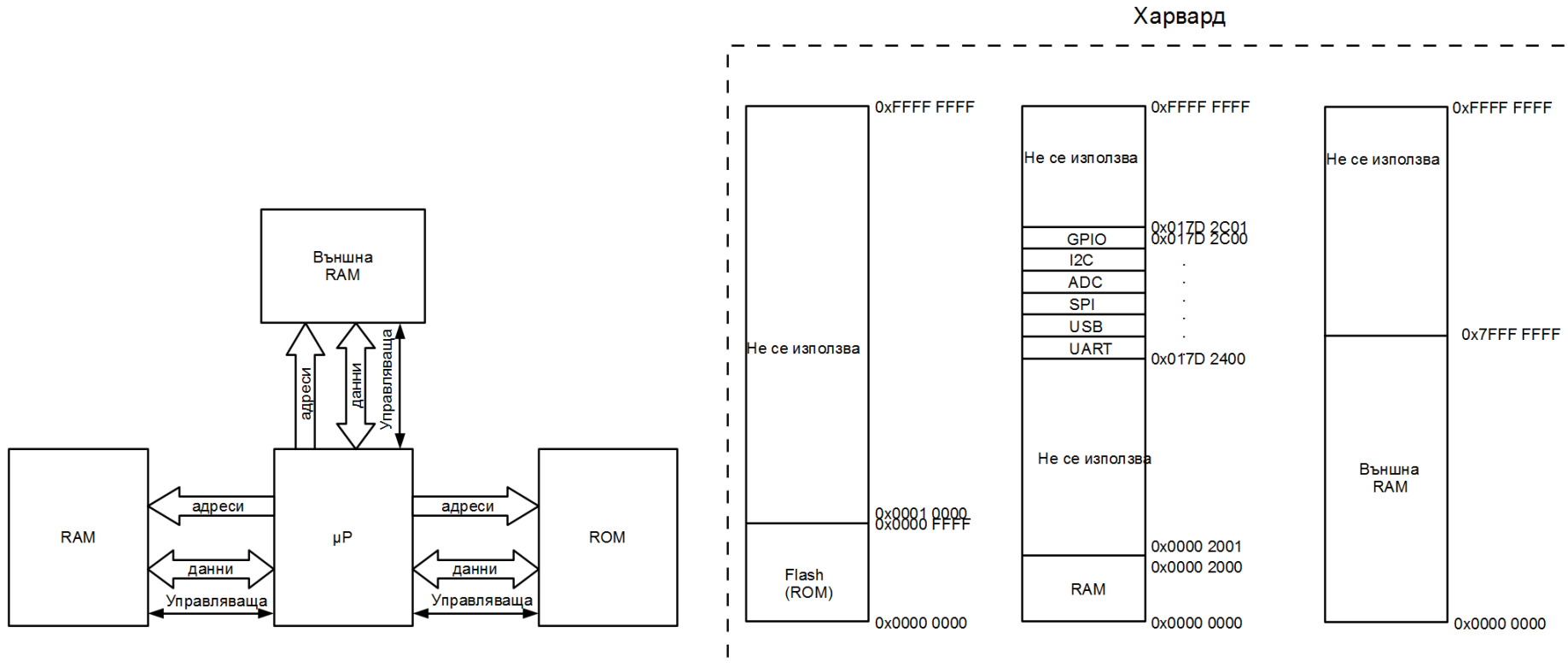
Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Дешифриция на адресното поле

Харвард архитектура с 3 адресни полета. Едното се използва за адресиране на външна RAM памет.



ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на Оперативна програма „Развитие на човешките ресурси”, съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Обща, местна и смесена дешифрация

Обща дешифрация - представлява разделяне на адресното поле на области чрез дешифратор, свързан към няколко бита от старшата част на адресната магистрала в микропроцесорната система. Този метод е показан на следващия слайд.

На схемата се използва 4-изходен дешифратор, с помощта на който сме разделили паметта на 4 области от по 256 адреса. Едната област не се използва, защото имаме само 3 периферни модула. Ако микропроцесорът иска да адресира регистър 127 от модул 2, той трябва да формира адреса: 0x407F, защото младшата част указва адреса на регистъра $7F_{(16)} = 127_{(10)}$, а бит 14 и 15 от старшата част контролират дешифратора. Ако искаме дешифратора да активира първия си изход (свързан към модул 2), трябва на входа му да се подаде $In0 = 1, In1 = 0$, което отговаря на $A14 = 1, A15 = 0$. Битове A8 – A13 са без значение. Приемаме, че са нули. Тогава старшата част на адреса става $0100\ 0000_{(2)} = 40_{(16)}$. След обединение на старшата и младшата част се получава числото 0x407F.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

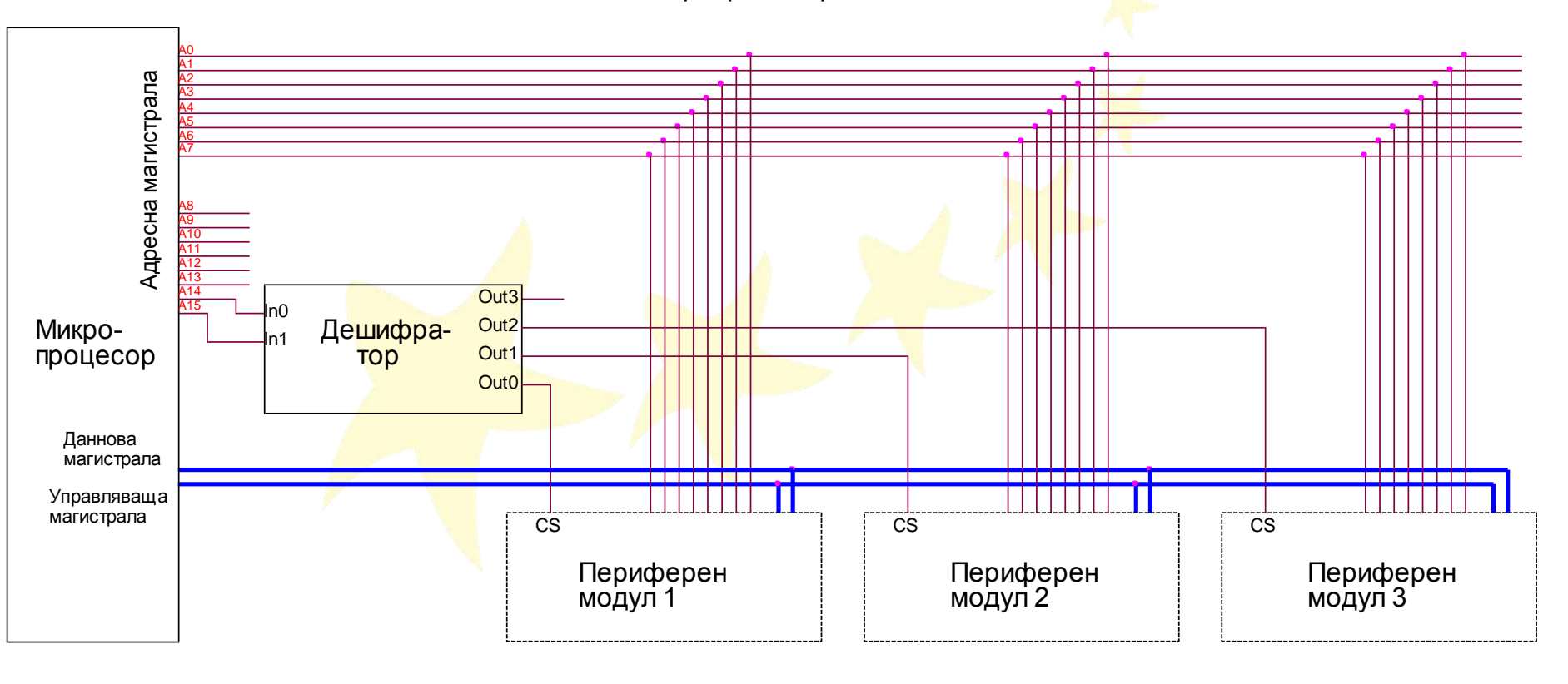
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Обща, местна и смесена дешифриция

Микропроцесорна система



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на Оперативна програма „Развитие на човешките ресурси”, съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Обща, местна и смесена дешифрация

Местна дешифрация - представлява разделяне на адресното поле на области чрез дешифратори, свързани към адресната магистрала на микропроцесорната система и вградени в самите периферни модули. Този метод е показан на следващия слайд.

Да се обърне внимание на изходите на дешифраторите – CS сигналът се взема от различни изходи, за да не се получи конфликт между модулите.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

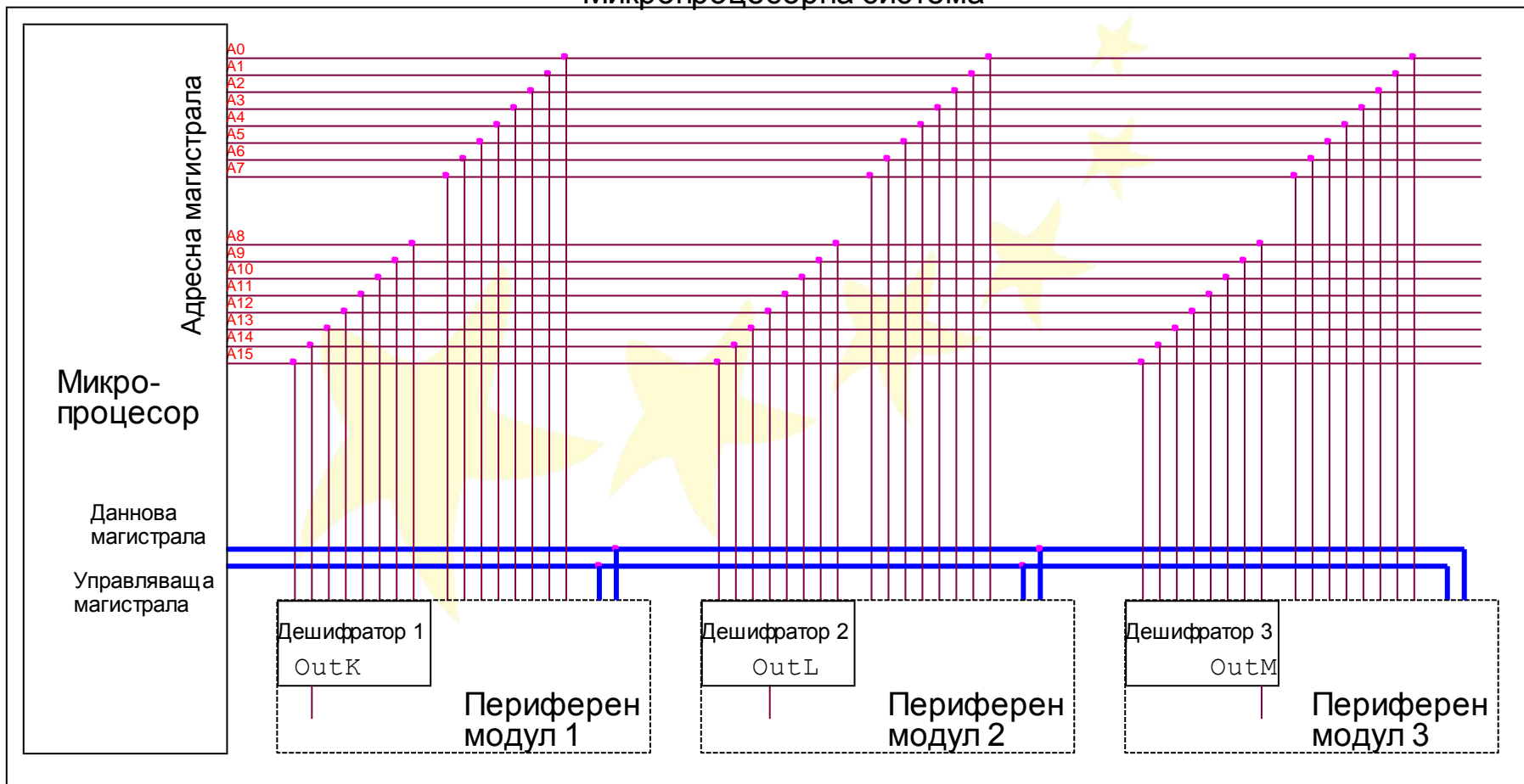
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Обща, местна и смесена дешифрация

Микропроцесорна система



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!

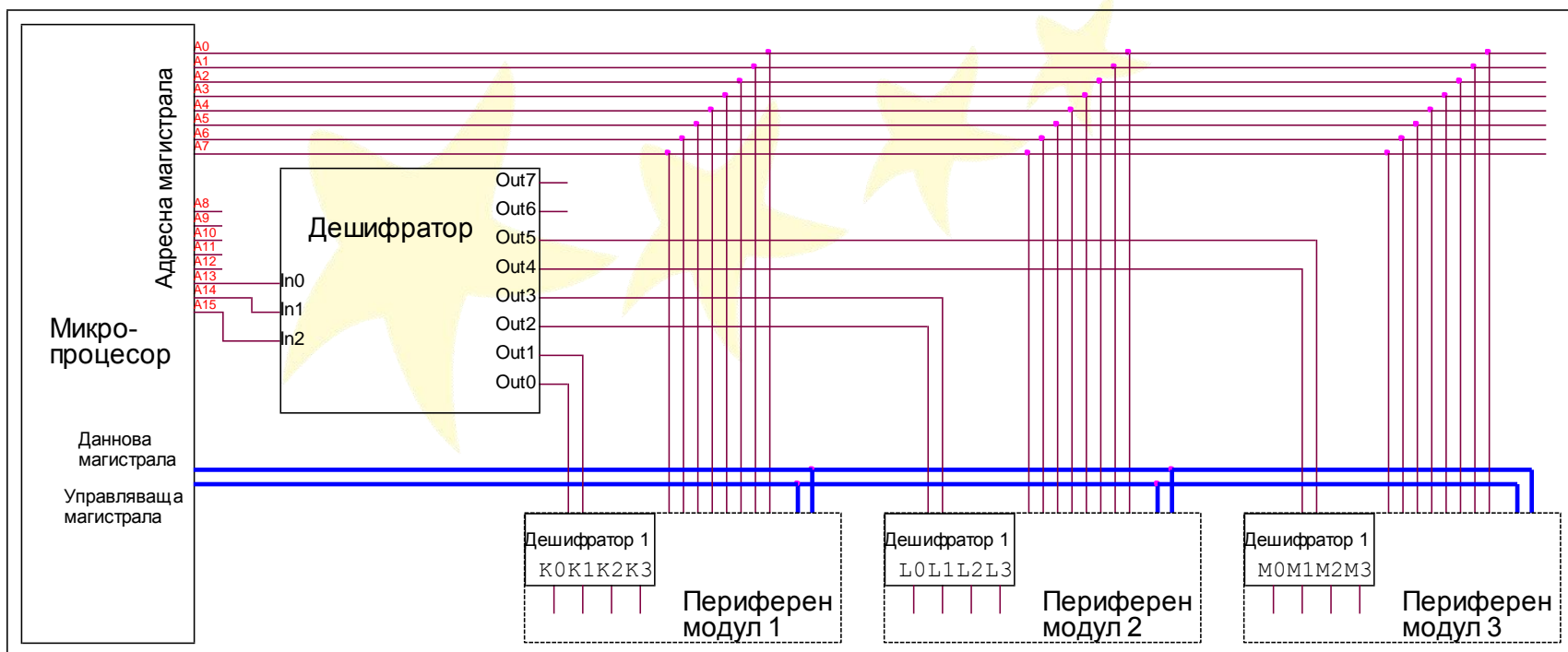


Европейски социален фонд

Обща, местна и смесена дешифрация

Смесена дешифрация - представлява разделяне на адресното поле на области чрез дешифратори в микропроцесорната система и при периферните модули. Този метод е показан на фигурата по-долу.

Микропроцесорна система



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на Оперативна програма „Развитие на човешките ресурси”, съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Пълно и непълно дешифриране

Пълно дешифриране – това е дешифриране, при което част от адресните линии отиват към периферен модул, а останалите към дешифратор.

Методът е показан на следващия слайд.

Непълно дешифриране – това е дешифриране, при което част от адресните линии отиват към периферен модул, друга част към дешифратор, а известен брой от тях са несвързани.

Методът е показан на по-следващия слайд.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

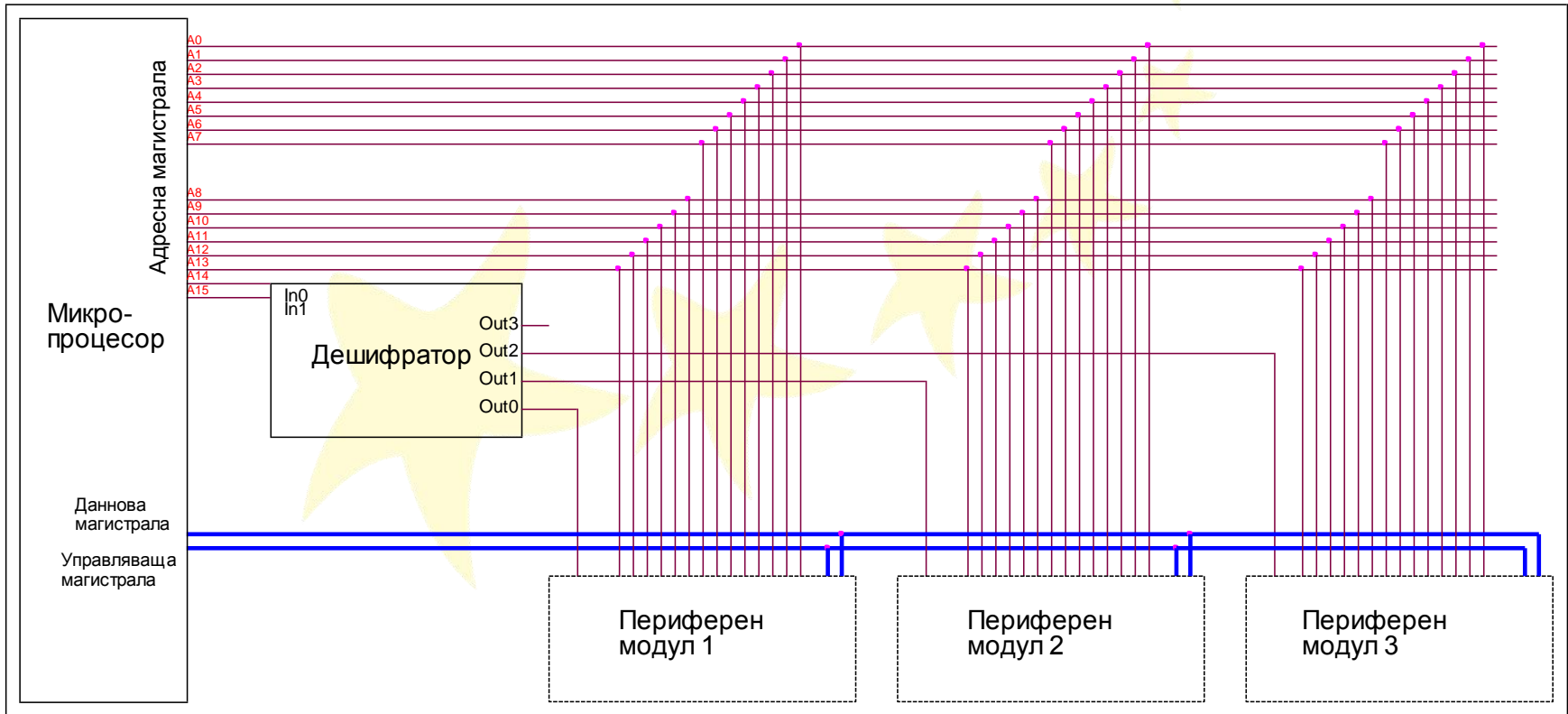
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Пълно и непълно дешифриране

Микропроцесорна система (пълно дешифриране)



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

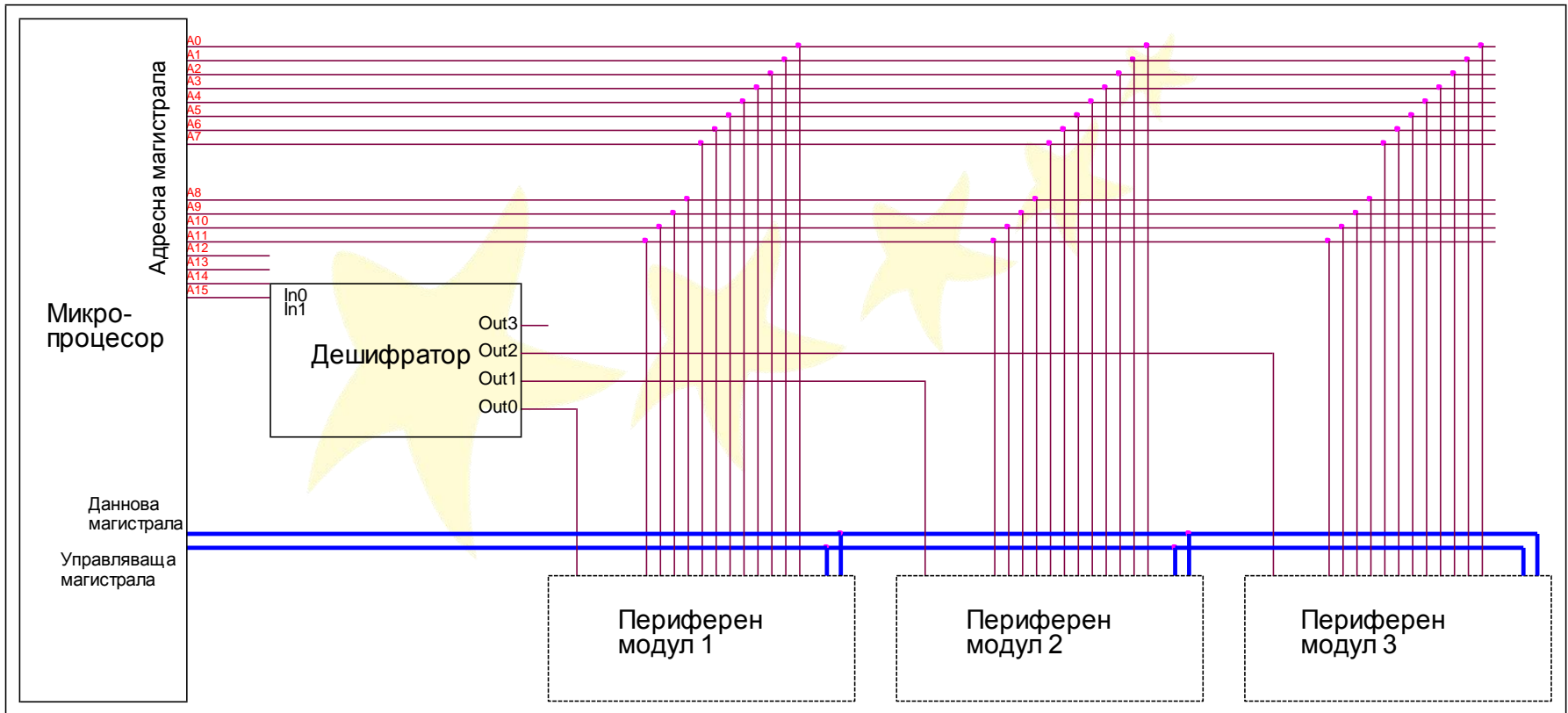
Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Пълно и непълно дешифриране

Микропроцесорна система (непълно дешифриране)



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Пълно и непълно дешифриране

Важно е да се обърне внимание, че при непълното дешифриране поради несвързаните линии адресното поле на някой от периферните модули ще се дублира, т.е. ще се появи на повече от един адрес. Този пример при 8-битово адресиране е илюстриран на следващия слайд.

Вижда се, че регистър на Периферен модул 1 ще бъде видим както от адрес 0x05, така и от адреси 0x15, 0x25, 0x35. Адресните битове A4 и A5 не са значещи и каквато и стойност да приемат, винаги ще се адресира регистърът от адрес 0x05.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

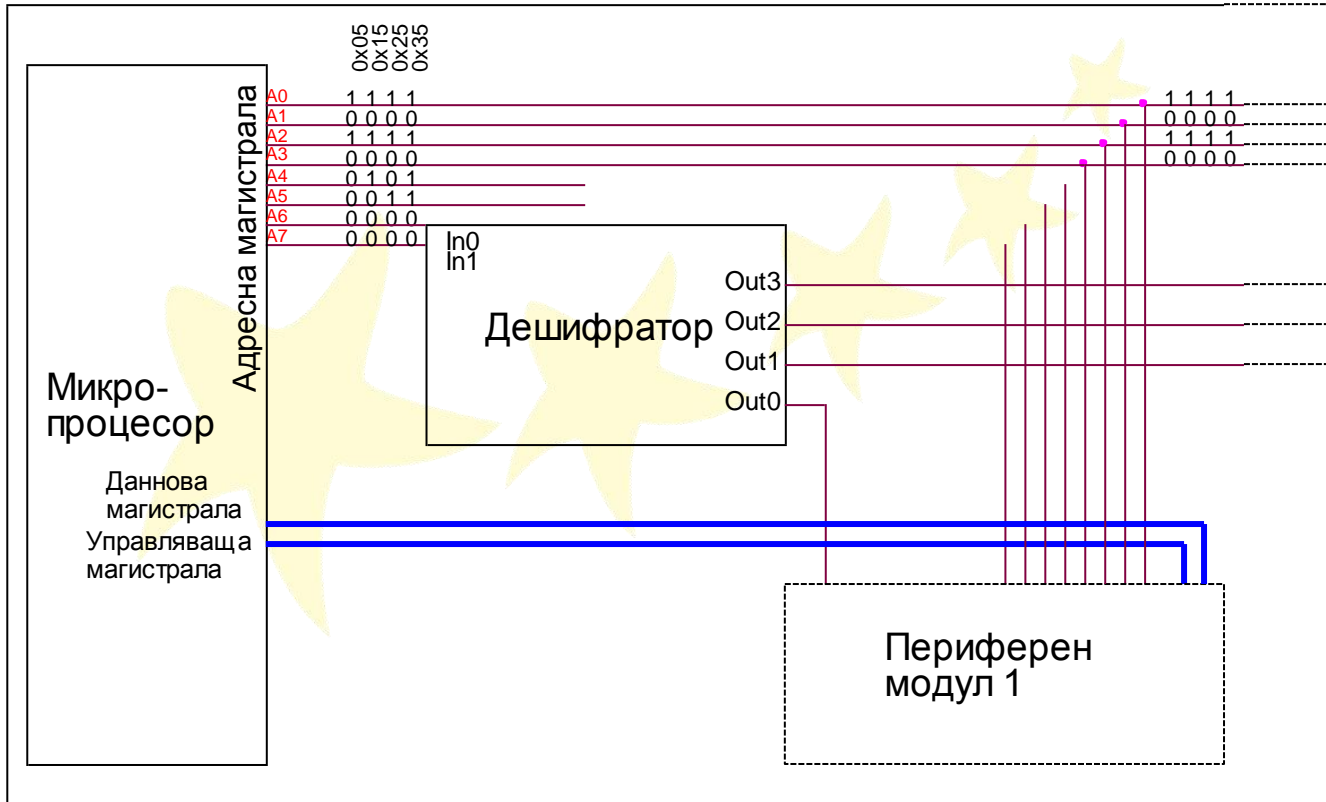
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Пълно и непълно дешифриране

Микропроцесорна система (непълно дешифриране)



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Симетрично и несиметрично дешифриране

Симетрично дешифриране – дешифриране, при което старшите няколко бита на адресното поле са свързани към входовете на дешифратор. Към изходите му са свързани отделните периферни модули и адресното поле е линейно нарастващо.

На следващия слайд е показано симетрично дешифриране, при което старшите три линии от адресната шина са свързани към входовете на тривходов дешифратор. Останалите 13 линии се свързват към периферните модули и адресират регистри от тях (до $2^{13} = 8192$ регистъра). Изходите на дешифратора служат като сигнал за избор на модул (CS – Chip Select). По този начин може да се каже, че адресното поле е разделено на 8 равни области от по 8 kB всяка. След последния адрес следва първия адрес на следващата област (т.е. линейно адресно поле). Например след последния адрес на RAM паметта $0x1FFF$ следва начален адрес на незаета област $0x1FFF + 1 = 0x2000$.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

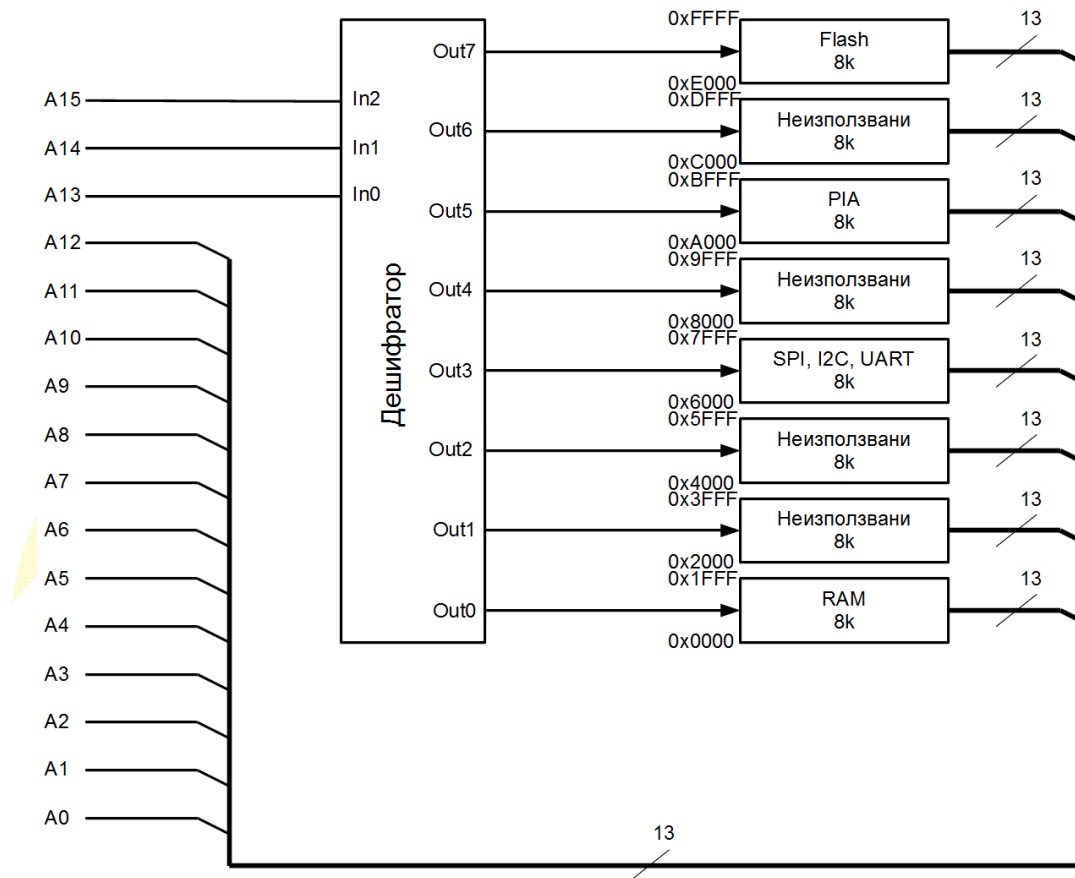
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Симетрично и несиметрично дешифриране

Симетрично дешифриране



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Симетрично и несиметрично дешифриране

Несиметрично дешифриране - дешифриране, при което старшите няколко бита на адресното поле са свързани към входовете на два или повече дешифратора. Дешифраторите трябва да са с вход за разрешаване E (Enable). Когато изходът на един дешифратор се свърже към входа за разрешаване на друг дешифратор се получава така, че дадени региони от адресното поле се разделят на подрегиони. Затова дешифрирането се казва несиметрично, защото адресното поле съдържа различни по големина области.

На следващия слайд е показан пример с 16-битово несиметрично дешифриране. Използват се два двувходови дешифратора, като вторият е разрешаван от първия с извода си E. Адресното поле е разделено на 16- и 4-килобайтови области, защото свободните адресни линии са съответно 14 и 12 на брой.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

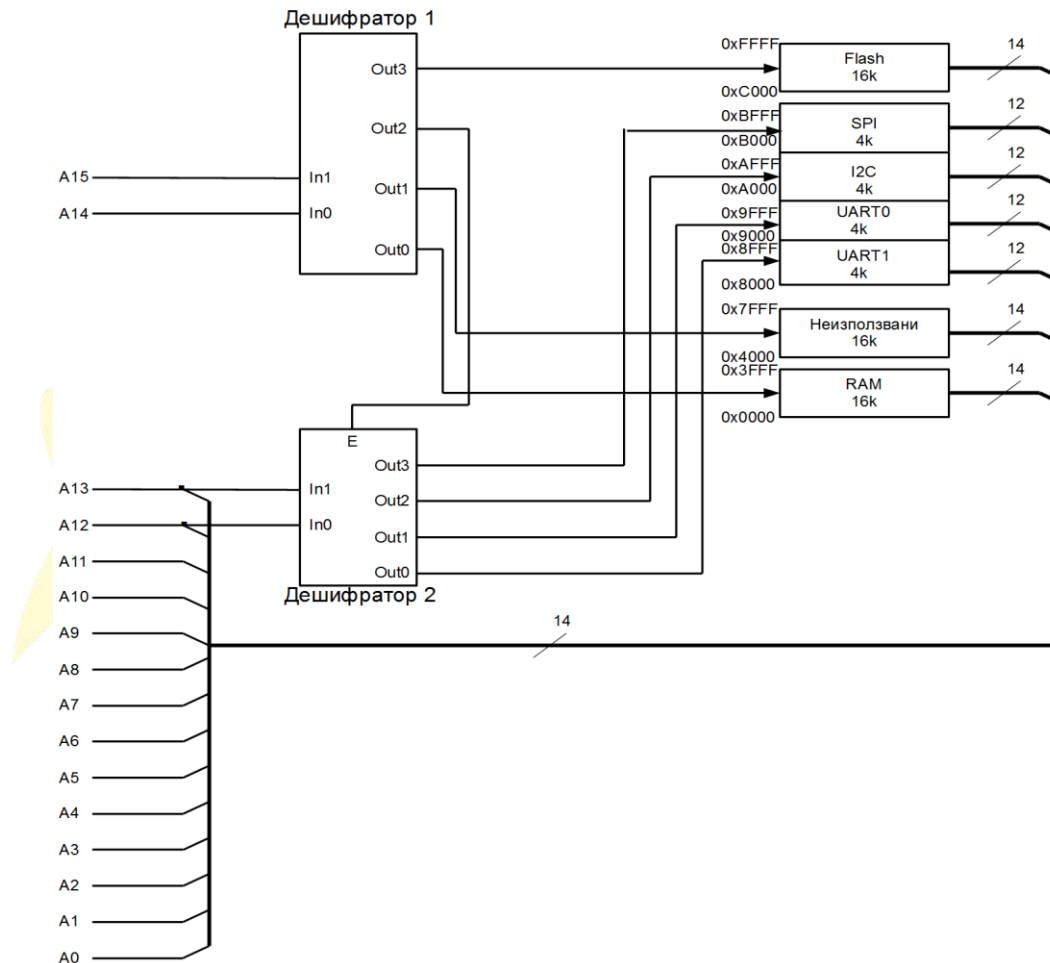
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Симетрично и несиметрично дешифриране

Несиметрично дешифриране



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

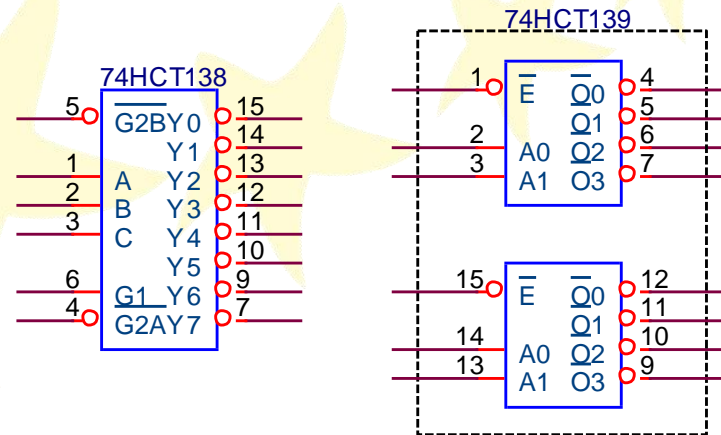
Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Симетрично и несиметрично дешифриране

В практиката за дешифриране на адресното поле може да се използват интегралните схеми 74хх138 и 74хх139. Схемата '138 е един тривходов, а '139 са два двувходови дешифратора. Тези ИС може да се използват съответно за симетрично и несиметрично дешифриране.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на Оперативна програма „Развитие на човешките ресурси”, съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Преместване адресите на периферните модули

От показаните схеми е видно, че конфигурацията на дешифраторите и адресната шина е фиксирана, а оттам следва, че и адресното поле е константно. В практиката обаче понякога се налага адресът на даден модул да бъде променен [2]. Например ако се свърже външен модул, който е с фиксиран адрес, съвпадащ с адреса на някой от вътрешните модули. Затова дешифрицията се имплементира по начин, позволяващ промени в адресното поле. Това най-често става със:

- специален дешифратор
- памет
- цифров компаратор

На следващия слайд е показана блоковата схема на μ P система, в която е използван специален дешифратор, който може да преконфигурира изходите си, като за целта се управлява с един регистър. Микропроцесорът извършва записите в него. Често за записа в него има специална инструкция.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

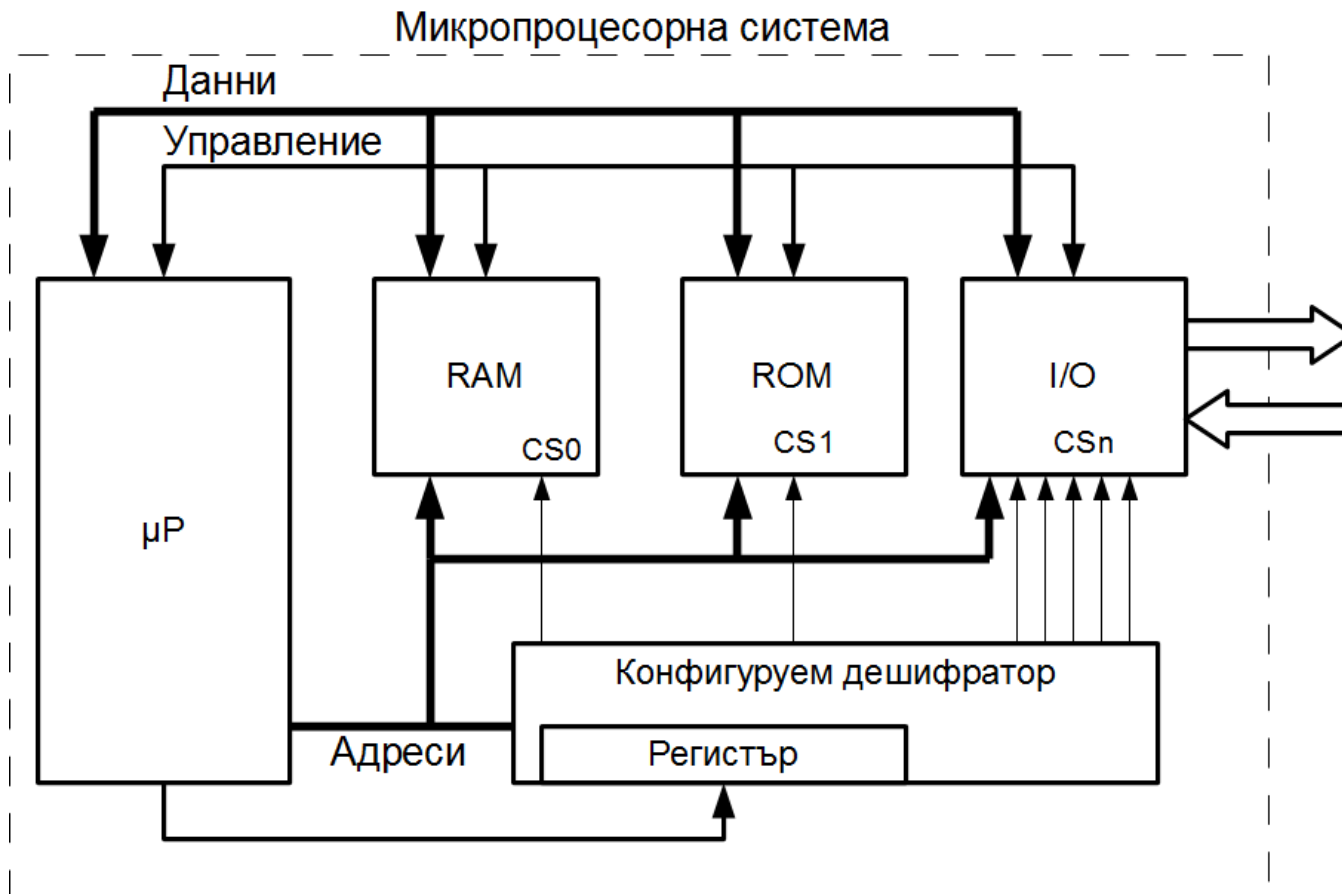
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Преместване адресите на периферните модули



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



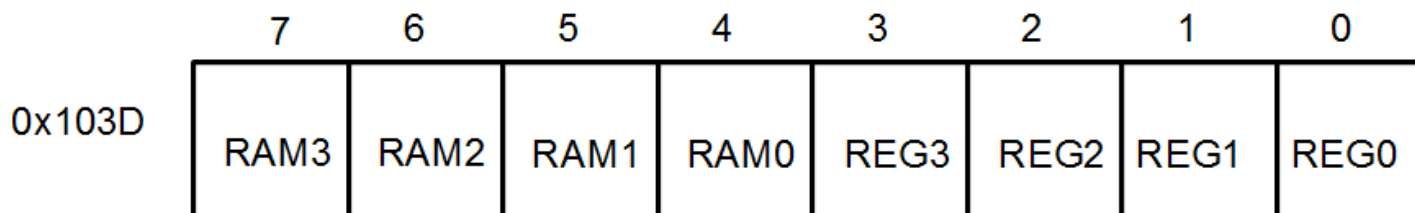
Европейски социален фонд

Преместване адресите на периферните модули

Микроконтролерът на Motorola M68HC11 може да премества дадени области от адресното си поле [3]. Това става с помощта на регистъра INIT. Той е показан по-долу. Старшата тетрада отговаря за адресите на RAM паметта, а младшата – за конфигурационните регистри.

Ако битове RAM0 ÷ RAM3 са нули, то RAM паметта ще се намира на адреси 0x0000 ÷ 0x00FF. Ако RAM0 ÷ RAM3 са единици, то RAM паметта ще се намира на адреси 0xF000 ÷ 0xF0FF.

Аналогично ако битове REG0-REG1-REG2-REG3 са съответно 1-0-0-0, то конфигурационните регистри ще се намират на адреси 0x1000 ÷ 0x103F. Ако REG0 ÷ REG3 са единици, то регистрите ще се намират на адреси 0xF000 ÷ 0xF03F.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Контрол на отделни битове

В програмирането на микроконтролерите много често се използват операции за промяна състоянието на отделни битове в даден регистър. За да се промени само желанния бит, а останалите да са незасегнати, трябва да се извършат три операции в следната последователност:

- четене на регистъра
- промяна на желанния бит
- запис в регистъра

или т.нар. read-modify-write операция. За да се избегнат всичките тези стъпки, проектантите на микроконтролери са измислили начин за **контрол на отделните битове (bit-banding)**, който става само с една операция[4]. На следващия слайд е илюстриран този метод.



Европейски съюз

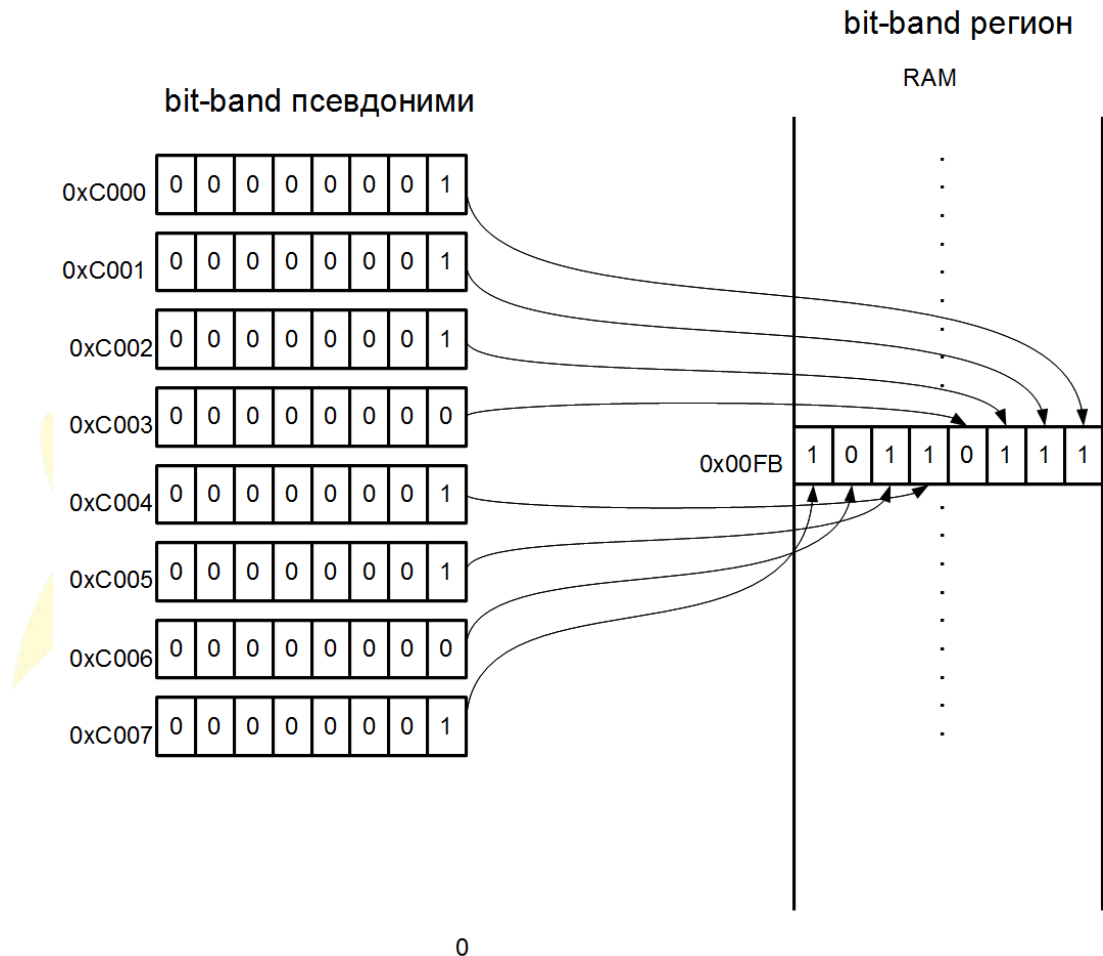
ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Контрол на отделни битове



0



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд

Контрол на отделни битове

Bit-band регион – част от адресното поле, която съдържа регистри с възможност за контрол на отделните им битове. Тези регистри може да са части от RAM паметта, регистри със специални функции или контролни регистри на периферни модули.

Bit-band псевдоним (alias) – част от адресното поле, в която даден регистър отговаря на един единствен бит от друг регистър, разположен в bit-band региона.

Записвайки числото 0x00 или 0x01 в псевдонимен регистър, ще установим даден бит в 0 или 1 от регистър в bit-band региона. Обикновено адреса на псевдонимния регистър е **свързан чрез формула** с адреса и позицията на бита от регистъра в bit-band региона.



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Литература

1. Михов Г., Цифрова схемотехника, ТУ-София, 1999.
2. ARM, Application note 88, DAI0088A, 2001
3. Freescale Semiconductor, M68HC11 Reference Manual, 2007
4. ARM, Application note 179, DAI0179B, 2007.

Външни връзки

- a. <http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.dai0179b/CHDJHIDF.html>
- b. http://www.freescale.com/files/microcontrollers/doc/data_sheet/M68HC11E.pdf
- c. <http://infocenter.arm.com/help/topic/com.arm.doc.dai0179b/AppsNote179.pdf>



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!



Европейски социален фонд