

МИКРОПРОЦЕССОРНА ТЕХНИКА

ЛЕКЦИЯ #9

Интерфейси на HC11

Портове в HC11. Паралелен интерфейс

Общо 5 (пет) I/O порта (A,B,C,D,E) за всички ЕМК от фамилията M68HC11 (E-серия) – до 38 използвани линии в зависимост от избрания режим на работа.

Порт	I изводи	O изводи	I/O изводи	Съвместени функции
A	3	3	2	Таймер
B	-	8	-	Адреси A ₈ -A ₁₅ (MSB)
C	-	-	8	Адреси A ₀ -A ₇ (LSB) Данни (D ₀ -D ₇)
D	-	-	6	SCI, SPI
E	8	-	-	АЦП

Функциите на съответните изводи ЗАВИСЯТ ОТ РЕЖИМА на работа.

При Reset изводите могат да имат съответно състояние, различно от определените им работни функции.

Всеки извод се установява в определено логическо ниво (0,1) или в H.I.

Интерфейси на HC11

Портове в HC11 - Порт А (PORTA)

Използват се от таймерната система, както и като изводи с общо предназначение, съответно:

- 3 входни извода;
- 3 изходни извода;
- 2 двупосочни I/O извода (конфигурират се допълнително).

PORTA

Address:	\$1000							
	Bit 7	6	5	4	3	2	1	Bit 0
Read:	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
Write:								
Reset:	I	0	0	0	I	I	I	I
Alternate function:	PAI	OC2	OC3	OC4	IC4/OC5	IC1	IC2	IC3
And/or:	OC1	OC1	OC1	OC1	OC1	—	—	—

I = Indeterminate after reset

PACTL

Address:	\$1026							
	Bit 7	6	5	4	3	2	1	Bit 0
Read:	DDRA7	PAEN	PAMOD	PEDGE	DDRA3	I4/O5	RTR1	RTR0
Write:								
Reset:	0	0	0	0	0	0	0	0

Интерфейси на HC11

Портове в HC11 - Порт А (продължение)

Описание на битовете за определяне посоката на PA3, PA7 в регистъра РАCTL:

DDRA7 - Определя посоката на бит PA7

0 – ВХОД;

1 – ИЗХОД.

PA7 се ползва като вход за Пулс-Акумулатора (РА), като ОС или като такъв с общо предназначение.

DDRA3 - Определя посоката на бит PA3

0 – ВХОД;

1 – ИЗХОД.

Интерфейси на HC11

Портове в HC11 - Порт В (PORTB)

- В режими Single-chip (ЕМК) или Bootstrap – ИЗХОДИ с общо предназначение;
- В режими Expanded (МП) или Test – старши АДРЕСИ (A_8-A_{15}) - ИЗХОДИ.

PORTB

Address: \$1004

Bit 7 6 5 4 3 2 1 Bit 0

Single-chip or bootstrap modes:

Read:	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
Write:								
Reset:	0	0	0	0	0	0	0	0

Expanded or special test modes:

Read:	ADDR15	ADDR14	ADDR13	ADDR12	ADDR11	ADDR10	ADDR9	ADDR8
Write:								
Reset:	0	0	0	0	0	0	0	0

Интерфейси на HC11

Портове в HC11 - Порт С (PORTC)

- В режими Single-chip (ЕМК) или Bootstrap – ВХОДОВЕ в състояние H.I. (битовете от регистър DDRC установени в '0');
- В режими Expanded (МП) или Test – мултиплексирани младши АДРЕСИ (A₀-A₇) / ДАНИИ. Посока на данните – от DDRC.

PORTC

Address: \$1003

Bit 7 6 5 4 3 2 1 Bit 0

Single-chip or bootstrap modes:

Read:	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
Write:								

Reset: Indeterminate after reset

Expanded or special test modes:

Read:	ADDR7	ADDR6	ADDR5	ADDR4	ADDR3	ADDR2	ADDR1	ADDR0
Write:	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

Reset: Indeterminate after reset

Интерфейси на HC11

PORTCL

Address:	\$1005							
	Bit 7	6	5	4	3	2	1	Bit 0
Read:	PCL7	PCL6	PCL5	PCL4	PCL3	PCL2	PCL1	PCL0
Write:	PCL7	PCL6	PCL5	PCL4	PCL3	PCL2	PCL1	PCL0
Reset:	Indeterminate after reset							

Регистър PORTCL. Асоцииран регистър към Порт С

В режим МП – като външно адресируем. Участва в handshake механизма.

Регистър DDRC

DDRC[7:0] - определят посоката на предаване на данни в Порт С

0 – вход; 1 – изход;

Във варианта на H.I. изходен handshake режим, съответните DDRC битове следва да се нулират.

DDRC

Address:	\$1007							
	Bit 7	6	5	4	3	2	1	Bit 0
Read:	DDRC7	DDRC6	DDRC5	DDRC4	DDRC3	DDRC2	DDRC1	DDRC0
Write:	DDRC7	DDRC6	DDRC5	DDRC4	DDRC3	DDRC2	DDRC1	DDRC0
Reset:	0	0	0	0	0	0	0	0

Интерфейси на HC11

Портове в HC11 - Порт D (PORTD)

Използва само 6 бита – от 0 до 5.

Във всички режими битове D[5:0] са:

- I/O с общо предназначение;
- свързани с подсистемите за сериен интерфейс SCI или SPI (алтернативни портови функции).

При Reset - D[5:0] → входове с H.I. (битовете от съответния регистър DDRD са нулирани).

Address:	\$1008							PORTD
	Bit 7	6	5	4	3	2	1	Bit 0
Read:	0	0	PD5	PD4	PD3	PD2	PD1	PD0
Write:								
Reset:	—	—	Indeterminate after reset					
Alternate Function:	—	—	PD5 SS	PD4 SCK	PD3 MOSI	PD2 MISO	PD1 Tx	PD0 RxD

Интерфейси на HC11

Портове в HC11 – Порт D (продължение)

Регистър DDRD

D [7:6] – не се ползват (винаги се четат “0” от тях);

DDRD[5:0] – за определяне посоката на данните в порт D;

0 - вход;

1 - изход.

При DDRD5=“1” и MSTR=“1” от SPCR извод $\overline{PD5/SS}$ е с общо предназначение.

Address:	\$1009							DDRD
	Bit 7	6	5	4	3	2	1	Bit 0
Read:			DDRD5	DDRD4	DDRD3	DDRD2	DDRD1	DDRD0
Write:								
Reset:	0	0	0	0	0	0	0	0

Интерфейси на HC11

Портове в HC11 – Порт E (PORTE)

Порт E се ползва като:

- статични входове с общо предназначение;
- входове на системата за АЦП.

Част от изводите могат да се ползват като входове с общо предназначение, останалите – като АЦП входове.

PORTE не следва да се чете по време на Sample периода от аналого-цифровото преобразуване.

Address: \$100A		PORTE							
	Bit 7	6	5	4	3	2	1	Bit 0	
Read:	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
Write:									
Reset:	Indeterminate after reset								
Alternate Function:	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	

Интерфейси на HC11

“Handshake” протокол /паралелен интерфейс/

Възможни (1) опростена (строб) и (2) пълна “handshake” функции на портове В и С в режим Single-chip (EMK).

▪ **Опростен строб-режим** - порт В са изходи и се стробират (установяват) по ниво , а порт С се чете по фронт като вход. Двете функции се изпълняват едновременно.

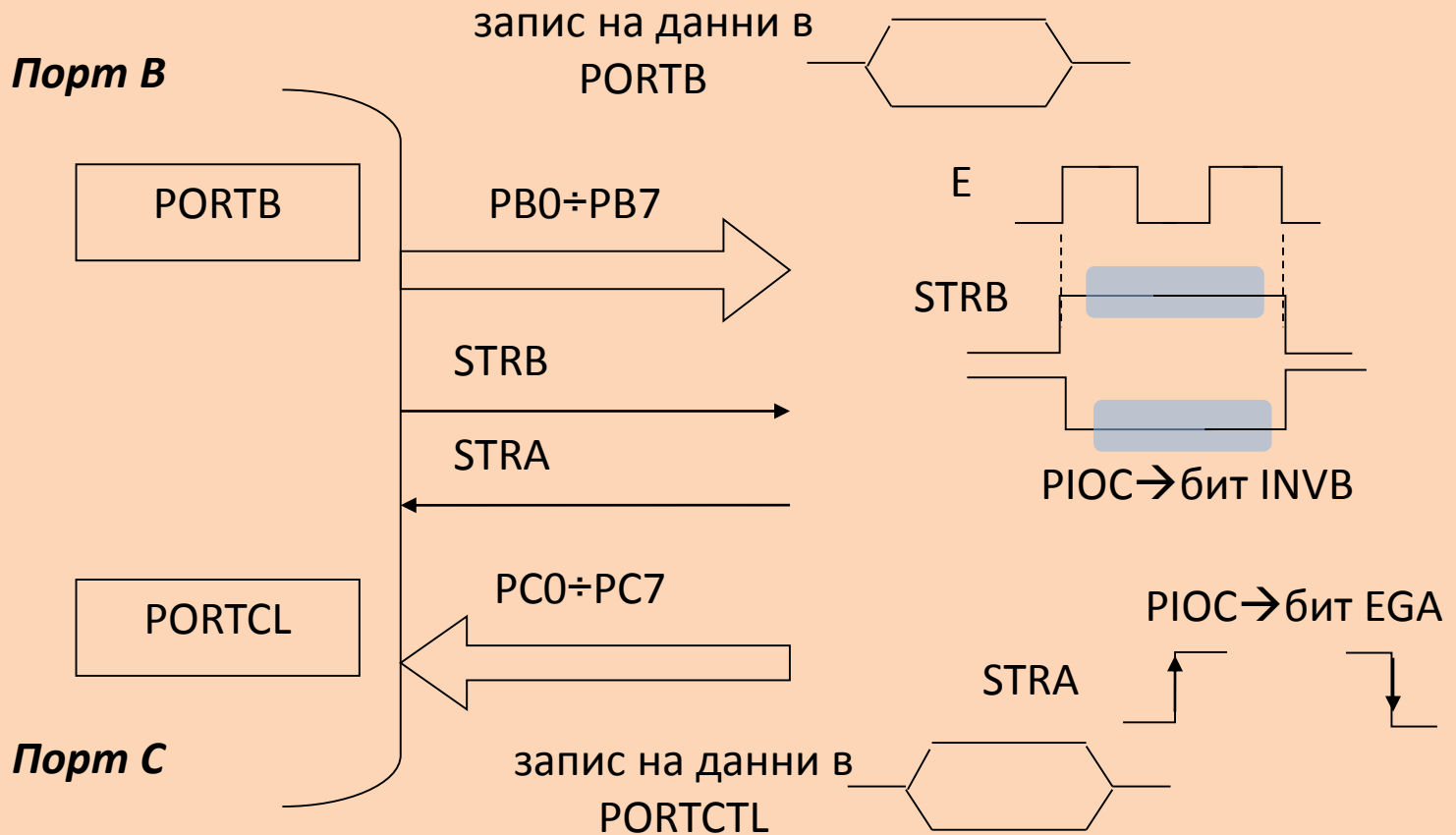
>> Изходът STRB се установява в единица в рамките на 2 (два) E-clock цикъла при запис към регистъра (PORTB).

>> Бит INVB от регистъра PIOC определя полярността /нивото/ на импулсите STRB (low/high).

○ Нивата на порт С се запомнят в регистъра (PORTCL) при всяко установяване (фронт) на входа STRA. Флагът за избор на установяващ фронт на STRA и битовете за разрешаване на прекъсване са разположени в регистъра PIOC. При това (в строб-режим) всички или някои от изводите от порт С могат да се ползват като I/O с общо предназначение.

Интерфейси на HC11

“Handshake” протокол /паралелен интерфейс/ Опростен строб-режим (PIOC→HNDS=0)



Интерфейси на HC11

“Handshake” протокол /паралелен интерфейс/

- **Пълни “handshake” режими** (входен, изходен, изходен с H.I.) - използва изводите от порт C и линиите STRA,STRB.

STRA е вход, установяващ по фронт, STRB е “handshake” изход. Контролни и разрешаващи битове – в регистъра PIOC.

>> Пълен входен “handshake” режим - ЕМК използва STRB да сигнализира външната система, че е готов да приема данни през порт C. Данните се запомнят в регистър PORTCL при подаване на потвърждение (фронт) по STRA от външната система, след което STRB се нулира. ЕМК реактивира STRB след прочитане на данните от регистър PORTCL.

При този режим на порт C може да има входни и изходни сигнали в зависимост от използването на регистри PORTC/PORTCL.

Интерфейси на HC11

“Handshake” протокол – продължение

>> Пълен изходен “handshake” режим - ЕМК записва данни в PORTCL, който установява изхода STRB за готовност на данните за четене. Външната система чете данните от порт C и установява входа STRA по фронт за потвърждение, че данните са получени.

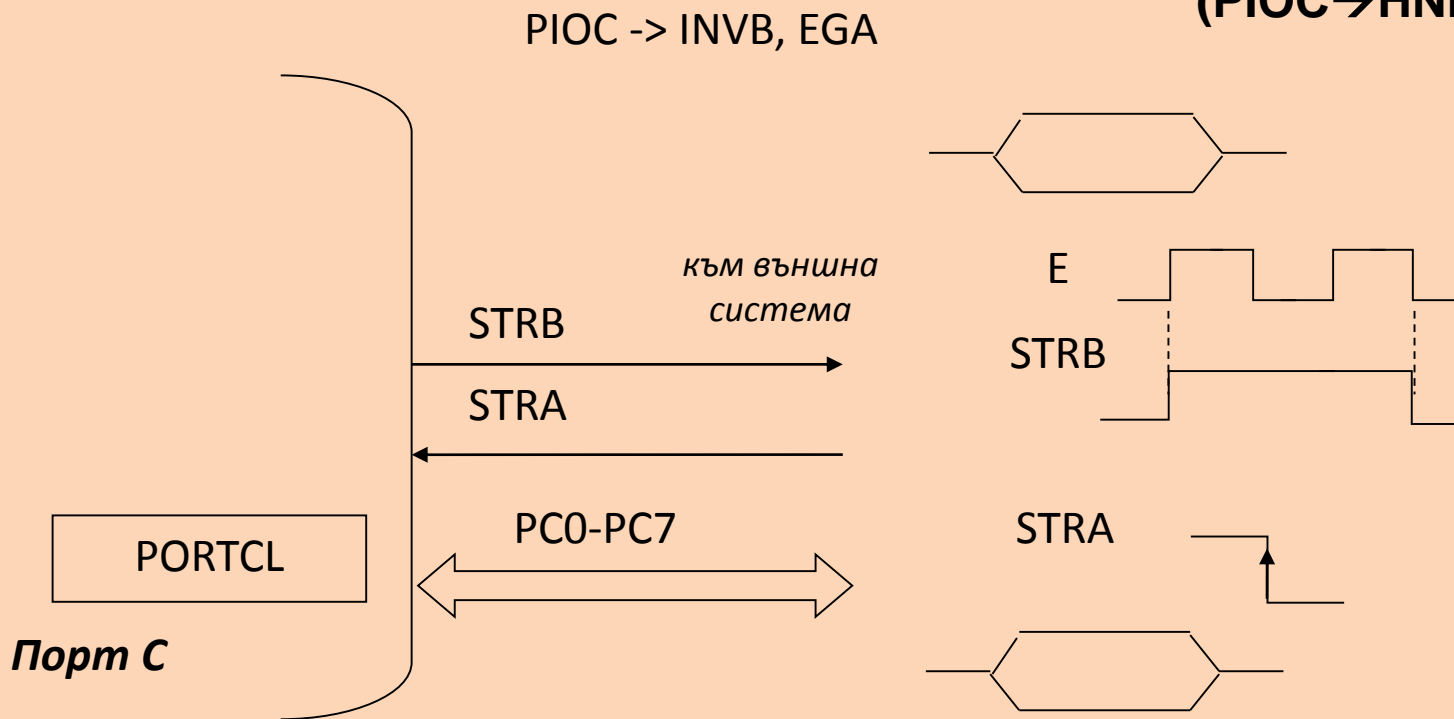
>> **H.I. (3-state) изходен “handshake” режим** - линиите, определени като H.I. handshake изходи се конфигурират като входове чрез нулиране на съответните битове от регистъра DDRC. ЕМК записва данни в PORTCL и установява STRB. Външната система отговаря чрез активиране на входа STRA, с което се разрешават данните във всички изводи от порт C (през PORTC) като изходи, независимо от стойностите на битовете в регистъра DDRC. След фронта на сигнала по STRA, ЕМК нулира STRB. **STRA – като сигнал OE към буферна схема.**

В този случай не се допуска част от изводите на порт C да бъдат ползвани като статични входове.

Интерфейси на HC11

“Handshake” протокол /паралелен интерфейс/ Пълен (входен/изходен/3-state) handshake режим

(PIOC→HNDS=1)



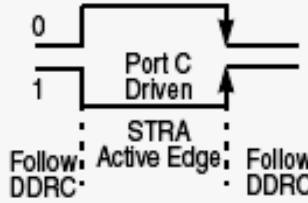


- запис на данни в PORTCTL (входен, PIOC→OIN=0)
- извеждане на данни от PORTCTL (изходен, PIOC→OIN=1)
- извеждане на данни от PORTCTL (изходен 3-state) със съответни битове в DDRC=0

Интерфейси на HC11 - PIOС регистър

Паралелни “handshake” функции – CAMO в режим ЕМК.

PIOС – регистър от който може да се чете и записва (бит 7 - само за четене).

	STAF Clearing Sequence	Битове от ргистър PIOС				Порт С	Порт В
		HNDS	OIN	PLS	EGA		
Опростен Handshake режим	Чете PIOС (STAF=1) след това чете PORTCL	0	X	X		Входни линии – запис в PORTCL по фронт на STRA	STRB импулс при запис в PORTB
Пълен ВХОДЕН Handshake режим	Чете PIOС (STAF=1) след това записва в PORTCL	1	0	0 – активен по нивото на STRB до идване на фронт по STRA			“Нормални” изходи незасегнати при handshake режимите
Пълен ИЗХОДЕН Handshake режим	Чете PIOС (STAF=1) след това записва в PORTCL	1	1	1 – STRB активен в 2 Е цикъла		Изходи при STRA в активно ниво / повтаря DDRC при неактивно ниво на STRA	

Интерфейси на HC11

“Handshake” протокол – продължение. Регистър PIOC

Address:	\$1002							PIOC
	Bit 7	6	5	4	3	2	1	Bit 0
Read:	STAF	STAI	CWOM	HNDS	OIN	PLS	EGA	INVB
Write:								
Reset:	0	0	0	0	0	U	1	1

U = Unaffected

STAF - Strobe A Interrupt Status flag (флаг за прекъсване относно STRA)

STAF=1 при постъпване на фронт на STRA. Нулира се при четене от PIOC и STAF=1, последвано от четене от PORTCL (*опростен стробиращ* или *пълен входен handshake* режим) или при запис в PORTCL (*изходен handshake* режим).

- 0 - липса на фронт на STRA
- 1 - наличен фронт на STRA

STAI - Strobe A Interrupt Enable mask (маска за прекъсване по STRA)

- 0 - STAF не предизвиква заявка за прекъсване
- 1 - STAF предизвиква заявка за прекъсване

CWOM - Port C Wired-OR Mode Bit (порт C бит за режим “жично-ИЛИ”) - засяга едновременно всички 8 извода на порт C)

- 0 - изходите на порт C са “нормални” комплементарни CMOS изходи
- 1 - изходите на порт C са изходи от типа ОД.

Интерфейси на HC11

“Handshake” протокол – продължение. Регистър PIOC

HNDS - Handshake Mode Bit (тип handshake режим)

- 0 - обикновен (опростен) строб режим
- 1 - пълен входен или изходен handshake режим

OIN - Output/Input Handshake Select Bit (входен/изходен handshake режим)

→ В сила само при HNDS=“1”.

- 0 - входен handshake режим
- 1 - изходен handshake режим

PLS - Pulsed/Interlocked Handshake Operation Bit

→ В сила само при HNDS=“0”. При избран “interlocked handshake”, STRB е активен до “прихващане” на фронт от STRA.

- 0 - Interlocked handshake
- 1 - Pulsed handshake (STRB=“1” за 2 E-clock цикъла)

EGA - Active Edge for Strobe A Bit

- 0 - STRA по заден фронт, “1” активира изходите от порт C (изходен handshake)
- 1 - STRA по преден фронт, “0” активира изходите от порт C (изходен handshake)

INVB - Invert Strobe B Bit

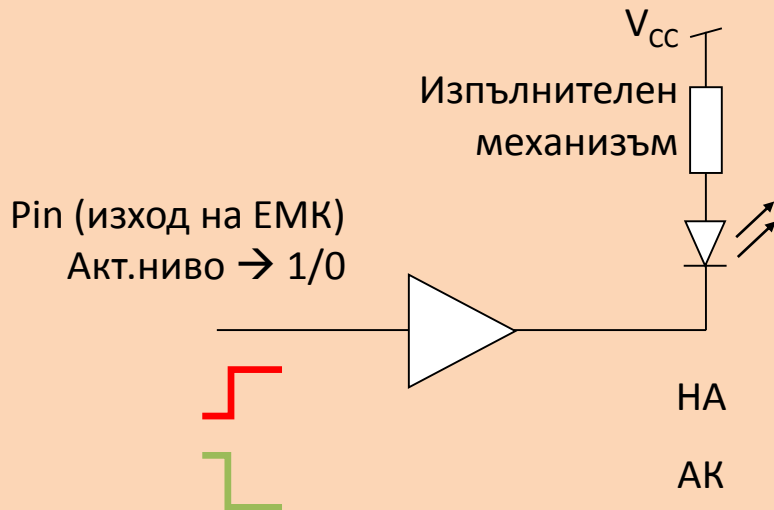
- 0 - активно ниво “0” на STRB
- 1 - активно ниво “1” на STRB.

Особености на изходните шини

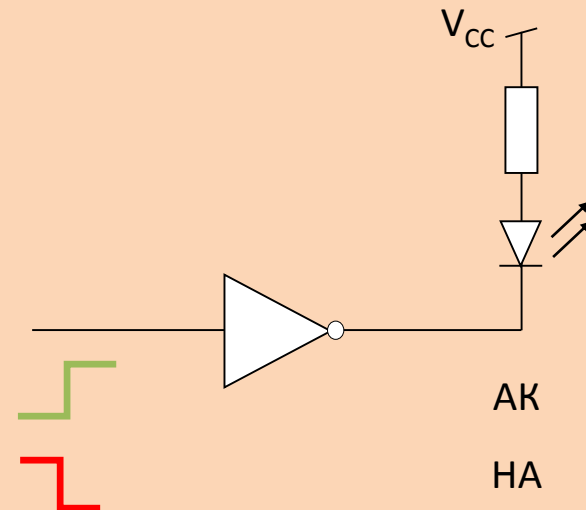
- Активно изходно ниво (low/high).
- RESET – неактивно състояние за ЕМК.

Електрически схеми при свързване към изходните шини на:

ЛС – повторител



ЛС – инвертор

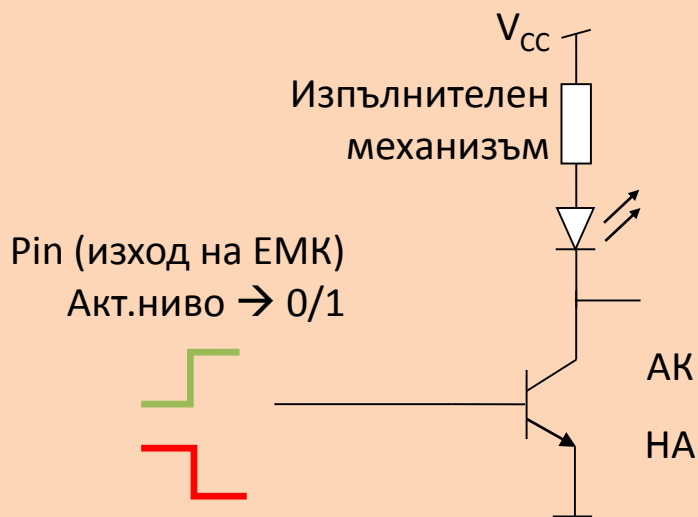


RESET – задължително изключен!

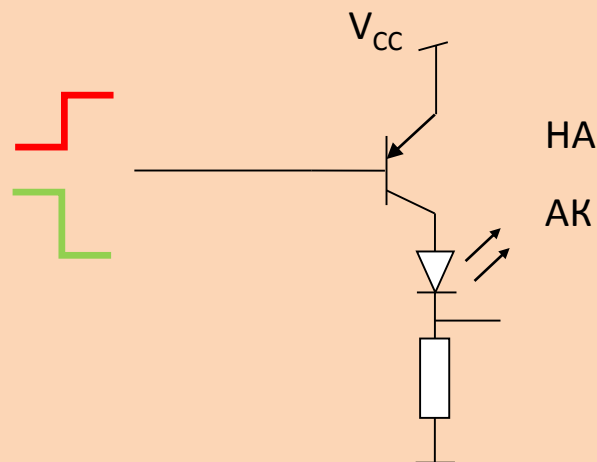
Особености на изходните шини

Електрически схеми при свързване към изходните шини на:

БТ (NPN)



БТ (PNP)



RESET – задължително изключен!

Интерфейси на HC11

Аналогов интерфейс

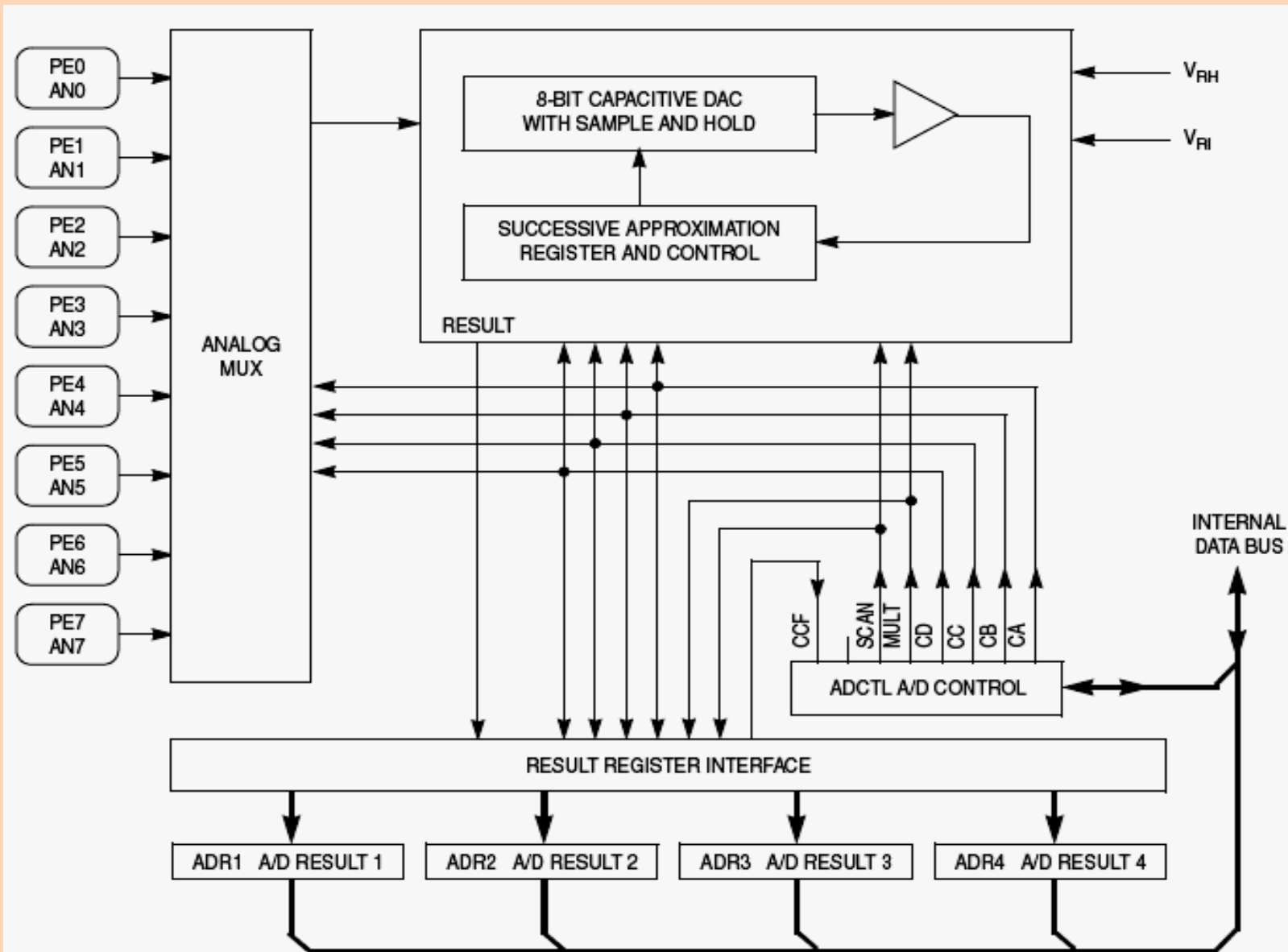
Системата за АЦ преобразуване (A/D система) използва:

- АЦП с последователна апроксимация и редистрибуция на заряда за преобразуване на аналоговия сигнал в цифров;
- 8-канална система (съответно 8/16-канален AMUX), респ. 8-битова точност на преобразуване;
- не изисква външна S/H (Sample & Hold) верига поради ползване техника на разпределение на заряд;
- АЦП може да е синхронизиран от системния (E clock) или от вътрешен RC осцилатор.

Състав:

- аналогов мултиплексор (AMUX);
- АЦП;
- верига за цифров контрол;
- структура за запомняне резултата от преобразуването.

Аналогов интерфейс. Блокова схема на АЦП



Аналогов интерфейс

□ АЦП: Преобразуване - извършва се за сигнала от съответния аналогов вход, избран от мултиплексора (AMUX).

Съдържа: (1) капацитивен масив: DAC-digital-to-analog capacitor; (2) компаратор; (3) регистър за последователна апроксимация (SAR: Successive Approximation Register).

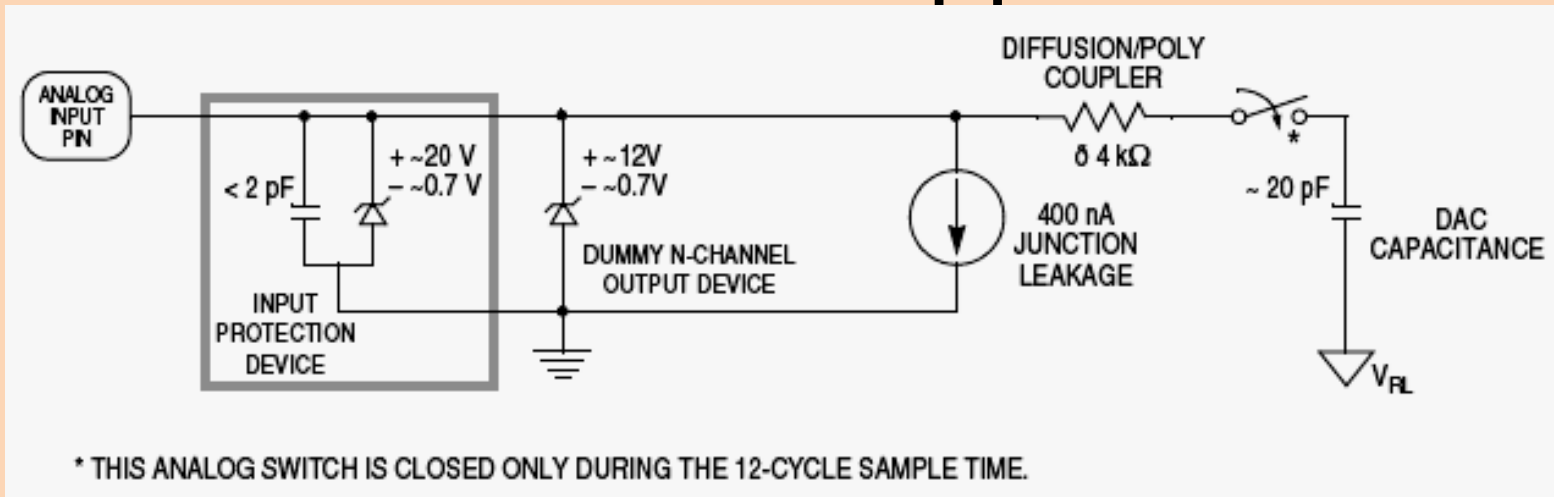
➤ Принцип на извършване на преобразуването – последователност от операции сравнение, започващо от бита MSB. Всяко сравнение определя стойността на съответния бит в регистъра SAR.

DAC масивът извършва 2 функции: *действа като S/H верига, осигурява напрежението за сравнение по време на апроксимацията.*

Резултатът от сравнението се съхранява в SAR и след приключване процеса на АЦП се прехвърля в друг регистър.

Т.нар. “charge помпа” осигурява напрежение (7-8V за време поне 100μs) на превключване към гейтовете на аналоговите ключове в AMUX. “Помпата” се разрешава от бит ADPU на регистъра OPTION.

Аналогов интерфейс



Аналогов вход – модел в Sample режим

АЦП се контролира от регистъра ADCTL. Функции:

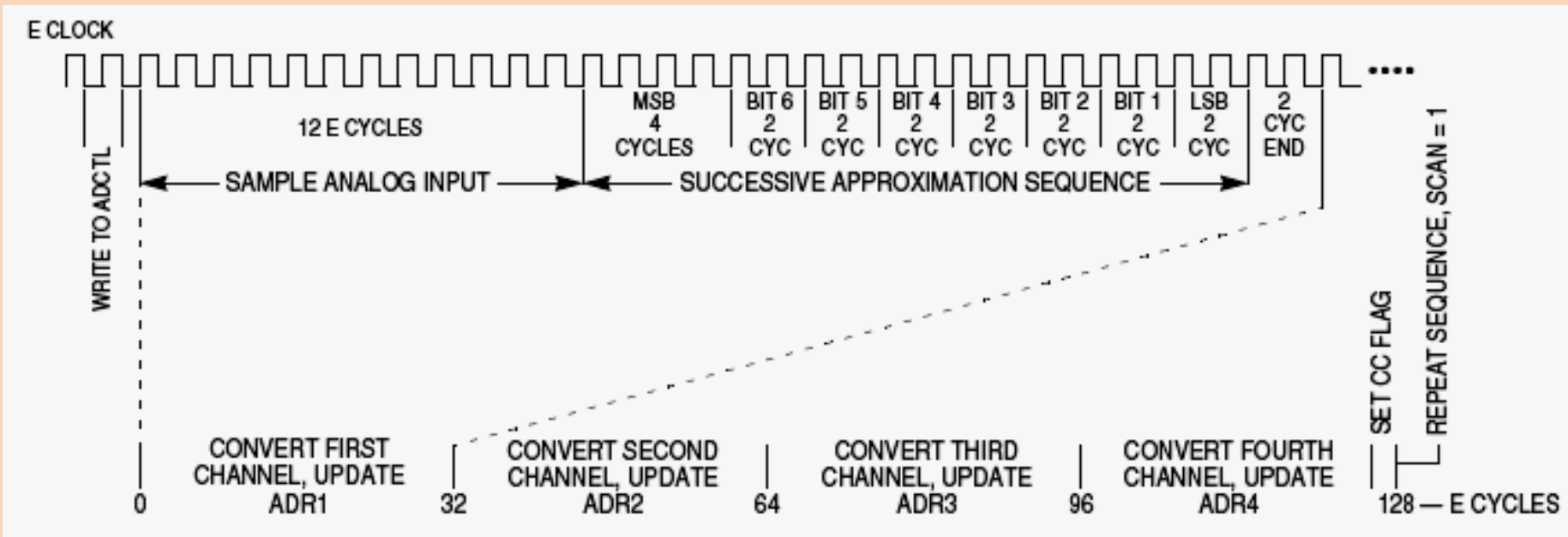
- избор на аналогов вход за преобразуване;
- показват статуса на преобразуване - дали се извършва единична или непрекъснатата конверсия;
- определя дали преобразуването е от един или от няколко канала.

Регистри за съхранение на резултата

4 бр. 8-битови регистри ADR1÷ADR4: съхраняват резултата от преобразуването. Всеки един от тях е достъпен за ЦП. Флагът (SCF) за край на преобразуването указва валидността на данните в регистрите за съхранение на резултата.

Аналогов интерфейс

- ✓ **Синхронизация** – бит CSEL (clock select) от регистъра **OPTION** определя дали АЦП използва системната (E) тактова поредица или от RC тактов генератор (задължително при честота на E < 750KHz, но чувствителен при промяна на честотата - шум).
- ✓ **Последователност на преобразуване**
АЦП извършва **винаги поредица от по 4 преобразувания** (CCF=1 след всяко 4-то преобразуване). Преобразуването може да се извършва непрекъснато (SCAN=1) или да е единично (SCAN=0).



Аналогов интерфейс

Регистър OPTION

ADPU (A/D Power-Up)

- 0 – АЦП - изключено (изключва захранването към АЦП системата);
- 1 – АЦП - включено.

CSEL - избор на тактов източник (Clock Select)

- 0 – АЦП/EEPROM ползват системния E clock;
- 1 – АЦП/EEPROM ползват RC тактов генератор.

IRQE - конфигурира IRQ активен по фронт

DLY - включва закъснение на осцилатора при запускане

- 0 - изключва закъснението (ЦП продължава изпълнението 4 цикъла след Reset);
- 1 - включва закъснение от около 4000 E-clock цикъла (стабилизира честотата на кварцовия ТГ).

CME - разрешава/забранява системата Clock Monitor;

CR[1:0] - Prescaler битове за COP системата.

Address: \$1039

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	ADPU	CSEL	IRQE ⁽¹⁾	DLY ⁽¹⁾	CME		CR1 ⁽¹⁾	CR0 ⁽¹⁾
Write:								
Reset:	0	0	0	1	0	0	0	0

1. Can be written only once in first 64 cycles out of reset in normal modes or at any time in special modes

Аналогов интерфейс

Преобразуване: начало 1 E-clock цикъл след запис на контролните битове в регистъра ADCTL (избор на канал и режим). Опорните напрежения $V_{RL} \rightarrow \$00$, $V_{RH} \rightarrow \$FF$.

Входни канали: 16 аналогови входни канала за АЦП чрез MUX (8 от E-порт от ЕМК, 3-вътрешни опорни/тест източници, 5-резервирани).

Channel Number	Channel Signal	Result In ADRx If MULT = 1
1	AN0	ADR1
2	AN1	ADR2
3	AN2	ADR3
4	AN3	ADR4
5	AN4	ADR1
6	AN5	ADR2
7	AN6	ADR3
8	AN7	ADR4
9 – 12	Reserved	—
13	$V_{RH}^{(1)}$	ADR1
14	$V_{RL}^{(1)}$	ADR2
15	$(V_{RH})/2^{(1)}$	ADR3
16	Reserved ⁽¹⁾	ADR4

Аналогов интерфейс

Режими на работа:

Единичен (single-channel, MULT=0). Варианти:

а) SCAN=0. Избраният канал се конвертира 4 последователни пъти и резултатите се съхраняват в регистри (ADR1) до (ADR4). След това очаква нова команда в регистъра ADCTL;

б) SCAN=1. Резултатът от 5-то преобразуване се съхранява в регистър (ADR1), припокривайки първото, от 6-то - в (ADR2) и т.н.

Групов (multi-channel, MULT=1). Варианти:

а) SCAN=0. Избрана група от 4 канала се преобразуват еднократно. Резултатите се записват в регистри (ADR1) до (ADR4). След това очаква нова команда в регистъра ADCTL;

б) SCAN=1. Избраната група канали се преобразува непрекъснато, като 5-то преобразуване се записва отново в регистър (ADR1), 6-то в (ADR2) и т.н.

Аналогов интерфейс

- ❖ В режими Stop, Wait – преобразуването се спира. При излизане:
 - >> от режим Wait - резултатите в изходите са валидни още след 1-то преобразуване;
 - >> от режим Stop – такт.източници са изключени, необходима е стабилизация. При изход със закъснение (DLY=1, OPTION регистър) – стабилно преобразуване, при (DLY=0) е необходимо време от поне 10ms за стабилизация и валидност на резултатите.

ADCTL - АЦП контролен/статус регистър

- Всички битове с изключение на бит 7 (статус-индикатор) и бит 6 (чете се винаги 0) могат да бъдат чет./зап. При запис в ADCTL – начало на преобразуване. За изход – отново запис (ново преобразуване, прекратява старото).

Address: \$1030		ADCTL						
	Bit 7	6	5	4	3	2	1	Bit 0
Read:	CCF		SCAN	MULT	CD	CC	CB	CA
Write:								
Reset:	0	0	Indeterminate after reset					

Аналогов интерфейс

ADCTL - АЦП контролен/статус регистър

SCF – флаг за завършване на преобразуването. Установява се в “1” и валидни данни в регистрите с резултата. При запис в ADCTL винаги се нулира и започва ново преобразуване. При непрекъснат режим се установява в “1” след първото преобразуване;

Бит 6 – чете се “0”, неизползван;

SCAN – бит непрекъснато сканиране.

-“0” - първите 4 преобразувания се извършват еднократно и се записват в изходните регистри;

-“1”- непрекъснато преобразуване.

MULT – бит за избор на режим групов/единичен.

-“0” - извършват се 4 поредни преобразувания на 1 канал, избран от битове CD до CA (битове [3:0]);

- “1” - извършва се едновременно преобразуване на 4 канала и се записват в съответните изходни регистри (всеки входен канал в един регистър).

Аналогов интерфейс

ADCTL - АЦП контролен/статус регистър (продължение)

CD,CC,CB,CA – битове за избор на канал

При избран режим MULT=1, битовете CB, CA са без значение, като битове CD и CC определят групата от 4 канала за преобразуване.

MULT=1

MULT=0

Channel Select Control Bits	Channel Signal	Result In ADRx If MULT = 1
CD:CC:CB:CA		
0000	AN0	ADR1
0001	AN1	ADR2
0010	AN2	ADR3
0011	AN3	ADR4
0100	AN4	ADR1
0101	AN5	ADR2
0110	AN6	ADR3
0111	AN7	ADR4
10XX	Reserved	—
1100	$V_{RH}^{(1)}$	ADR1
1101	$V_{RL}^{(1)}$	ADR2
1110	$(V_{RH})/2^{(1)}$	ADR3
1111	Reserved ⁽¹⁾	ADR4

Аналогов интерфейс

A/D регистри с резултата (ADR1÷ADR4)

- Съдържат 8-битов резултат от преобразуването. **Само за четене!**
- **Валидни данни** - при вдигане на флага **CCF=1** (CCF-Conversion Complete Flag, регистър ADCTL) → установява се в “1” след края на преобразуването.

Register name: Analog-to-Digital Converter Result Register 1 Address: \$1031

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Write:								

ADR1

Reset: Indeterminate after reset

Register name: Analog-to-Digital Converter Result Register 2 Address: \$1032

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Write:								

ADR2

Reset: Indeterminate after reset

Register name: Analog-to-Digital Converter Result Register 3 Address: \$1033

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Write:								

ADR3

Reset: Indeterminate after reset

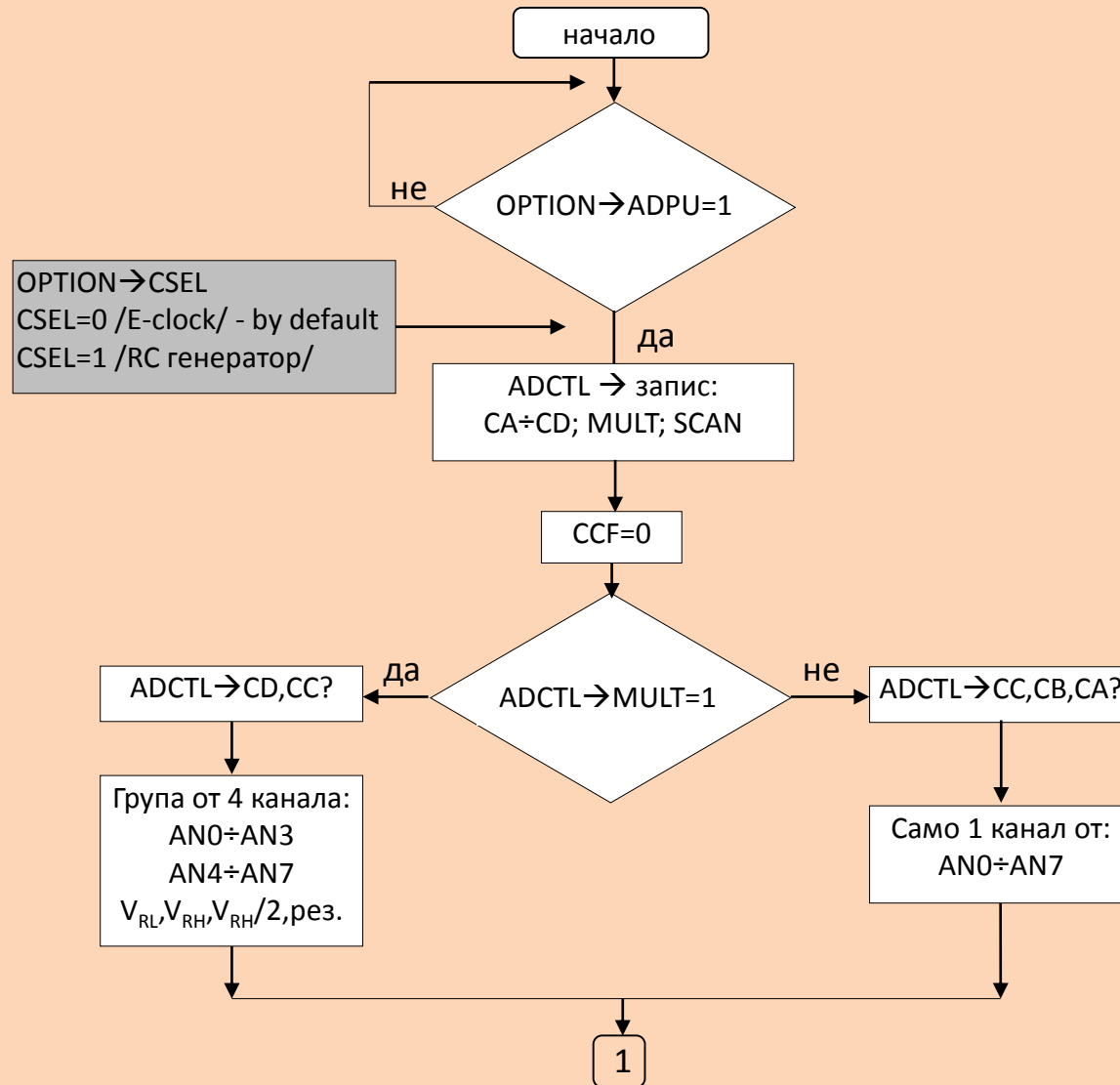
Register name: Analog-to-Digital Converter Result Register 4 Address: \$1034

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Write:								

ADR4

Reset: Indeterminate after reset

Аналогов интерфейс – алгоритъм на преобразуването (1/2)



Аналогов интерфейс – алгоритъм на преобразуването (2/2)

