

# МИКРОПРОЦЕССОРНА ТЕХНИКА

## ЛЕКЦИЯ #5

# Динамични памети – DRAMs

## (Dynamic Random Access Memories)

Общи сведения, развитие:

### □ I-во поколение:

- първа комерсиална DRAM - **1Кб чип**, схемна реализация **3-Т 3К** (Intel), **p-MOS технология**;
- **4Кб чип**, 3-Т 3К, подобрена p-MOS технология (1Poly-1Metal процес, L=10μm).

### □ II-ро поколение:

- **1-Т 3К** - 1976 г. (Mostek). Патентована за пръв път от IBM (Robert Dennard);
- n-канална технология: **n-MOS процес**, 1-Т 3К;
- реализация на обем от 1Mb и повече: вариации на технологичните процеси за реализация на запомнящия капацитет. Въвежда се **CMOS процес** (LV, SI↑).

# Динамични памети – DRAMs

## (Dynamic Random Access Memories)

### Предимства:

- максимална плътност на разполагане на ЗК;
- проста схемотехника на 1-Т ЗК – използва само n-MOS транзистори, изцяло CMOS съвместима.

### Недостатъци:

- относително невисоко бързодействие (поради липсата на ПОВ в структурата на ЗК);
- необходимост от регенерация;
- относително сложни режими на четене, запис и регенерация;
- повишени изисквания към поддържащите схеми;
- особено внимание към изграждане  $C_{зап}$  с висок специфичен капацитет (разнообразни технологии).

# Динамични памети – DRAMs

## Структурни и схемотехнични проблеми при DRAM

### □ Ранни варианти:

- шум по АШ (WL) – източник на грешки;
- небалансирани УЧЗ (SA, Sense Amplifiers) – вариативност на технологичните процеси /нестабилни параметри/;
- паразитни капацитети между BL и WL при достъп;
- насищане възм.на 2D планарни структури на  $C_{зап}$  – до 1Mb.

### □ Развитие:

- преход към **смесена NMOS+CMOS** технология: малка разс.мощност, шумозащитеност, малки (или липса на) soft errors. Промяна – при чипа 256Kb DRAM;
- static column decoding – висока  $P_K$ , но малко  $\tau_{ac}$ . Нови схеми за достъп (page mode access);
- нови, **3D структури на  $C_{зап}$  – stacked, trench** (4Mb и по-големи);
- нови диелектрични материали –  $Si_3Ni_4$ , ON, ONO,  $Ta_2O_5$  и др.
- подобрени (диференциални) структури на УЧЗ;
- презаряд до  $V_{DD}/2$  на BL.

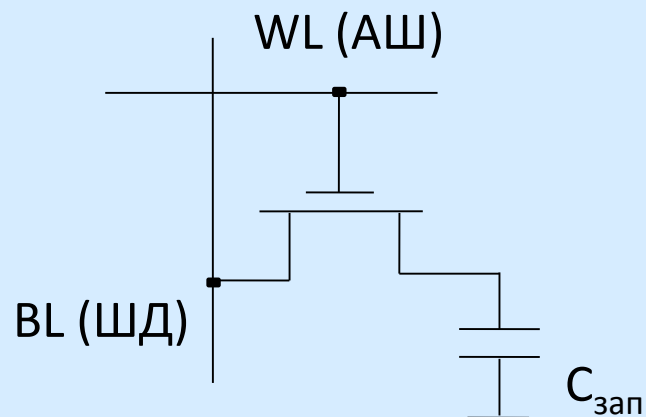
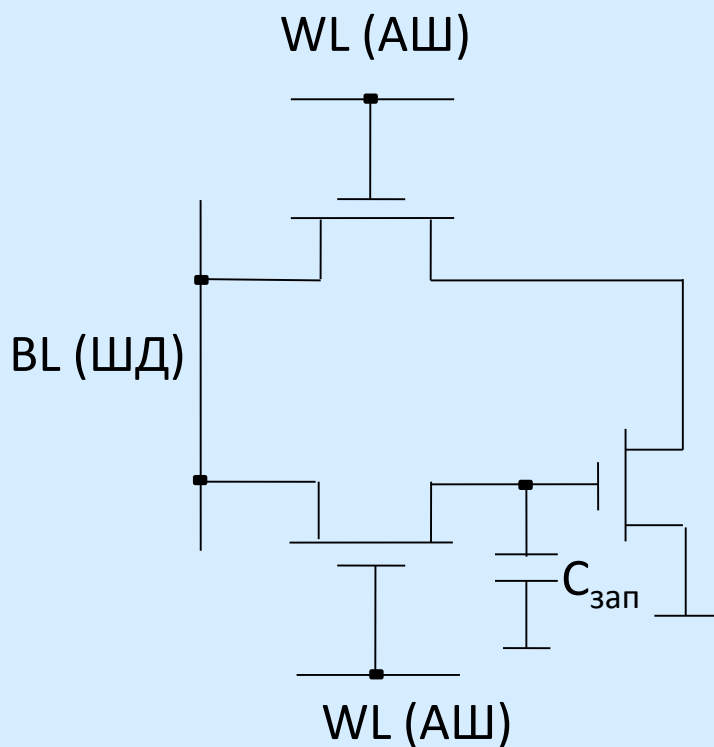
# Динамични памети – DRAMs

## Развитие на схемотехниката на 3К в DRAM

3-Т 3К



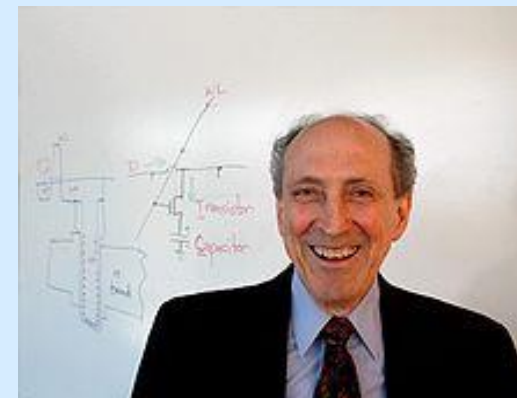
1-Т 3К



## Робърт Денарт /Robert H. Dennard/

*от Wikipedia, the free encyclopedia*

Роден на 05.09.1932 в гр.Терел, Тексас. Дипломира се като бакалавър и магистър по Електро-инженерство от Южния Методистки Университет в Далас, съответно през 1954 и 1956 г. Защитава докторантура в Универистета Карнеги Питсбърг, Пенсилвания през 1958 г. Професионаният му път е свързан изцяло с IBM. През 1968 г. открива феномена на 1-T DRAM. Един от първите изследователи, осъзнали огромния потенциал на намаляването на размерите на MOS транзистора. Формулира, заедно със свои колеги през 1974 г. постулатът, че MOS транзисторът продължава да функционира като ключ, управляван по напрежение, по същия начин, като при това всички важни параметри (концентрация на примесите, скорост на носителите и ефективност на преноса) се постигат при геометрични размери, управляващи напрежения и т.н., значително намалени за осигуряване на същата интензивност на електрическото поле. Това има отношение и относно валидността на закона на Мур през последните няколко десетилетия.



# Динамични памети – DRAMs

Реализация на запомнящия капацитет  
(технологично развитие, вертикални технологии)

## Планарна технология

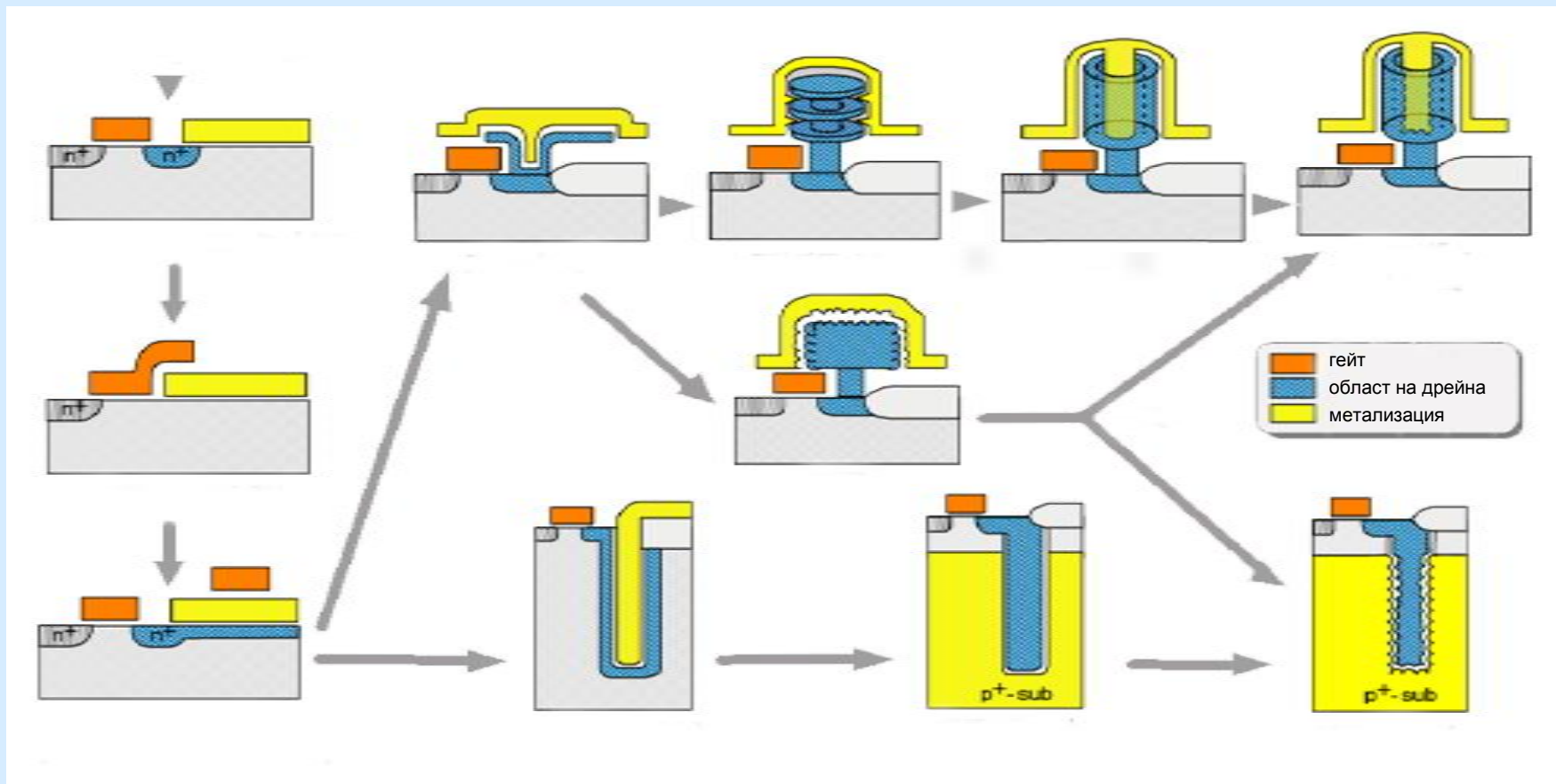
MOS, folded BL, double-poly  
(1K, 16K...1M)

## Stacked (сандвич)

stack, multi-fin  
(4M..64M)

## Trench (цилиндрична)

cylinder, p+ substrate plate,  
(1M, 4M,...,256M +HSG Hemi-Spherical Grain)



# Динамични памети – DRAMs

## Методи за увеличаване капацитета на 3К

- *увеличаване площта на кондензатора*: ограничено в 2D (необходимост от малка заемана площ). 3D методи (вертикално над подложката – **stacked** структури, в дълбочина навътре в подложката – **trench**, с допълнително набраздяване – HSG);
- *намаляване дебелината на окисния слой* – ограничено (намалена надеждност, увеличени утечни токове);
- *използване на материали с по-висока диелектрична константа*:  $\text{Si}_3\text{N}_4$  (първоначално), ON (оксидиран нитрид), ONO,  $\text{Ta}_2\text{O}_5$ ,  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ );
- *редукция на утечните токове* (технологично).



## Динамични памети – DRAMs

Запомнящ елемент (клетка): 1-Т 3К

Запомняща единица –  
*капацитет* на 3К

$C_{\text{зап}} = 30\text{-}40 \text{ fF} \approx \text{const.}$

Логическа “1” – наличие на заряд.

Логическа “0” – отсъствие на заряд.

Сигналът към SA – от трансфера на заряд.

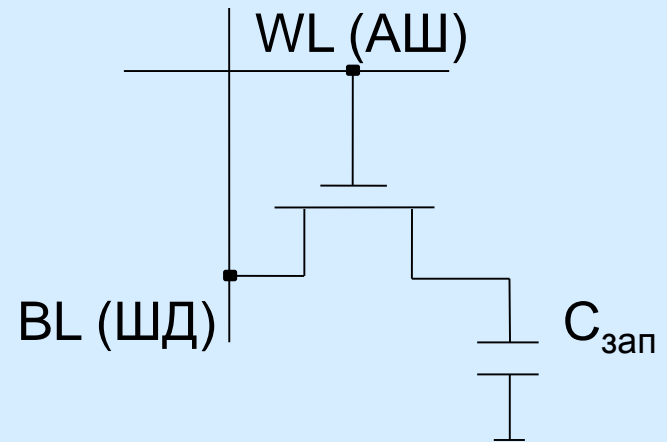
$$\Delta V_{\text{BL}} = \frac{1}{2} V_{\text{DD}} \cdot \frac{1}{1 + C_{\text{BL}}/C_{\text{зап}}}$$

Относително ниска консумация на 3К (след зареждане на запомнящия капацитет не консумира енергия).

Постепенно разреждане на  $C_{\text{зап}}$  – необходимост от регенерация → MEMORY REFRESH (MR). Извършва от MR Controller (MRC)

Обикновено времето за регенерация е:

16ms...64ms...256ms...512ms (1G DRAM).



## Динамични памети – DRAMs

### Развитие на DRAM като обем:

1K x 1 → 16K x 1 → 64K x 1 → 256K x 1 →

1M x 1 → 4M x 1 → 64M x 1 → 256M x 1 →

1G x 1 → 4G x 1 (нарастване на обема x 4)

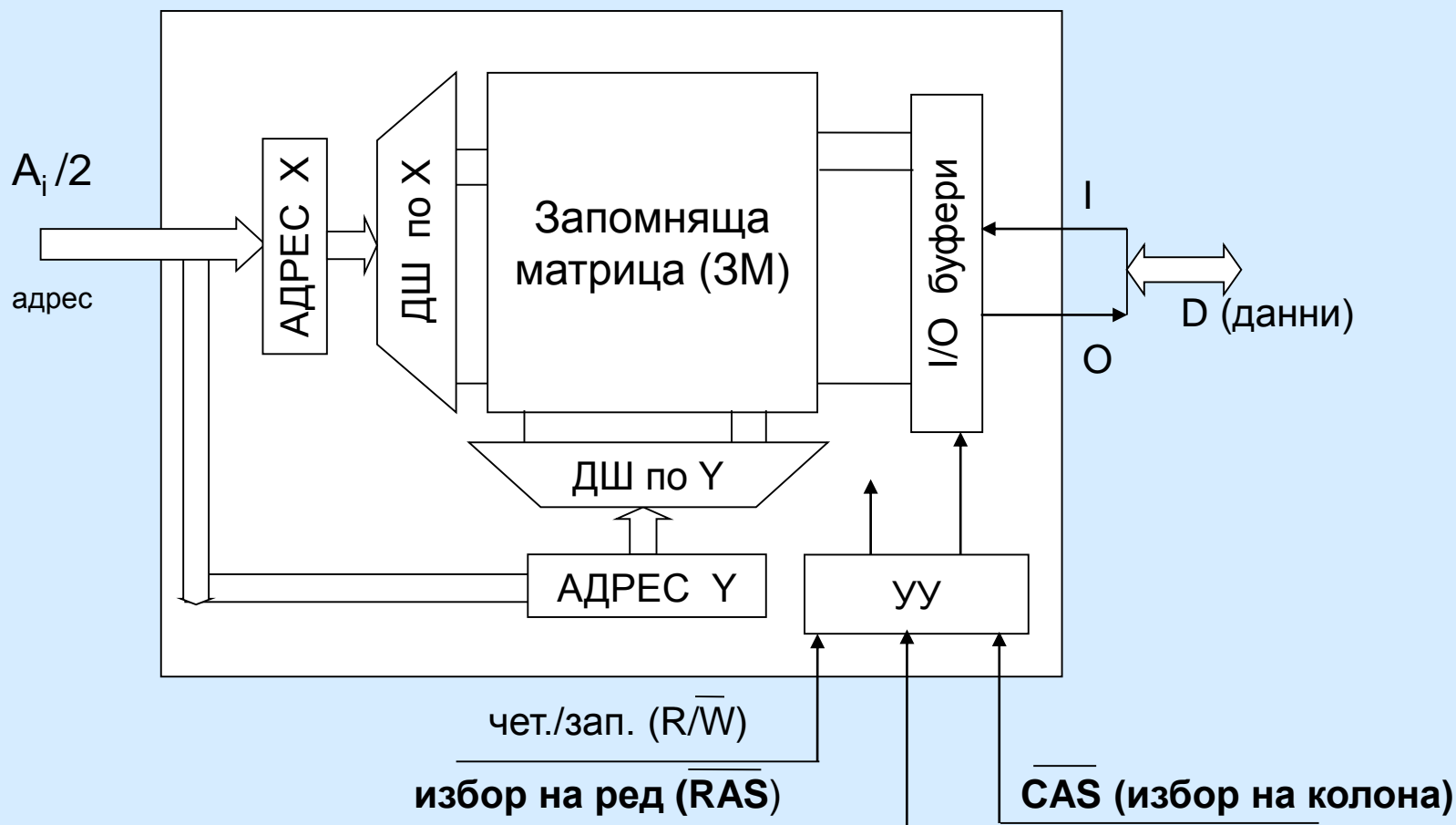
При DRAM – необходима е защита от радиоактивно въздействие ( $\alpha$ -protection) – в противен случай: неустойчивост на състоянието.

Такава се прилага се за пръв път при DRAM памети с обем 64K x 1.

Площ на 3K – 11  $\mu\text{m}^2$  (4Mb).....0.25  $\mu\text{m}^2$  (1Gb)

# Динамични памети – DRAMs (Dynamic RAMs)

## Блокова структура



# Динамични памети – DRAMs

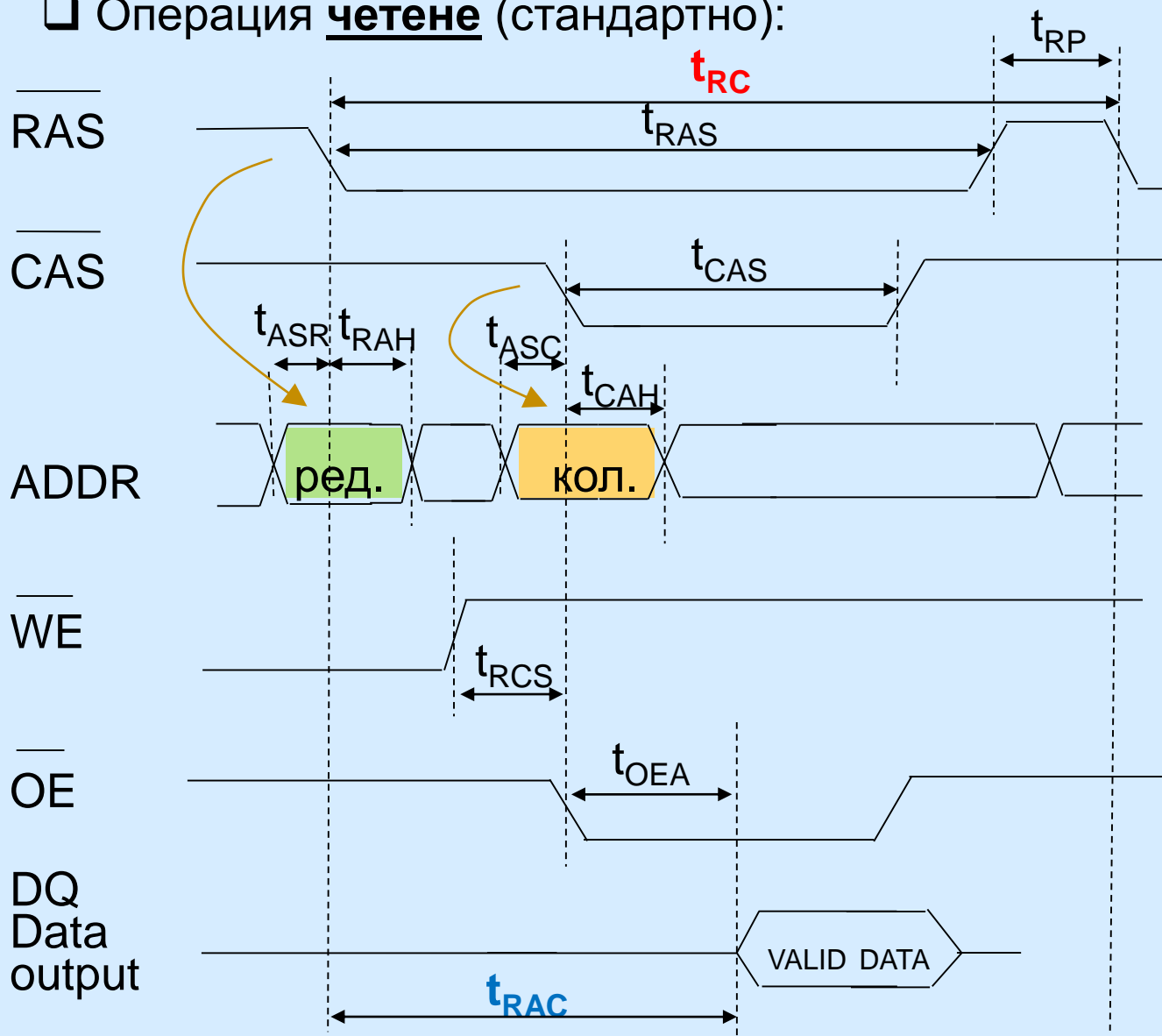
## (Dynamic RAMs)

### Състав на DRAM:

- ❑ запомняща среда (матрица от ЗК);
- ❑ логически схеми за избор на адрес по редове и по колони (адресни ДШ);
- ❑ усилватели (SA, sense amplifiers) – за усилване на сигнала от ЗК (при промяна на заряда);
- ❑ логика за запомняне на адресите – Row Address Select (RAS) и Column Address Select (CAS) и за начало/край на операциите четене/запис;
- ❑ схеми за четене/запис;
- ❑ вътрешни броячи за управление регенерацията (MRC);
- ❑ изходна output enable ( $\overline{OE}$ ) логика.

# Динамични памети (Dynamic RAMs)

❑ Операция **четене** (стандартно):



**$t_{RC}$**  – Random access Cycle time (време за 1 цикъл W/R);

**$t_{RAC}$**  – Required Access Time (време за четене от произволна 3К);

**$t_{CAS}$**  – Column Access time (време за получаване на данни в изхода след като CAS=low);

**$t_{ASR}$  ( $t_{ASC}$ )** – мин. време на адреса по редове/колони преди RAS/CAS=low, sample time;

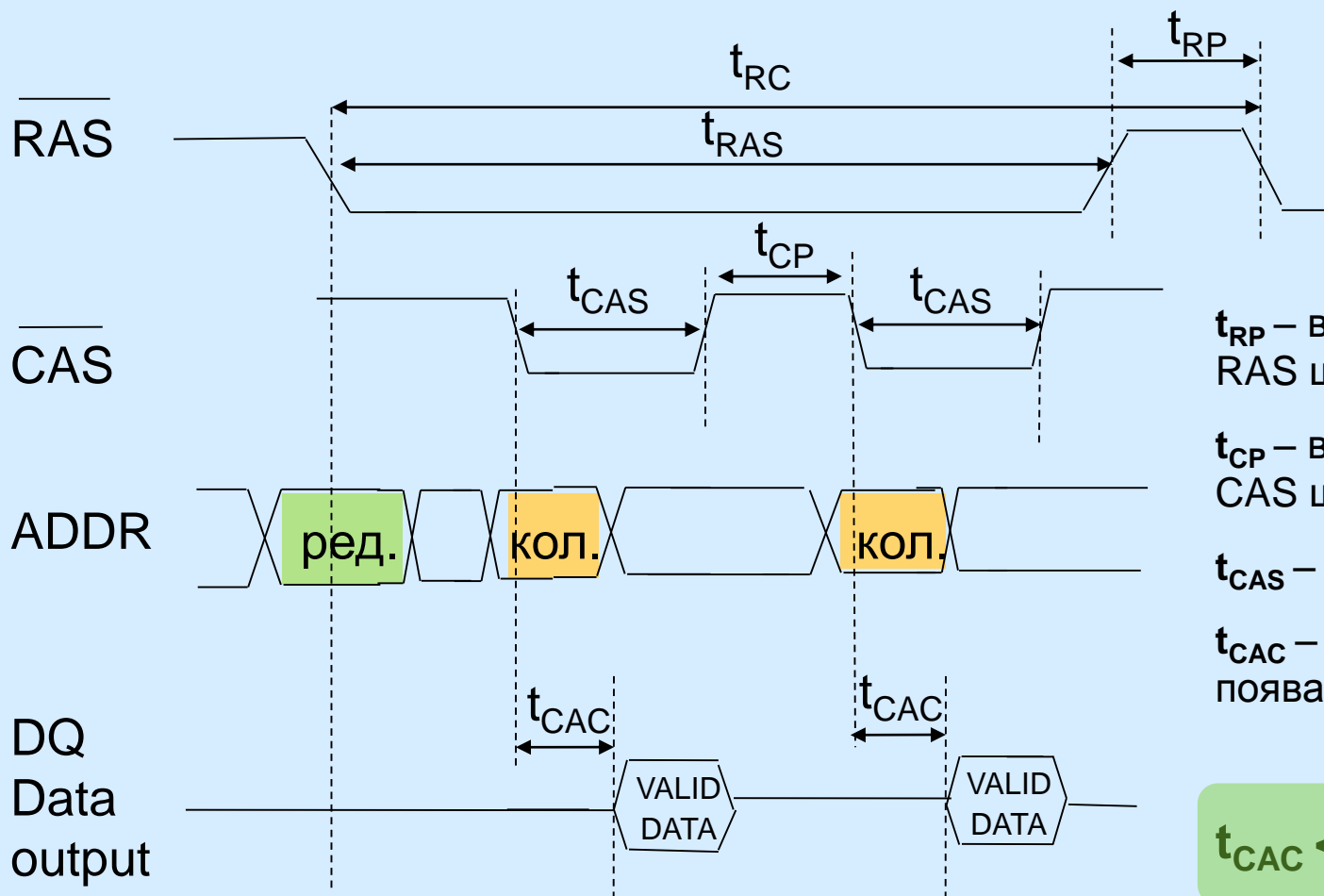
**$t_{RAH}$  ( $t_{AHC}$ )** – мин. време на адреса по редове/колони след RAS/CAS=low, hold time;

**$t_{RCS}$**  – мин. време на WE преди CAS=low;

**$t_{OEA}$**  – мин. време на OE преди VALID DATA

# Динамични памети (Dynamic RAMs)

## ❑ Операция четене (по страници) - **Fast Page Mode, FPM**

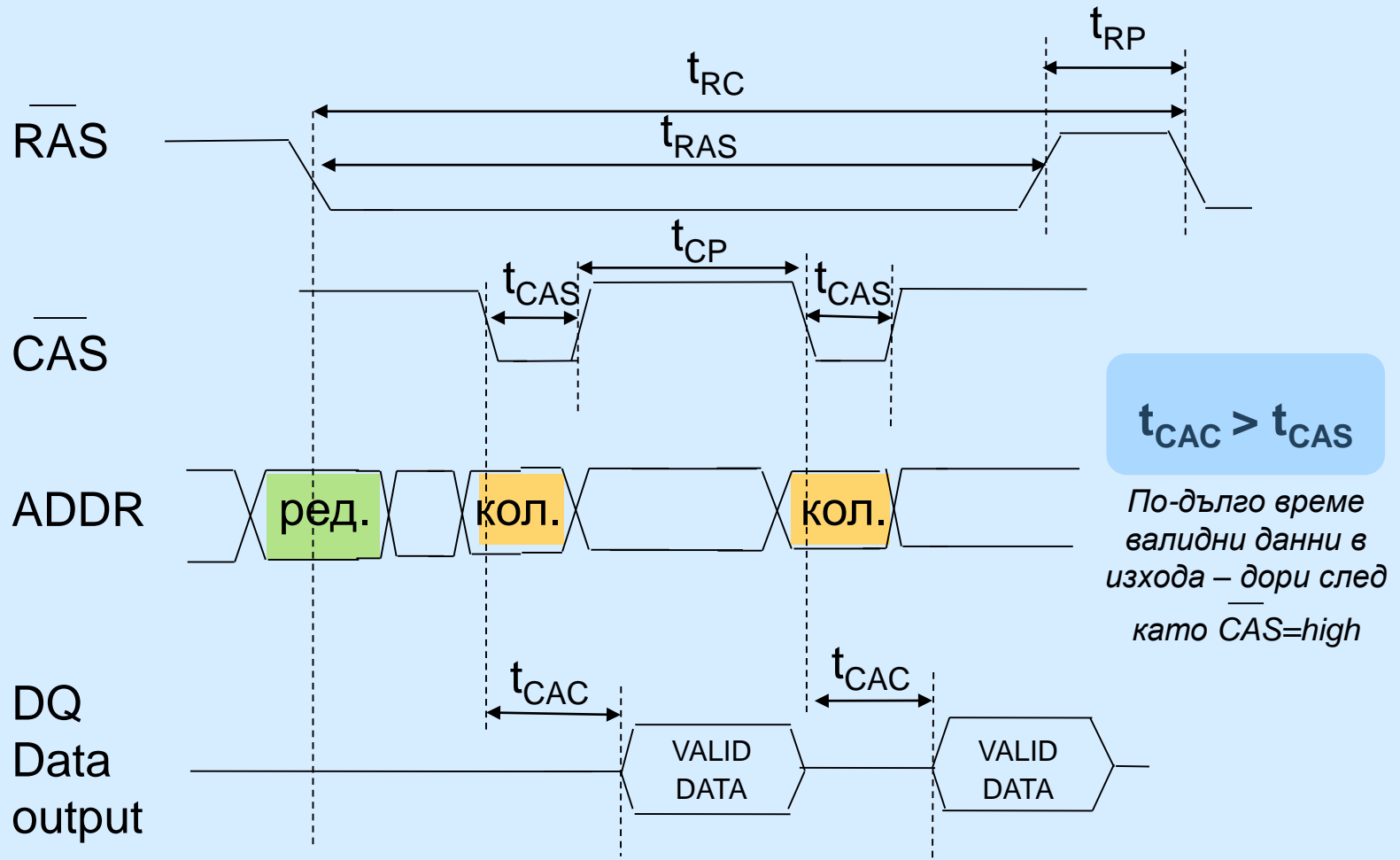


$t_{RP}$  – време за зареждане на RAS шината (precharge);  
 $t_{CP}$  – време за зареждане на CAS шината (precharge);  
 $t_{CAS}$  – време за CAS=low;  
 $t_{CAC}$  – мин. време на CAS за поява на VALID DATA

$t_{CAC} < t_{CAS}$

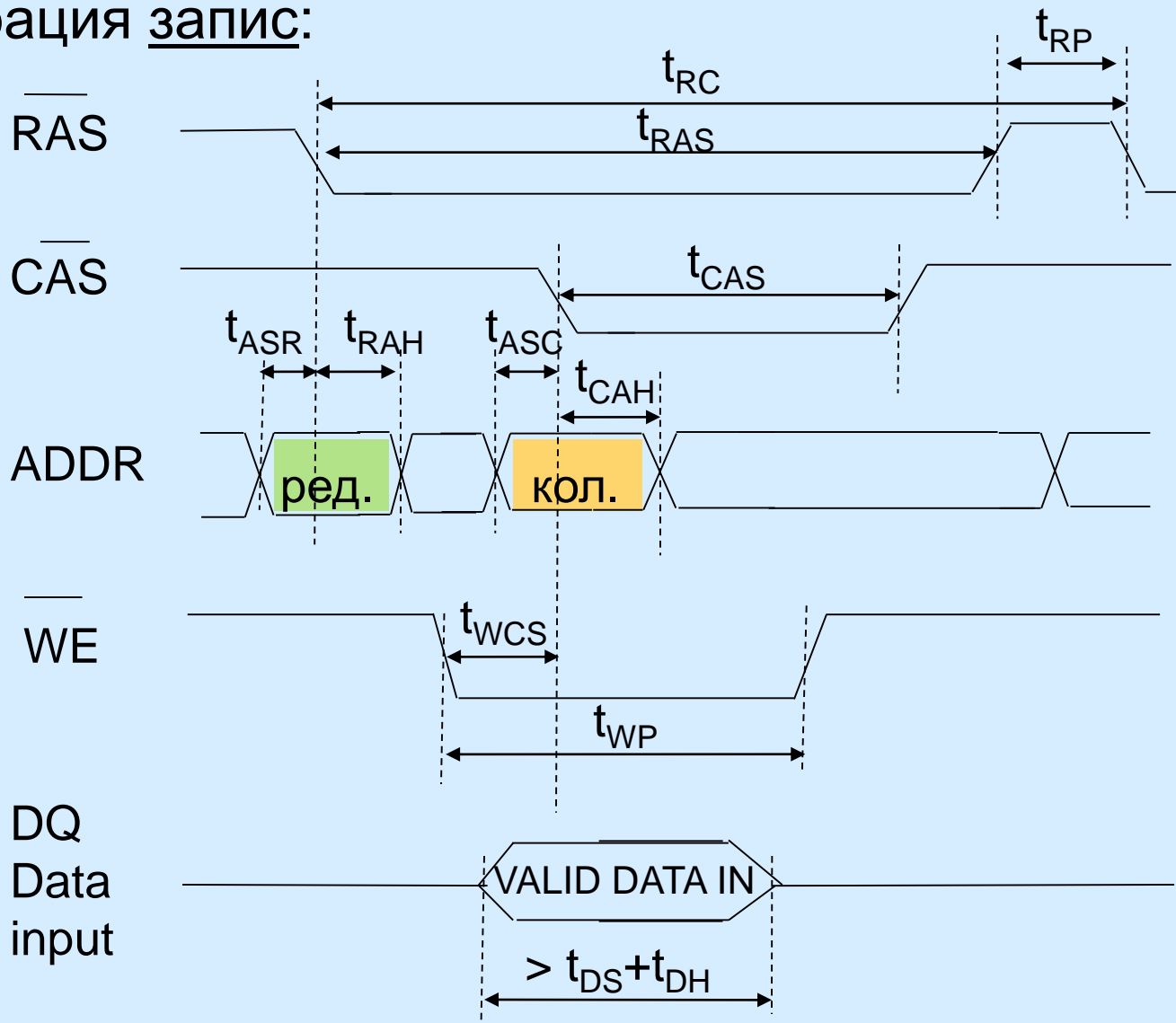
# Динамични памети (Dynamic RAMs)

## ❑ Операция четене (по страници) – EDO (HBM) Hyper PM



# Динамични памети (Dynamic RAMs)

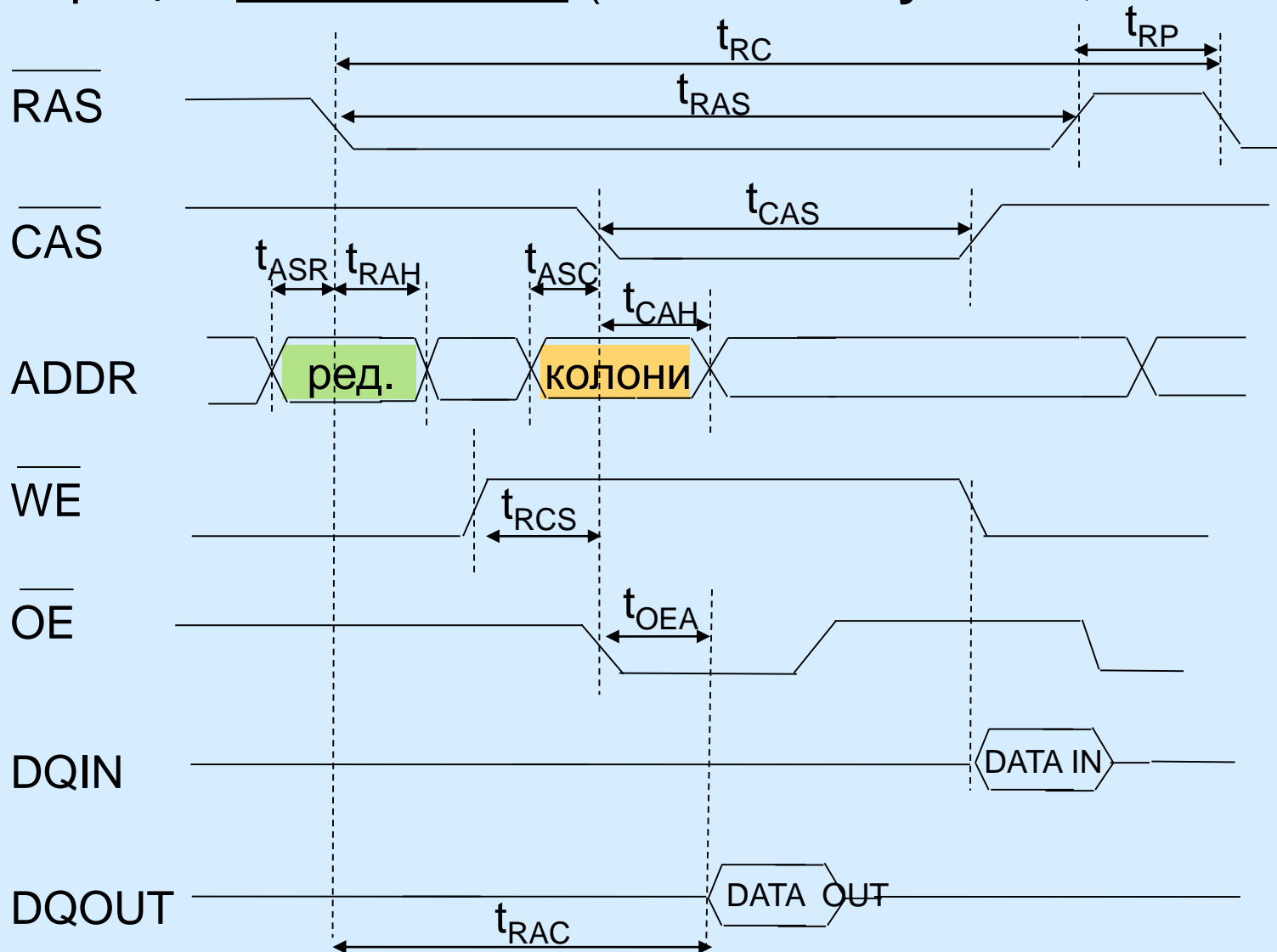
## □ Операция запис:





# Динамични памети (Dynamic RAMs)

❑ Операция четене-запис (**Read-Modify-Write, IBM Corp.**):



# Динамични памети (DRAMs)

## Регенерация на паметта (memory refresh)

**Необходимост: разреждане на зап.капацитет с времето при необръщане към ЗК → т.е. загуба на данни.**

- ❑ четене и запис от ЗК – има смисъла на регенерация;
- ❑ извършва се през определен период време (честота/интервал на регенерация) – **refresh cycle**. Обикновено за всеки ред ЗК.
- ❑ standard refresh rate (15.6μs), extended refresh (125μs) – за 1 ред ЗК;
- ❑ на област от DRAM: общото време (ms) зависи от обема на паметта:

16M	за refresh	ред.	кол.	р-р стр.	време (15.6μs/ред)
<u>4M x 4</u>	2K	11	11	2048	32ms
	4K	12	10	1024	64ms
<u>2M x 8</u>	2K	11	10	1024	32ms
	4K	12	9	512	64ms

# Динамични памети (DRAMs)

## Регенерация на паметта (memory refresh)

Методи за регенерация на DRAM:

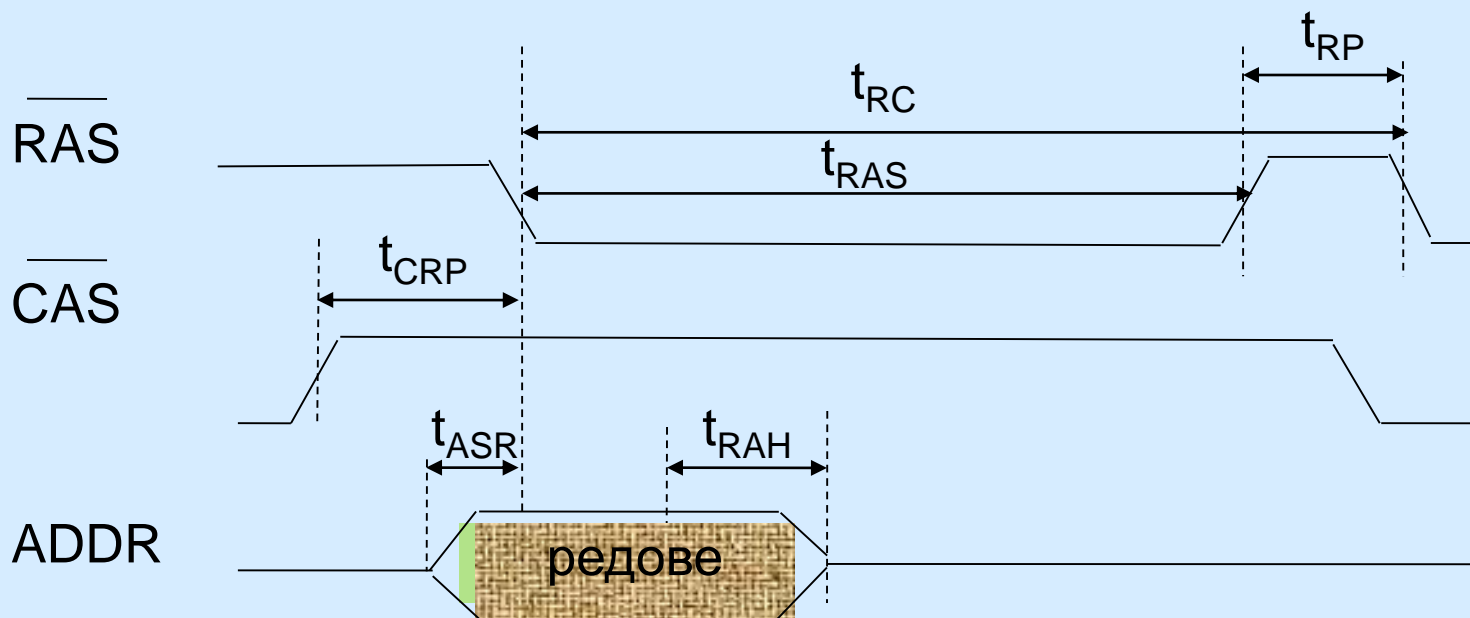
- пакетна: процесора се спира, регенерира се цялата памет;
- периодична: регенерира се 1 ред (дума) от паметта;
- принудителна – при липса на обръщение към паметта над максимално допустимото време за опресняване – преминава се или към пакетна, или към периодична регенерация;
- скрита – в рамките на вътрешния цикъл на обработка на една команда (по време на изпълнението ѝ в АЛУ на процесора).

# Динамични памети (DRAMs)

## Регенерация на паметта (memory refresh)

### Практически методи за регенерация в DRAM:

- **RAS-Only-Refresh (ROR)** – извършва се ред по ред:  
CAS=high; RAS=low → ADDR /редове/;

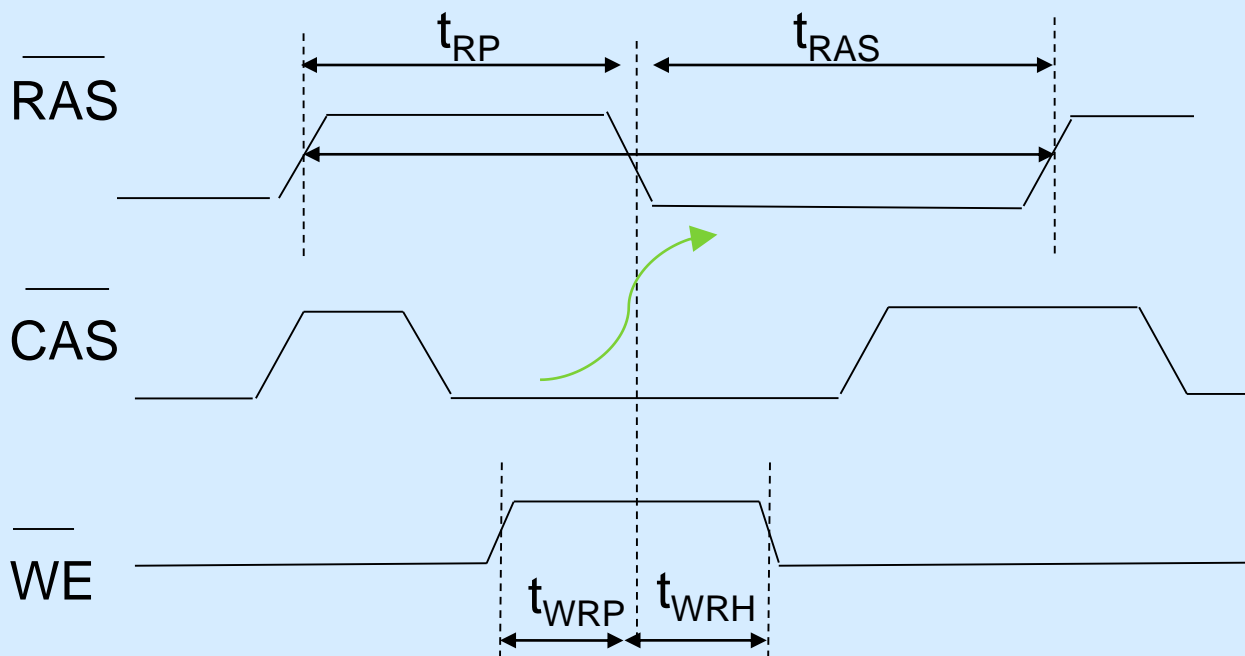


# Динамични памети (DRAMs)

## Регенерация на паметта (memory refresh)

### Практически методи за регенерация в DRAM:

- **CAS-Before-RAS Refresh (CBR):** CAS $\rightarrow$ low,  $\overline{WE}$ =high (read), RAS $\rightarrow$ low, вътрешен брояч по редове....CAS,RAS=high.



# Динамични памети (DRAMs)

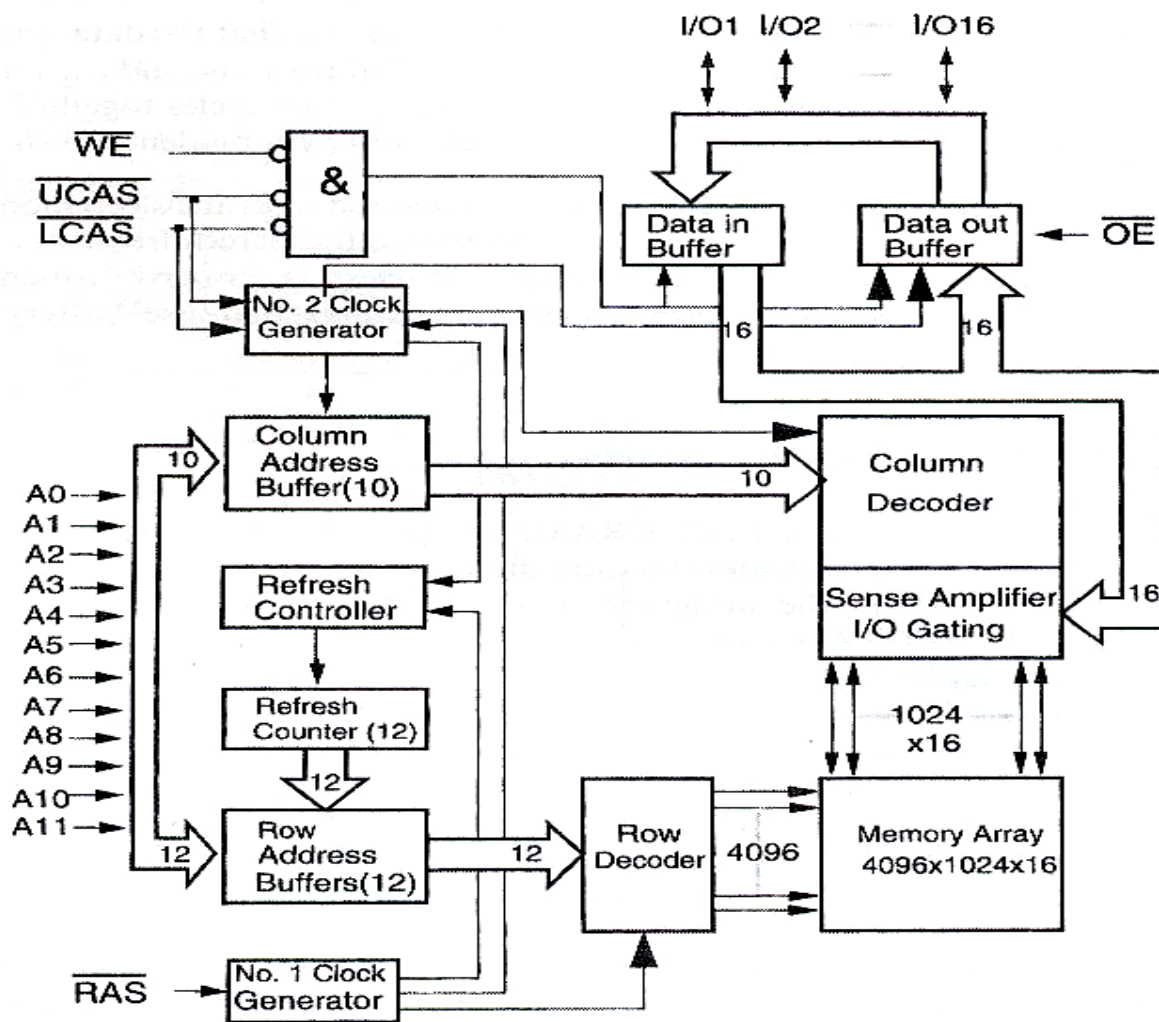
## Регенерация на паметта (memory refresh)

### Практически методи за регенерация в DRAM:

- **Скрита** (Hidden Refresh) – извършва се четене/запис, при CAS=low, RAS=high $>t_{RP}$ , после RAS=low. Тъй като CAS=low преди RAS=low се извършва CBR. DATA OUT – валидни (поради това се нарича “скрита” регенерация);
- **Само-регенерация** (Self-Refresh) – нарича се още Sleep mode или Auto-refresh. Използва вграден (on-chip) тактов генератор и брояч за обхождане на адресите от DRAM. Основно – при мобилни устройства на батерийно хранване!

# Динамични памети (DRAMs)

Съвременни DRAM – EDO DRAM (Enhanced Data Output DRAM)



Разработка на  
**Infineon Technology**

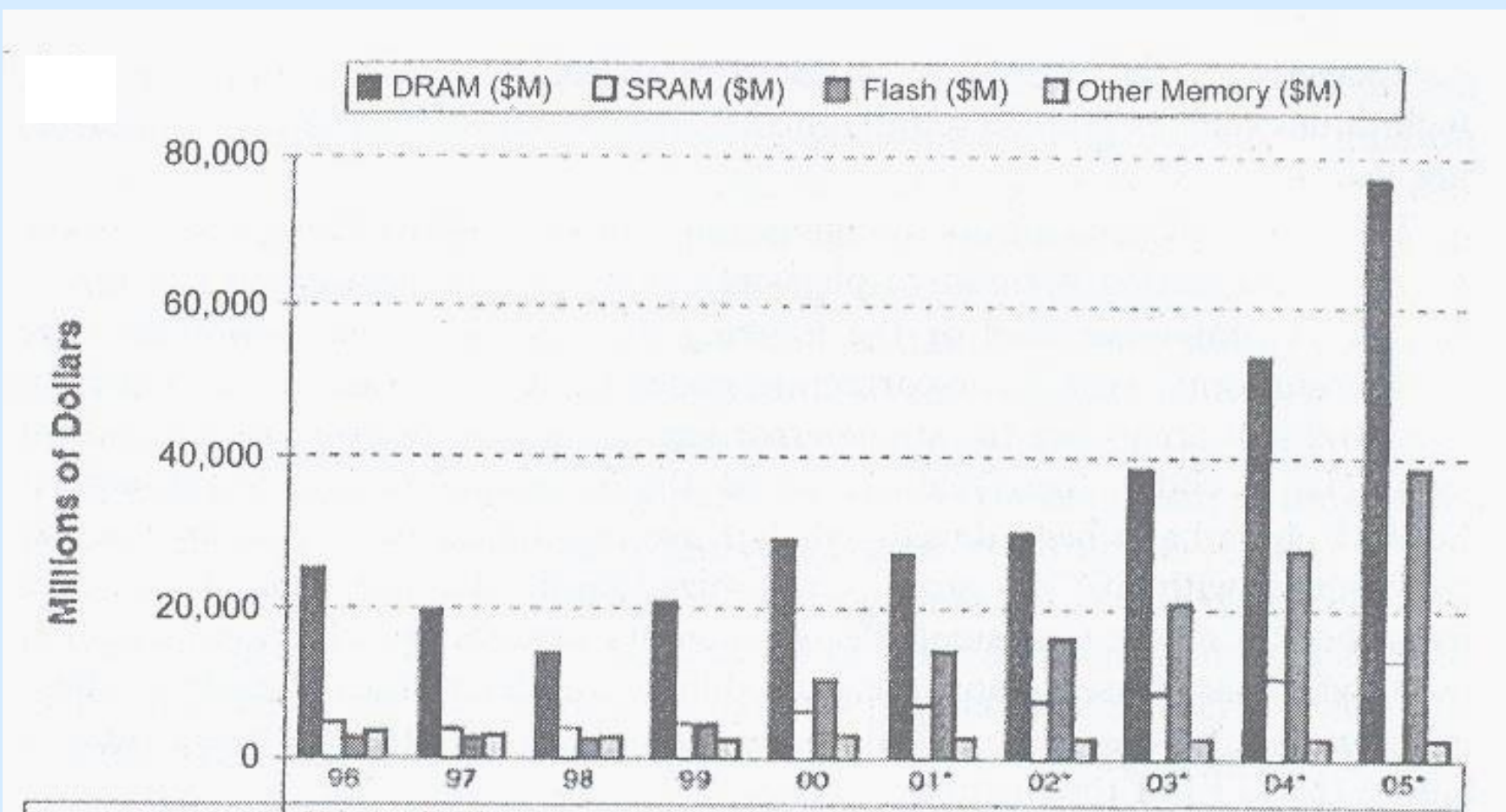
- Организация: 4М x 16,
  - конструкция на 3М:  
**4096 x 1024 x 16;**  
( $V_{DD}=3.3V$ )
  - технология: 0.35 $\mu$ m.
  - мултиплексирани  $A_i$
- разделен CAS: UCAS/LCAS

EDO - валидни данни  
в изх. и след CAS=high  
по-кратък цикъл четене  
по страници

- 1 вар.:8K refresh цикъла,  
(128ms refresh период);
- 2 вар.:4K refresh цикъла,  
(64ms refresh период).

# Динамични памети (DRAMs)

Развитие (тенденции) на пазара на ПП памети – SRAM, DRAM, Flash, други





## Динамични памети (DRAMs)

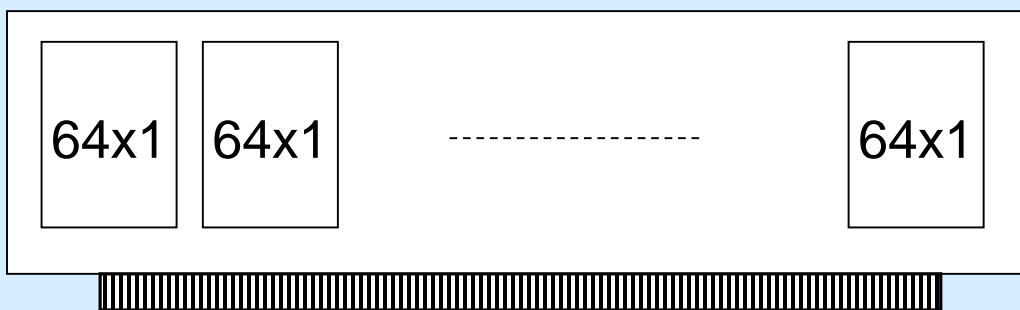
### Директен достъп до паметта (DMA-direct memory access)

- същност – за достъп на устройства до паметта (ОП) без да е необходима намесата на процесора (ЦП). Облекчава натоварването на процесора. Осъществява обмен на блокове от паметта между две устройства;
- ❑ устройства, поддържащи DMA: дискови контролери, мрежови карти, звукови карти и др.
- ❑ при обмен между локалната памет на процесорни ядра и общата памет в мултипроцесорни системи (systems-on-a-chip);
- ❑ основен подход при обмен на данни в рамките на high-performance embedded системи, клъстери.
- ➔ Реализация при PC: използва отделен DMA контролер (при ISA bus) или т.нар. Bus mastering (при PCI bus).

# Развитие и модулна структура на RAM за PC

- **SIMM (Single In-line Memory Module):**

Пример: 8 бр. X 64М x 1 = 64М x 8



30-pin SIMM

72-pin SIMM

# Развитие и модулна структура на RAM за PC

## ▪ Развитие на SIMM:

- включва няколко схеми RAM памети (в производство през 80-те и 90-те години). Предложени от лабораториите Wang, 1983 г.;
- преди появата на SIMM – DIP чипове RAM (8088 базирани системи);
- SIPP (Single In-line Pin Package) – за кратко в някои модели 80286.

## Структура:

- 30 pins, 8 (9) бита данни – 80286,386,486;
- 72 pins, 32 (36) бита данни – 80486, Pentium, Pentium Pro, Pentium II.
- без “parity check” (W/O P.Ch.);
- с “parity check”.

## ▪ Аранжиране в рамките на PC дъна – в банки:

- 286,386SX (16 бита): 2 x 30-pin SIMM, 1 x 72-pin SIMM;
- някои 386/486 дъна: 2 пъти повече SIMM (memory interleaving);
- Pentium (64 бита): 2 x 72-pin SIMM (някои-”half bank” – 1xSIMM);

## Развитие и модулна структура на RAM за PC

### ▪ DIMM (Dual In-line Memory Module)

- включват основно DRAM памети;
- използват 64-битов трансфер на данните;
- имат отделни контактни площадки и от двете страни на модула (платката) – за елиминиране нуждата от 2 x SIMM модула.

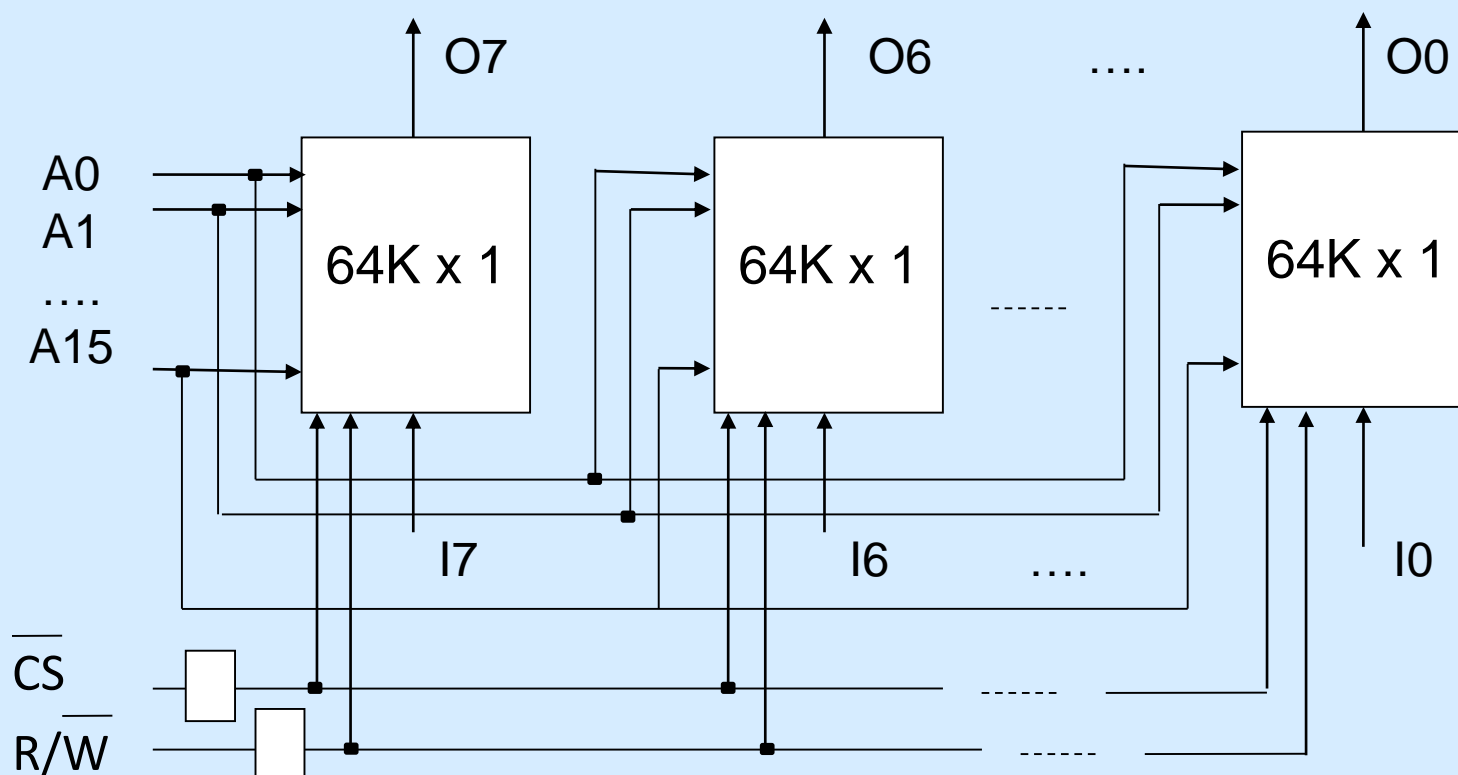
Развитие и съвременно състояние:

- 72-pin SO-DIMM (Small Outline DIMM) - FPM, EDO DRAM;
- 100-pin DIMM - за принтери – **SDRAM** (синхронни DRAM);
- 144-pin SO-DIMM - за SDR (single data rate) SDRAM;
- 168-pin DIMM - при SDR SDRAM (рядко като FPM/EDO DRAM за сървъри и работни станции);
- 172-pin MicroDIMM – за DDR (double data rate) SDRAM;
- 184-pin DIMM – за **DDR SDRAM**;
- 200-pin SO-DIMM - за DDR SDRAM, **DDR2 SDRAM**
- 214-pin MicroDIMM - за DDR2 (2x data rate DDR) SDRAM
- 240-pin DIMM - за DDR2 SDRAM, **DDR3 SDRAM** (8x data rate DDR),  
FB-DIMM DRAM (Fully-Buffered).

## Разширение на паметта при памети с непосредствен достъп

### □ Увеличаване разредността на паметта (L на думата)

Пример: Налични блокове памет 64K x 1. Необходима разредност 8 бита. Крайна структура 64 x 8. Време за регенерация за DRAM – ЕДНАКВО!



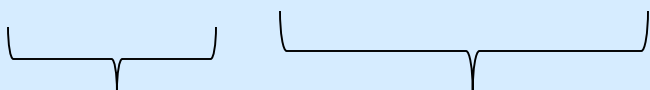
# Разширение на паметта при памети с непосредствен достъп

## □ Увеличаване обема на паметта

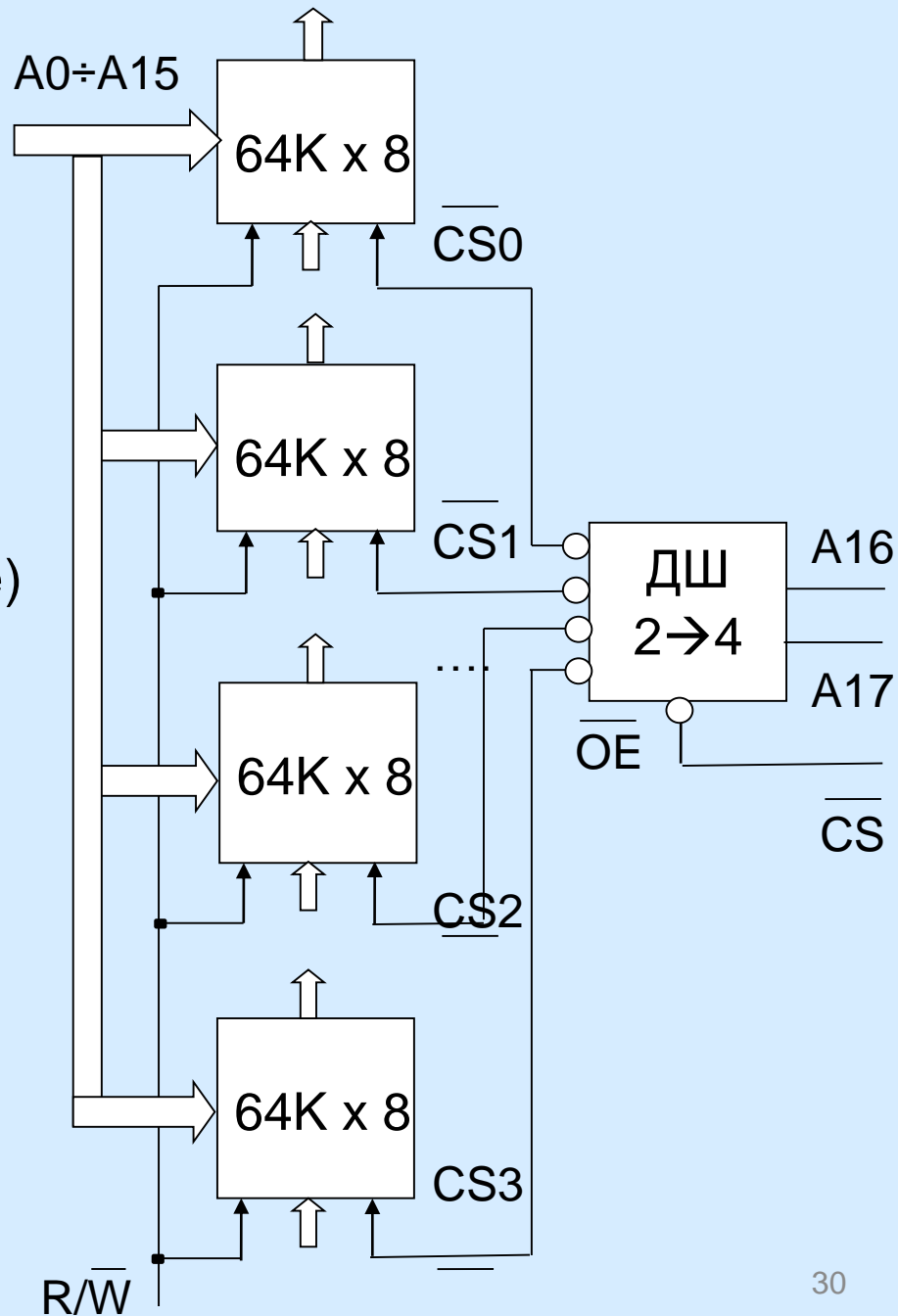
Пример: Налични блокове (чипове) памет 64K x 8. Изискуем общ обем на паметта → 256K x 8.

Адресиране на паметта:

A17 A16 A15.....A1 A0



избор блок старши АШ!  
към всички 64x8 блокове



## Допълнителна литература:

<http://www.cmoset.com/uploads/4.1-08.pdf>

[http://en.wikipedia.org/wiki/Direct\\_memory\\_access#Principle](http://en.wikipedia.org/wiki/Direct_memory_access#Principle)