

# МИКРОПРОЦЕССОРНА ТЕХНИКА

## ЛЕКЦИЯ #4

# Постоянни памети

## Non Volatile Memories (NMVs)

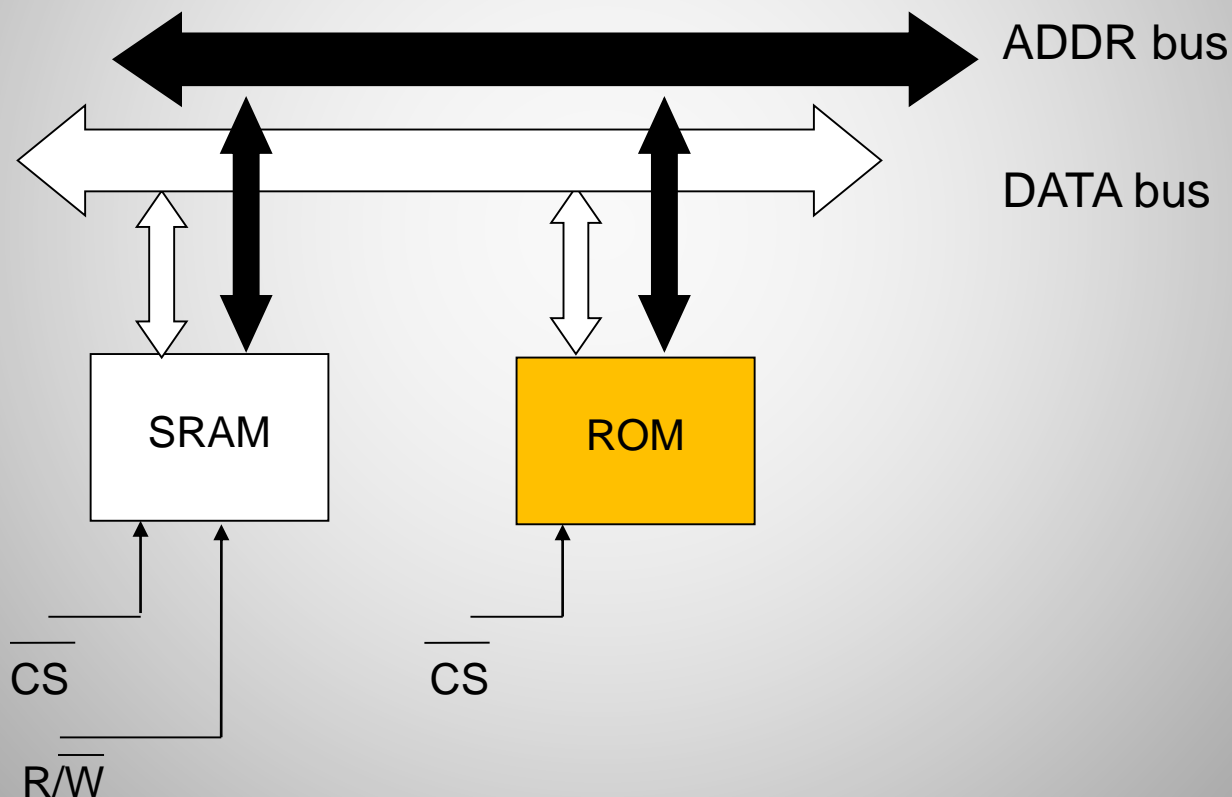
Общи характеристики:

- за четене и запис - PROM, EPROM, EEPROM, Flash; или само за четене - Read-Only Memories (ROM): mask-ROM / MROM
- **енергонезависими;**
- с непосредствен (произволен) достъп:
  - същата организация като RAM (pin-to-pin compatible);
  - еднакво време за достъп до всеки ЗЕ;
- програмирането – **по специален начин**:
  - в процеса на производството: MROM (read-only);
  - от потребителя: → **off board**: user-Programmable ROM (PROM), EPROM (UVEPROM);  
→ **on-board**: EEPROM (E<sup>2</sup>PROM), Flash.

# Постоянни памети

## Read-Only Memories (ROM)

- Съвместимост при включване на RAM/ROM



# Постоянни памети

## Read-Only Memories (ROM)

Приложение:

- ❑ за съхранение на старт-програми в РС (BIOS, монитори);
- ❑ за реализация на големи таблици от данни (ТИ, т.нар. Look-Up Tables - LUTs);
- ❑ за реализация на логически функции (OR, NOR, AND, NAND): ПЛМ (Програмируеми Логически Матрици).

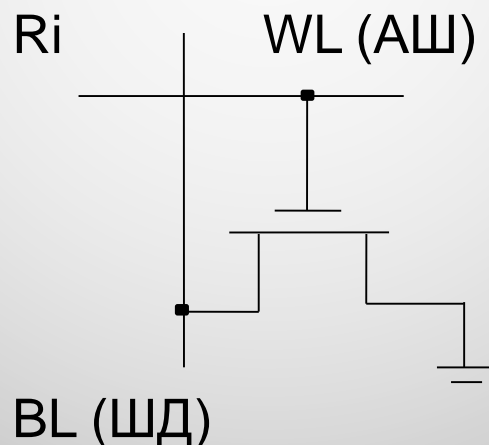
## Масково програмирани ROM – MROM (Mask programmable ROM)

- Програмиране - еднократно в процеса на производство на схемата в завода (т.нар. semi-custom IC). Клиентът задава на производителя специфичния pattern (шаблон) на изходите (ТИ на ЛФ). В последствие съдържанието не може да се променя.
- Начини за програмиране:
  - чрез отделна маска при метализацията (ниска цена, относително голяма площ);
  - “channel-implant” – всеки транзистор се определя дали ще бъде с индуциран или с вграден канал;
  - чрез задаване дебелината на окисния слой под гейта.
- преимущество – **възможно най-ниска цена**;
- основен недостатък – при грешка в маската за програмиране се отстранява цялата произведена серия.
- Реализация – с биполярна или MOS технология (предимно).

# Масково програмирани ROM – MROM (Mask programmable ROM)

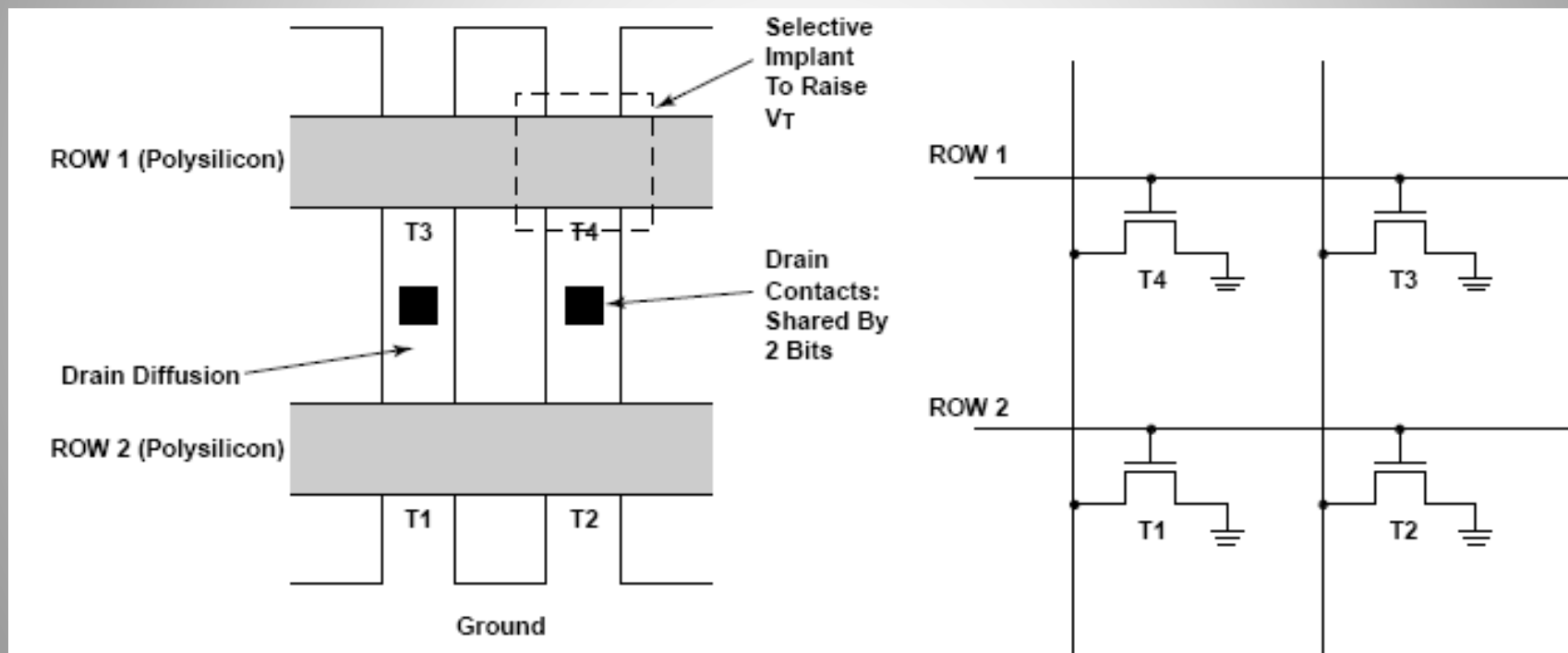
Процес на програмиране – с 1 технологична операция. Големи серии (над 5000 бр.). Възможно най-малка заемана площ на ЗЕ.

Информацията за запис се задава предварително от поръчителя във вид на желана за всеки изход ЛФ с нейната ТИ.



# Масково програмирани ROM – MROM (Mask programmable ROM)

Структура на MROM с програмиране с “имплант”



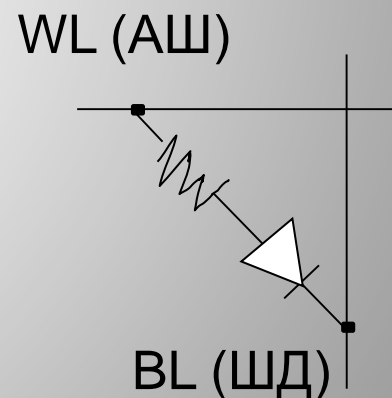
# PROM – програмируеми ROM (Programmable ROM)

## Основни характеристики:

- Еднократно програмируеми от потребителя (клиента) в лабораторни условия;
- Структура – матрична решетка (масив) от “бушони” (array of fuses) – NiCr, poly-Si, W (Tungsten) връзка с възможност за прегаряне – т.нар. **Burning ROM**;

## Процес на програмиране:

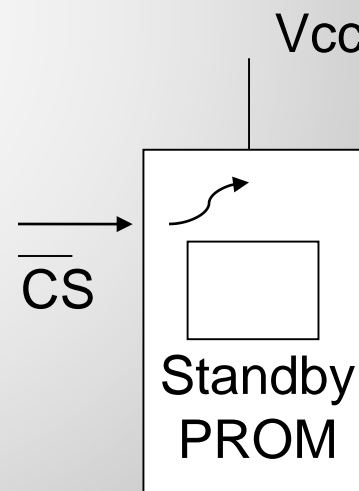
- чрез устройство – *Програматор*.
  - пропуска се ток с определена големина, при което се прегаря “жичката” между АШ и ШД (липса на връзка) или се оставя (наличие на връзка). Биполярни (TTL).
- Запис – бавен (5 мин.). Високо бързодействие.





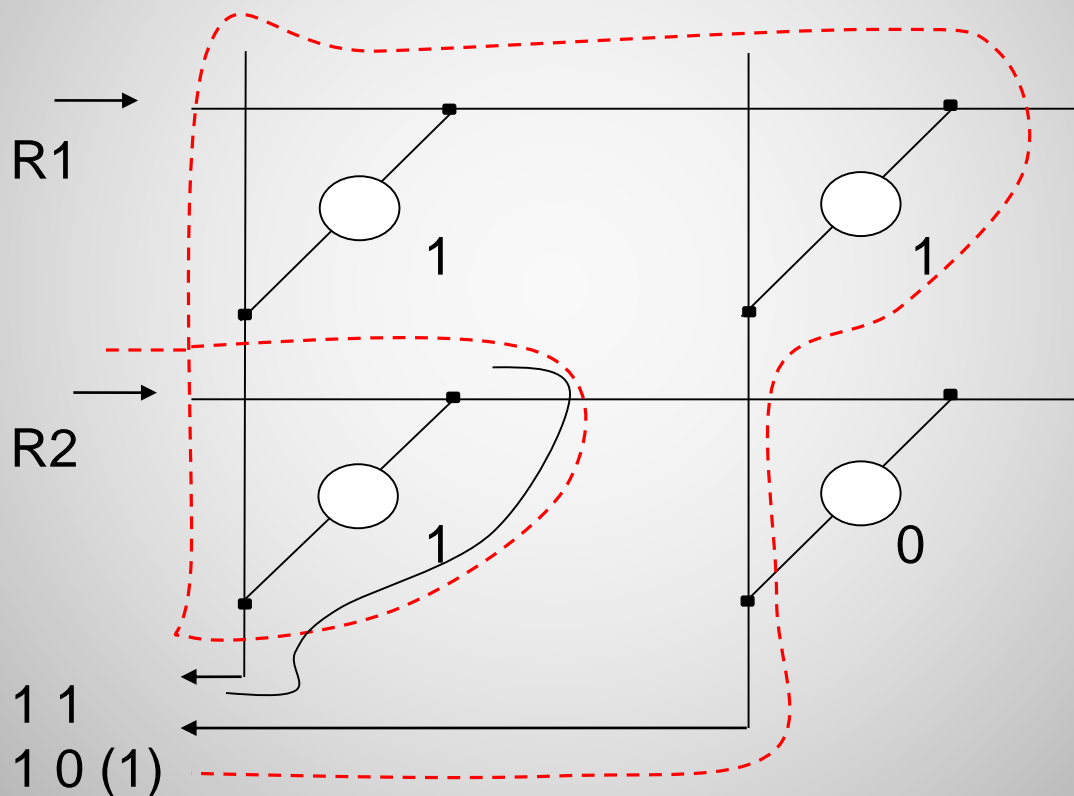
# PROM (Programmable ROM)

- програмиране – с ток (за разлика от EPROM);
  - еднократно програмиране;
  - защитени от радиоактивно въздействие (биполярни структури);
  - високо бързодействие (до 1 ns);
  - значителна заемана площ;
  - голяма консумация.
- по-ниска консумация – SPROM (standby PROM).



# PROM (Programmable ROM)

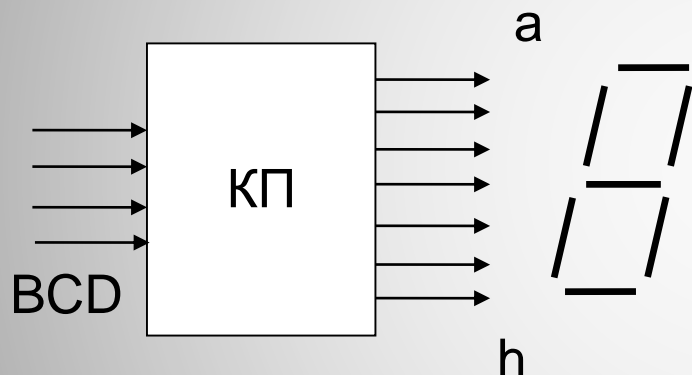
Пример: структура на PROM с 4 бр. 3К (четене, програмиране); блуждаещ ток



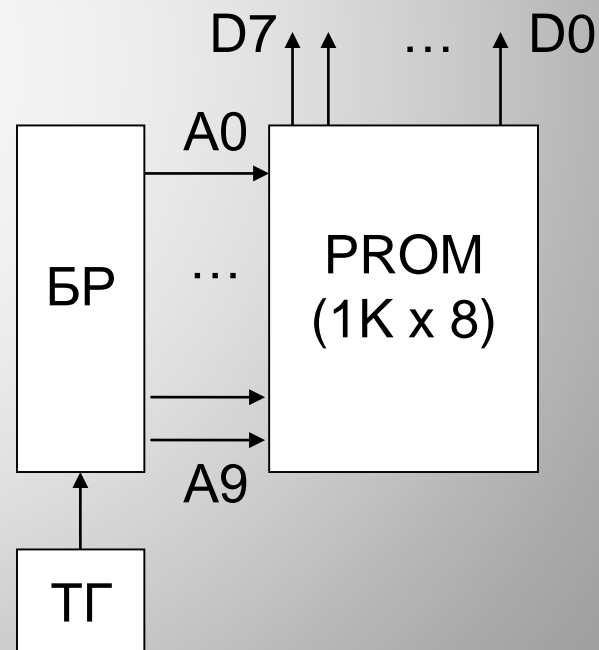
# PROM (Programmable ROM)

Приложение на PROM:

- при реализация на сложни логически функции – пример: Кодови Преобразуватели (КП): BCD  $\rightarrow$  ASCII, BCD  $\rightarrow$  7-сегментен код и др.;

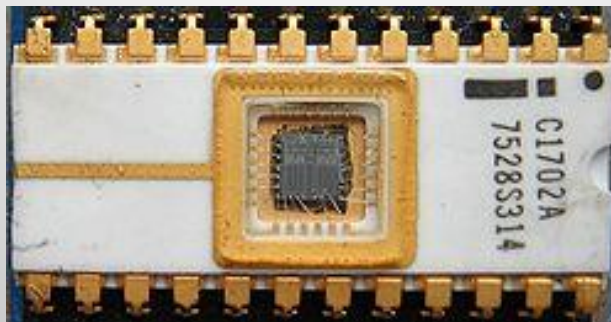


- за реализация на времеви последователности;
- съхранение на програми, в апаратура в големи серии.



# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

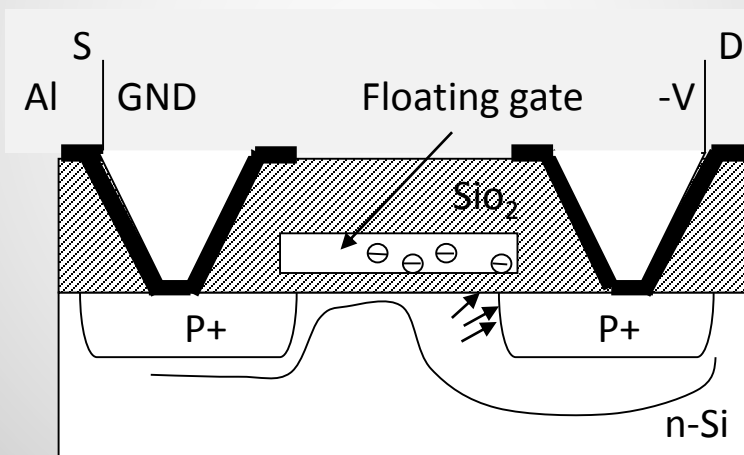
- вид енергонезависима памет (Non-Volatile Memory);
- представлява масив от MOS транзистори с плаващ гейт (floating gate transistors) – т.нар. UVEEPROM;
- програмиране с по-високо от захр. напрежение;
- изтриване – с ултравиолетова UV светлина ( $\lambda=253\text{ nm}$ )



# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

Историческо развитие на структурата на MOS транзистор с плаващ гейт  
(floating gate transistor)

- **FAMOS** (1971) – Flohman-Bentchkowsky: **F**loating gate **A**valanche **M**OS.  
Лавинна инжекция (тунелен преход) на електрони през тънък окисен слой (50Å) до “плаващ” метален електрод при  $V_D = -30V$ . “Дебел” окис  $\sim 100nm$ .



Недостатъци: (1) невъзможност за изтриване; (2) слаба ефективност.  
Развитие – Stacked-gate Avalanche MOS (SAMOS) структури – подобрена ефективност (скорост на програмиране), понижено пробивно напрежение.

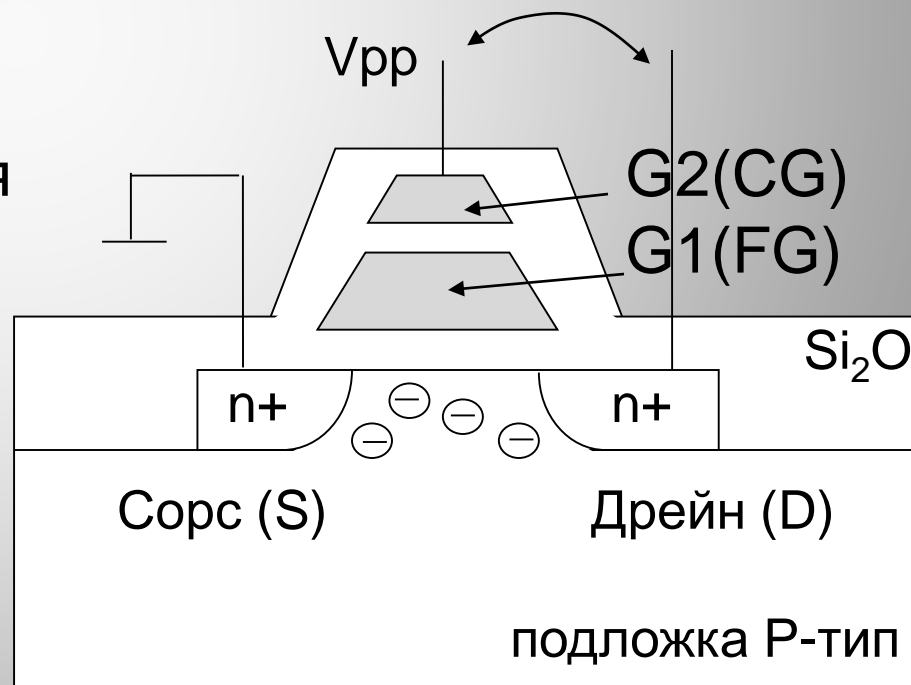
# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

Структура на MOS транзистор с плаващ гейт  
(floating gate transistor)

- poly-Si на 1-во ниво - плаващ гейт, (FG) – G1;
- poly-Si на 2-ро ниво - контролен гейт (CG) – G2;

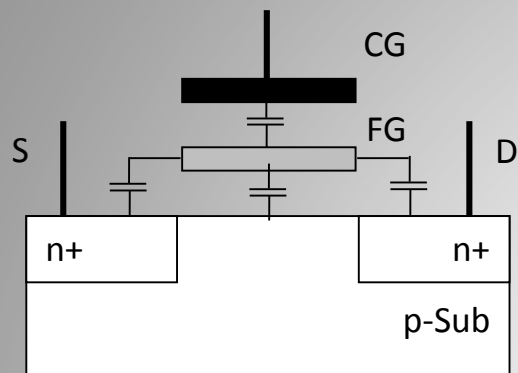
Програмиране – чрез  
механизъм “гореща” инжекция  
на електрони  
(**CHE-Channel Hot  
Electrons injection**);

Високо напрежение между  
G2 и D, импулс към избрания гейт



# EPROM – Електрически програмируем ROM

## Електрически модел



Капацитивен модел:  $C_{FG}$ ,  $C_{FS}$ ,  $C_{FD}$ ,  $C_{FSub}$

Нач.условия:  $U_D \uparrow$ , висок потенциал върху CG

Определяне на  $U_F$  (S, Sub – на маса).

$$U_F = \frac{C_{FG}U_{GS} + C_{FD}U_{DS}}{C_{FG} + C_{FS} + C_{FD} + C_{FSub}} = \frac{C_{FG}U_{GS} + C_{FD}U_{DS}}{C_T} \quad u_{GS} \rightarrow u_F; V_{TFG} = V_{TCG} \frac{C_{FG}}{C_T}; k_{FG} = k_{CG} \frac{C_T}{C_{FG}}$$

$$U_F = \frac{C_{FG}}{C_T} \left( U_{GS} + \frac{C_{FD}}{C_{FG}} U_{DS} \right) = \frac{C_{FG}}{C_T} (U_{GS} + fU_{DS}) \quad I_D = k \left[ (u_{GS} + fu_{DS} - V_T)u_{DS} - \frac{1}{2} \frac{C_T}{C_{FG}} u_{DS}^2 \right]$$

$$\text{за } u_{DS} < (u_{GS} + fu_{DS} - V_T) \frac{C_{FG}}{C_T}$$

$$I_D = \frac{k}{2} \frac{C_{FG}}{C_T} (u_{GS} + fu_{DS} - V_T)^2$$

$$\text{за } u_{DS} \geq (u_{GS} + fu_{DS} - V_T) \frac{C_{FG}}{C_T}$$

- Проводим канал дори при

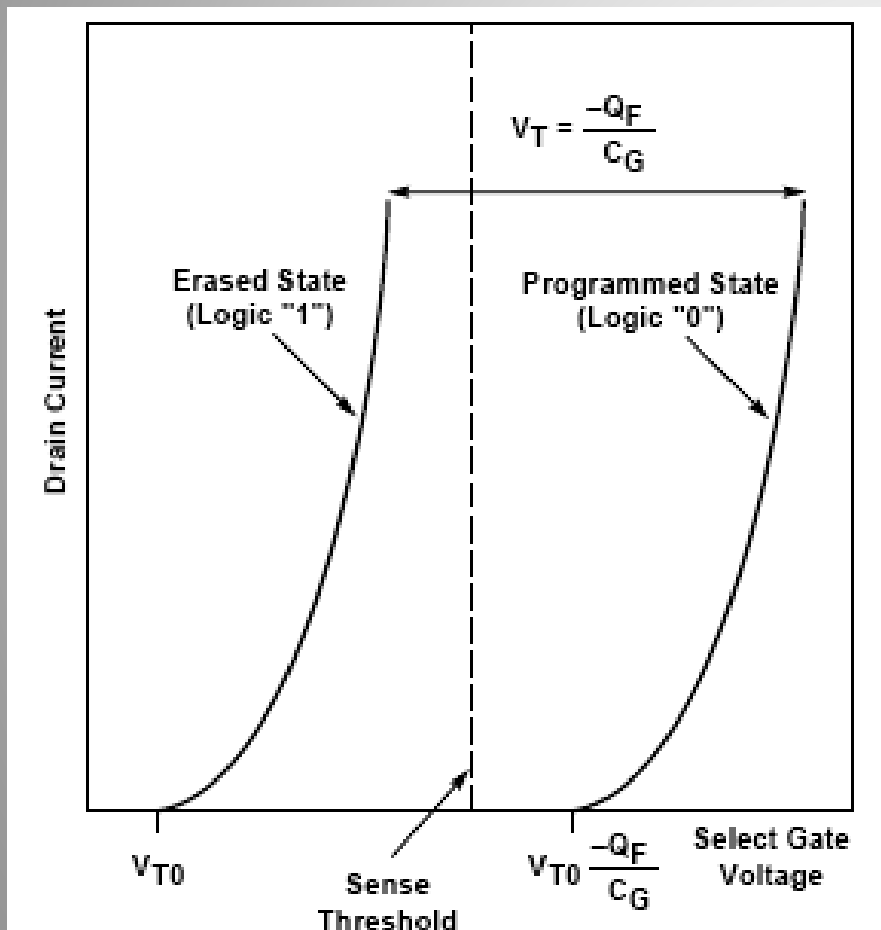
$$u_{GS} < V_T;$$

- $I_D$  не се насища;

- $g_m \uparrow$  при  $u_{DS} \uparrow$

# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

Прагови напрежения – floating gate транзистор:



$$V_{TCG} = \alpha \left( V_{T0} + \frac{C_{FD}}{C_{FG}} u_{DS} - \frac{Q_{FG}}{C_{FG}} \right); \quad \alpha = \frac{C_{FG}}{C_T}$$

✓ при липса на електрони под гейта  $V_{TCG} = V_{T0}$  (прибл. 1V);  
(изтрита - логическа "1").

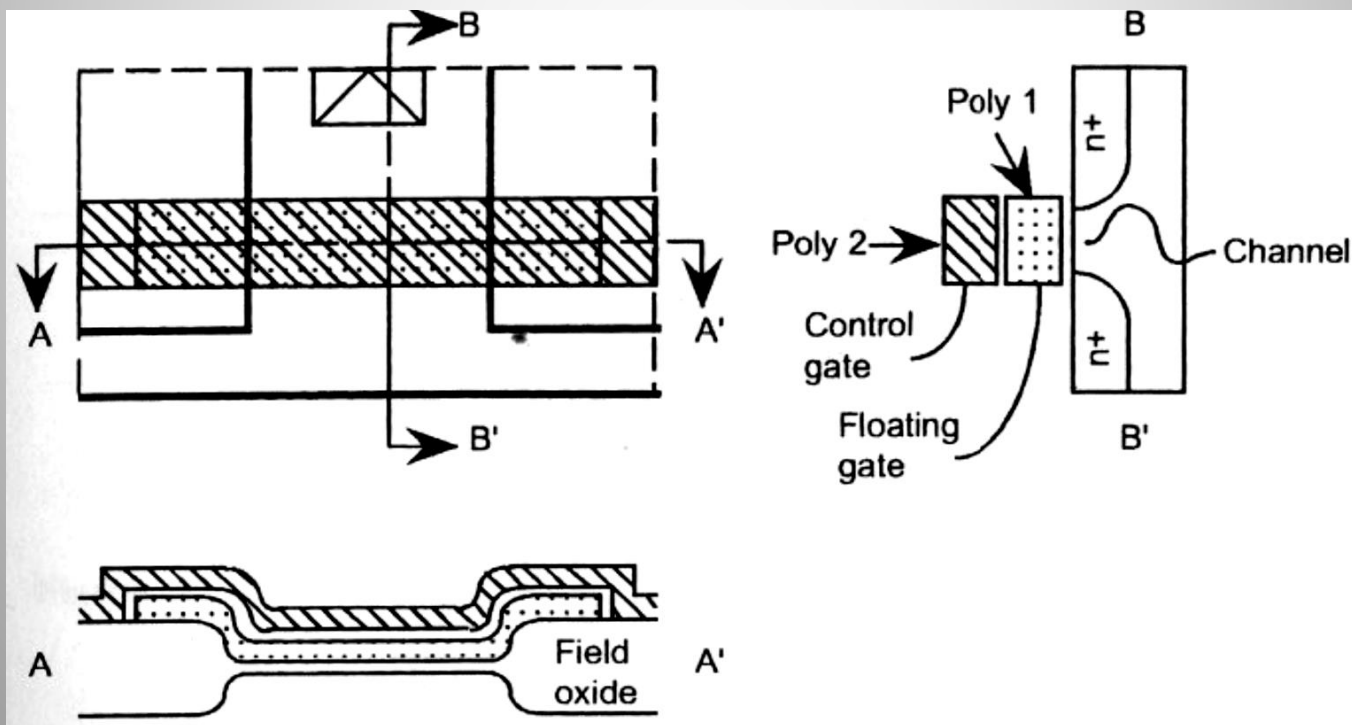
✓ при наличие на електрони:  
 $V_{TCG} \approx V_{T0} - Q_{FG}/C_{FG}$  (прибл. 8V)  
(програмирана - логическа "0").



# EPROM – Електрически програмируем ROM

Основни видове клетки – технологични решения

**Т-клетка:** преобладаваща. BL – обща за 2 съседни ЗК, WL – към CG за целия ред клетки. Програмиране – от страната на дрейна чрез CHE инжекция. Четене –  $V_{DD}$  към реда WL и малко напр. към съответната BL. Недостатък – т.нар. Program disturbs при неизбрани съседни WL или BL.

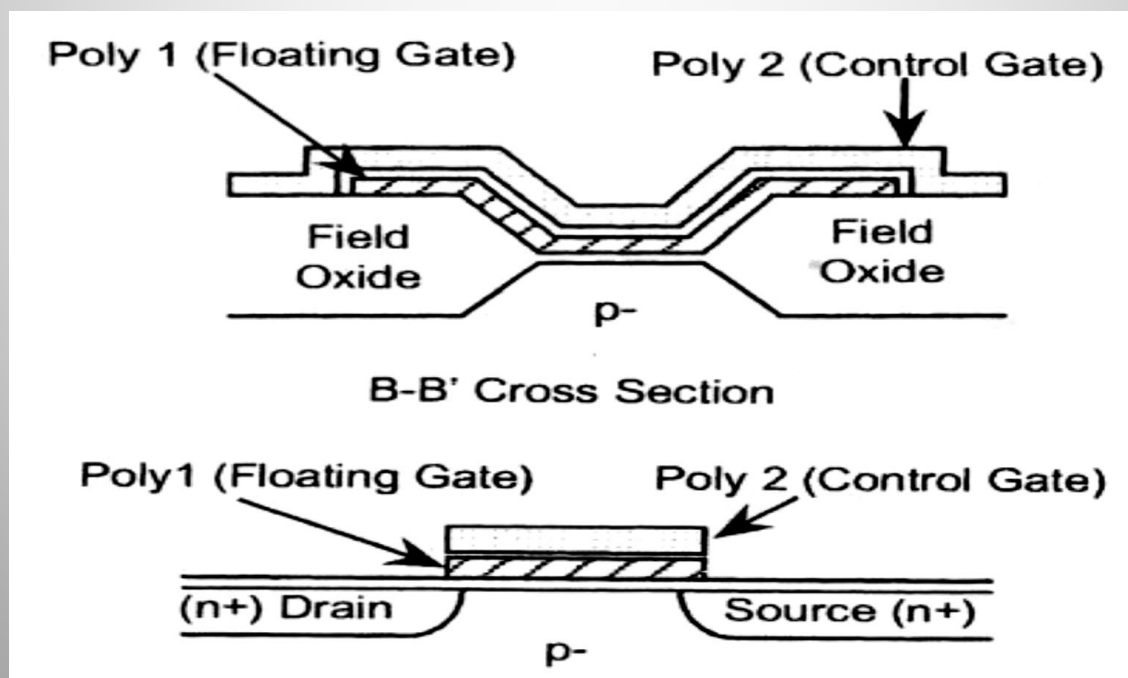


# EPROM – Електрически програмируем ROM

Основни видове клетки – технологични решения

**X-клетка:** Структура: матрица 2x2bit (X-форма). Общо подложката свързана към виртуална маса (адресира се при избор на ЗК). Общо селектиране на D-областите в една колона. Висока плътност.

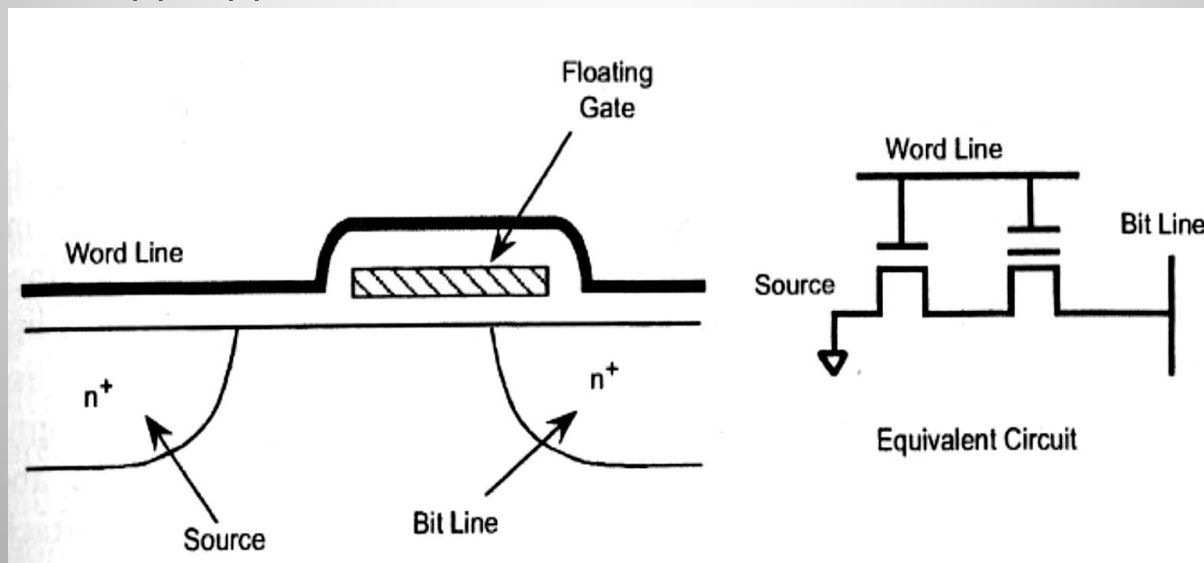
Програмиране – както Т-клетките (СНЕ инжекция в областта на дрейна, изтриване – UV лъчи). Четене: S на маса, на CG се увеличава потенциала, на D – около 1V и се отчита тока.



# EPROM – Електрически програмируем ROM

## Основни видове клетки – технологични решения

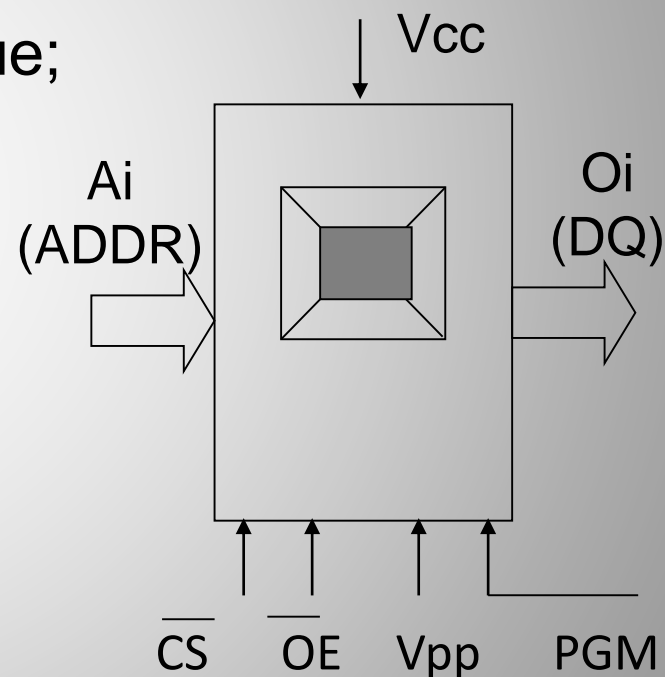
**SVG (Staggered Virtual Ground) клетка:** Също виртуална маса (намалява бр.контакти/заемана площ). Включва допълнителен MOS транзистор серийно (обща клетка – self-aligned split-gate cell). WL poly-Si (CG) директно обхваща областта на FG и на обикн.MOS транзистор. Висока сигурност от нежелано образуване на канал в областта на дрейна. BL – обща за 2N огледални клетки. Висока плътност и надеждност.



Други решения: **AMG (Alternate Metal virtual Ground) клетка:** минимално възможна площ ( $4L^2$ ).Метализация на BL за 2 колони ЗК

# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

- ❑ по-висока плътност на ЗЕ от PROM - само 1 транзистор, без доп.връзка (fuse);
- ❑ високо бързодействие при четене;
- ❑ напълно съвместими със SRAM
- ❑ недостатък – радиоактивно неустойчиви;
- ❑ относително висока цена: керамичен корпус, кварцов прозорец;
- ❑ невъзможност за селективно изтриване.

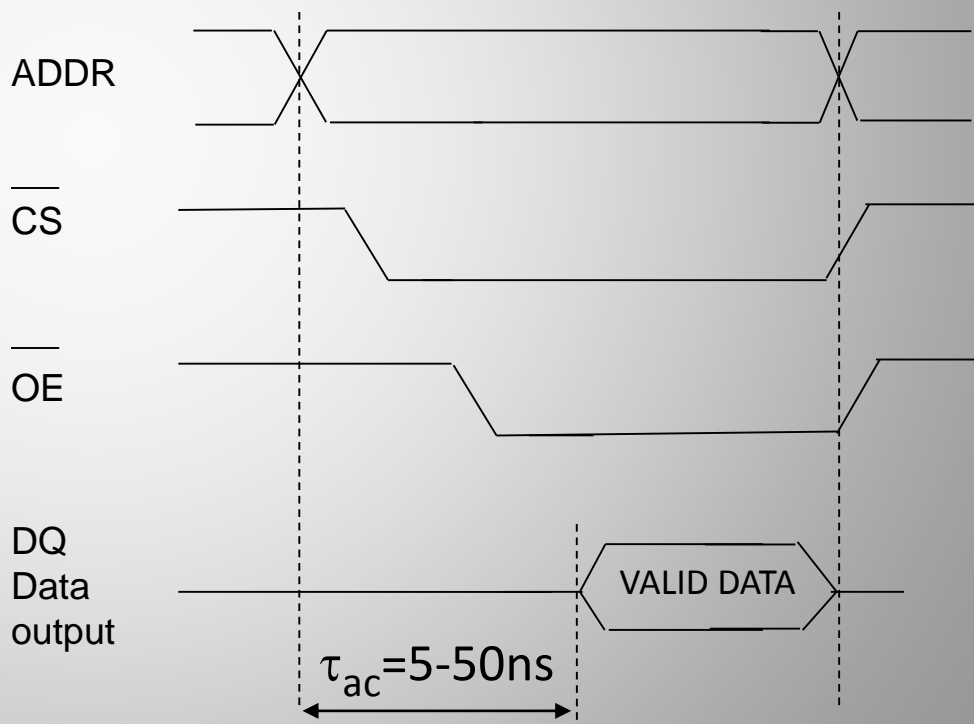


# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

Режими на работа:

- нормални: неизбрана;  
четене;  
standby
  - изтриване (UV светлина);
  - програмиране (запис).
- 
- $\tau_{ac}$  е близко до това на ROM и DRAM (няколко ns) – директна работа с честотата на процесора.

Времедиаграми при четене:  
(както при SRAM)

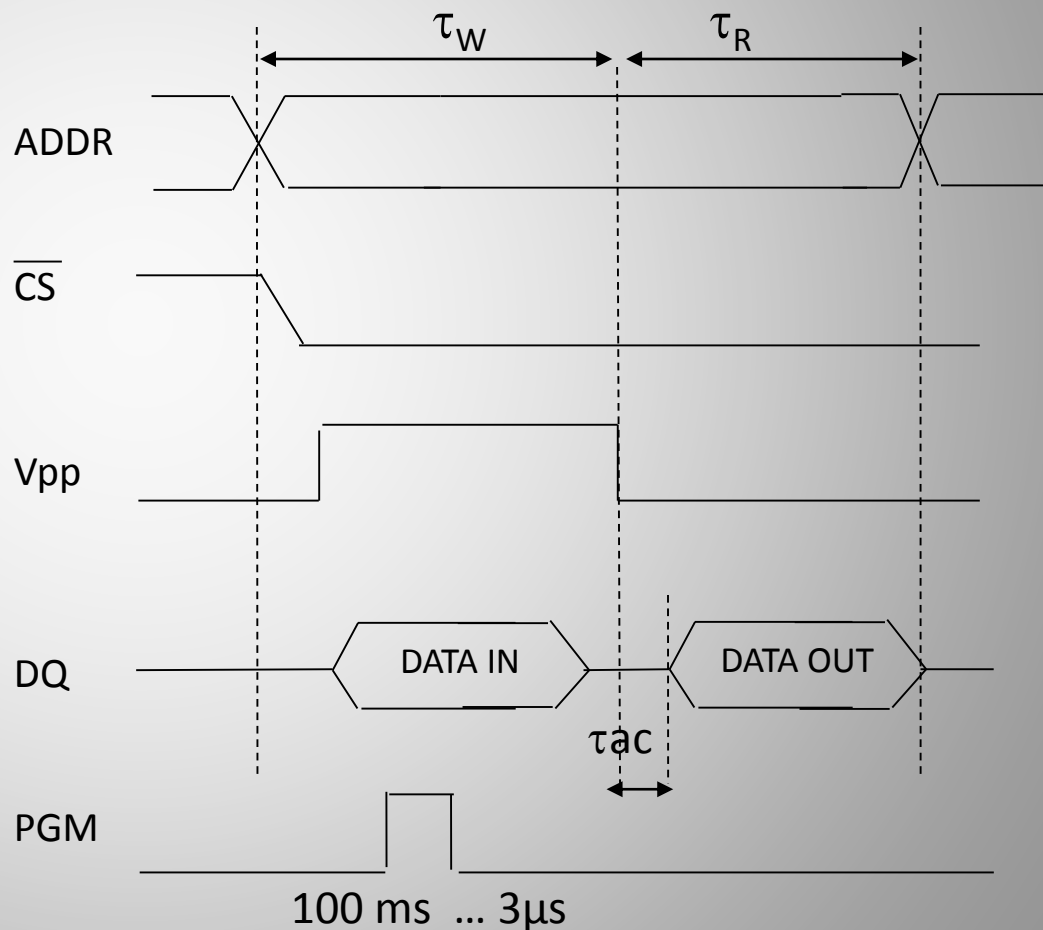


# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

- запис (програмиране) –  
относително бавен  
(от 50ms до няколко 100ns),  
Адресира се цял байт;

PGM – TTL несъвместим  
(27V, 24V, 12.7V).

- изтриване – цялата  
памет с UV светлина:  
поради това се  
наричат още UVPROM.

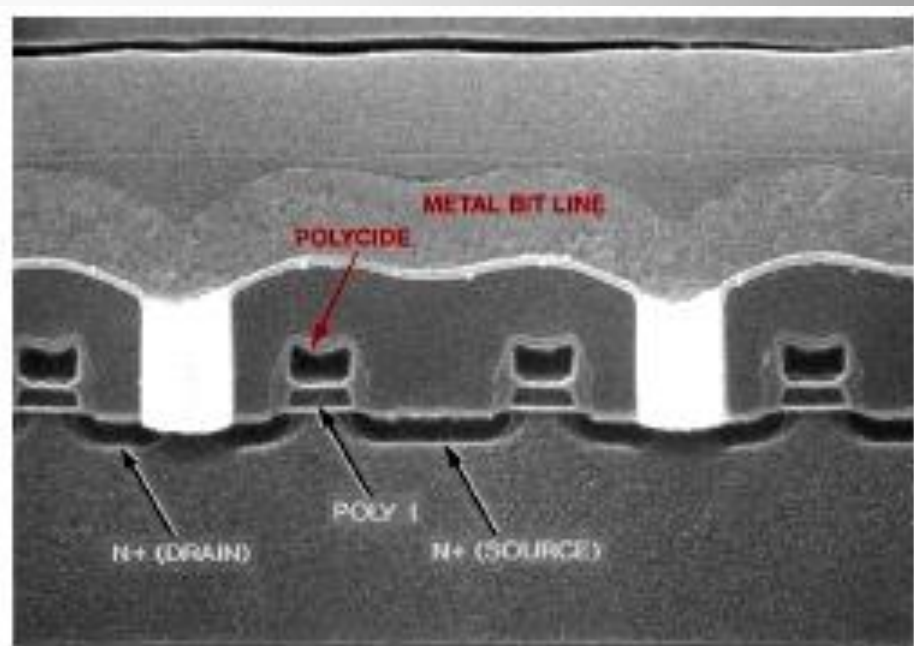
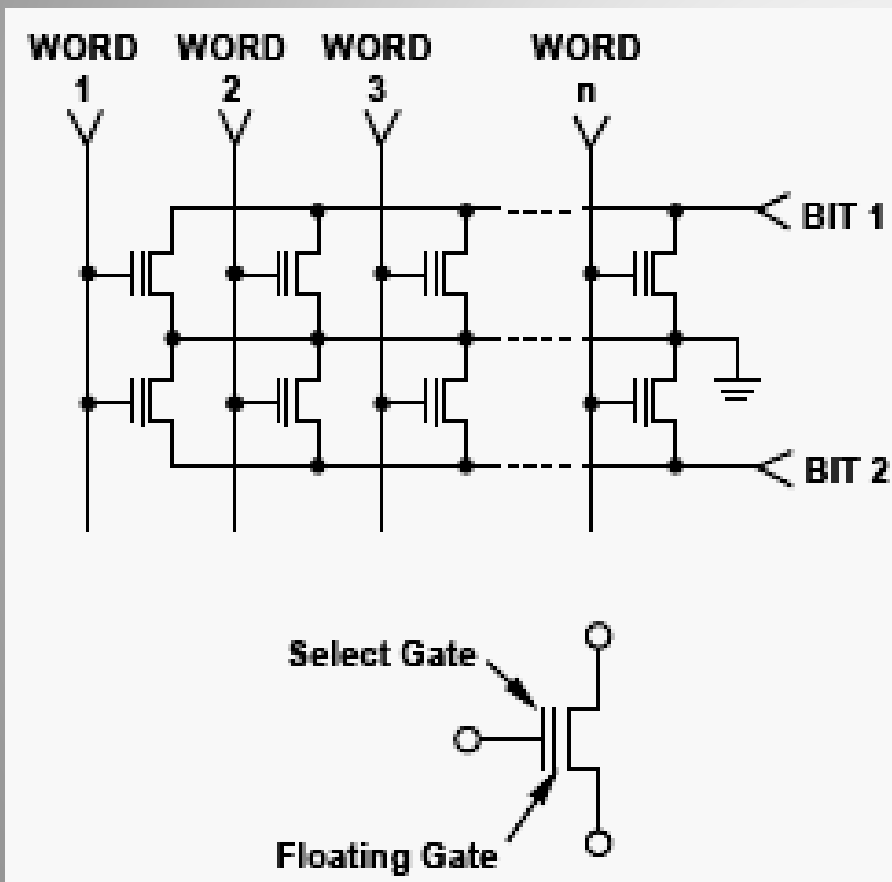


# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

- при изтриване с UV светлина - изтрива се цялата памет !!!
- OTP-EPROM (One-Time Programmable ROM) за еднократно програмиране – в апаратура, произвеждана в малки серии (без прозорче - в пластмасов корпус). OTP-EPROM – при нужда се изтриват с радиоактивни  $\alpha$ -лъчи).
- “интелигентни” алгоритми – информацията се подава на порции за ускоряване на записа.
- Всеки производител на EPROM определя алгоритъма (режима) на запис !!!
- Приложение – за запис на програми в ЕМК (относително честа промяна).

# EPROM – Електрически програмируем ROM (Electrically Programmable ROM)

EPROM - NOR структура, микроелектронна реализация





# EEPROM / E<sup>2</sup>PROM

## (Electrically Erasable Programmable ROM)

Поява – поради необходимост от многократен запис при разположение на паметта в рамките на ЕМК (**on board**);

*Невъзможност на EPROM за запис на порции от паметта, невъзможност за on-board програмиране.*

- Вътрешно генериран импулс при програмиране – само 1 захранващо напрежение
- Изтриване/запис - байт по байт: върху стария байт се записва нов байт информация!

# EEPROM / E<sup>2</sup>PROM

## (Electrically Erasable Programmable ROM)

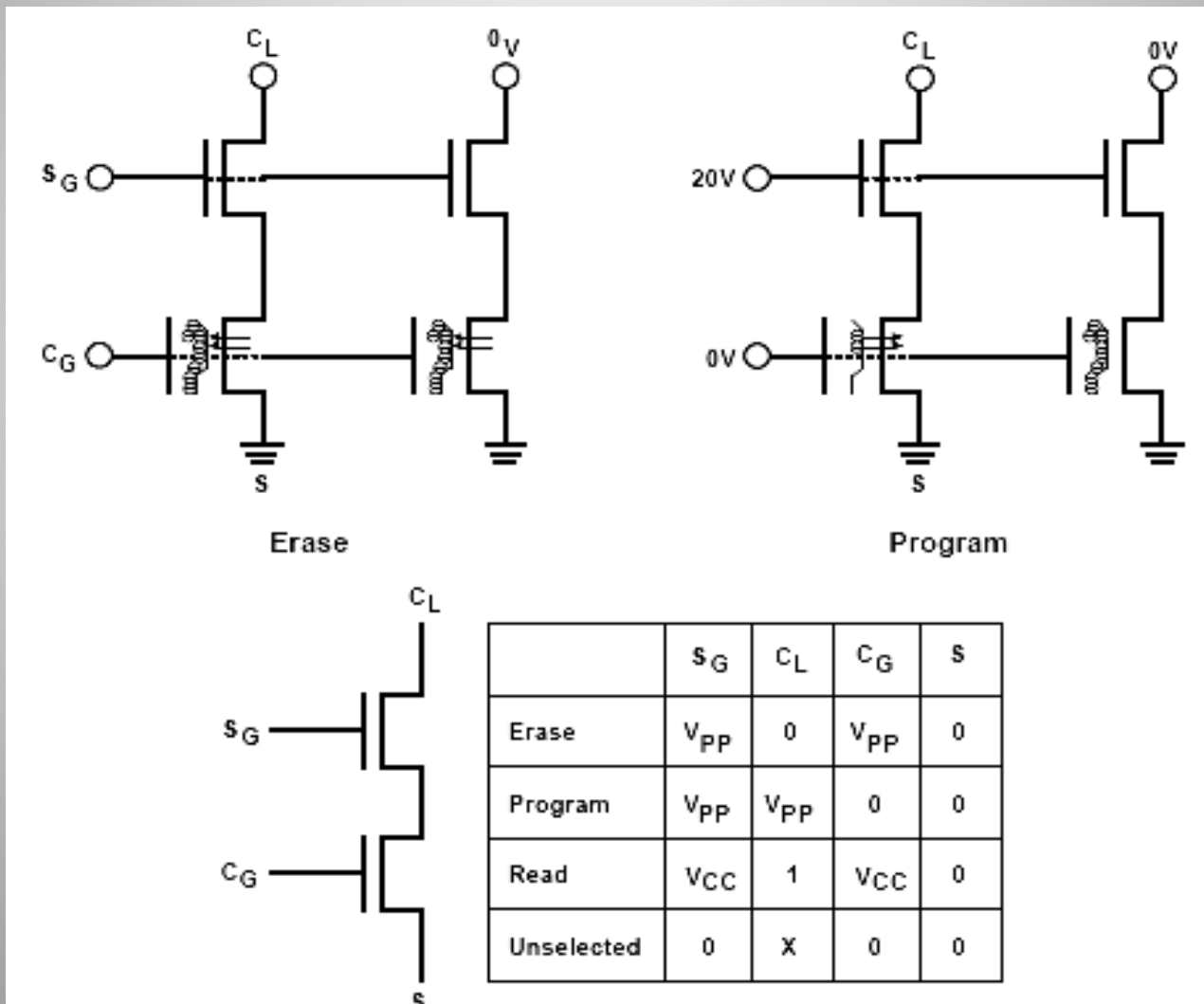
### Разлика между EPROM и EEPROM:

- Наличие на допълнителни структури в EEPROM за пренос на електрони от и към плаващия гейт (FG) при прилагане на високо напрежение и **допълнителен селектиращ транзистор** (2-транзисторна клетка);
- EEPROM - двупосочен процес на тунелиране при запис и изтриване. Използва механизма Fowler-Nordheim (F-N) за пренос на електрони (от планарния слой или от poly-Si).
- Клетки: FLOTOX, FETMOS (същата конструкция, както EPROM, но с допълнителен транзистор) и др.

# EEPROM / E<sup>2</sup>PROM

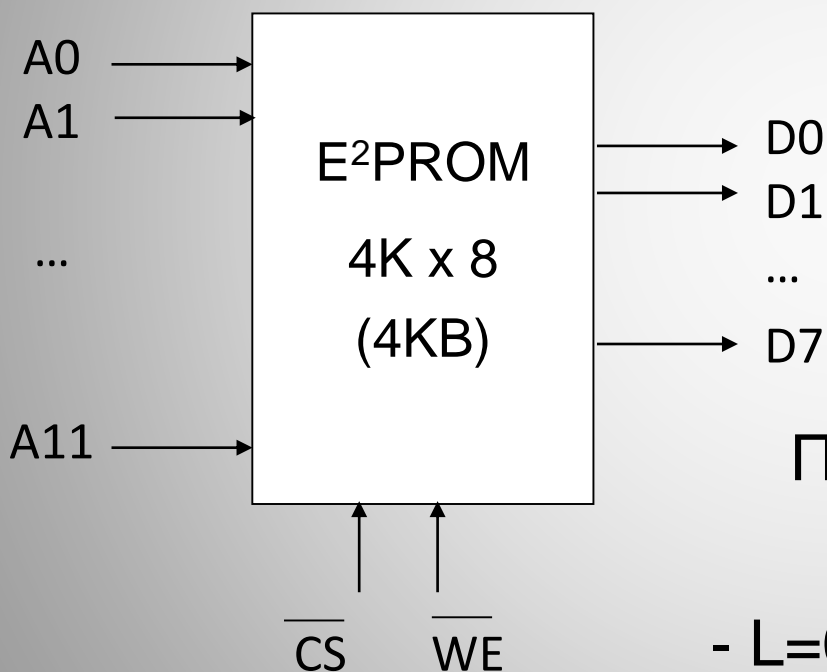
## Режими на работа

Изтриване, програмиране (запис), четене, standby, неизбрана



# EEPROM / E<sup>2</sup>PROM (Electrically Erasable Programmable ROM)

Примерна блокова схема:



Приложение:

- за запис на технологични програми, параметри;
- НЕ за програми в ЕМК.

Прибл.съвременно състояние:

- пример: обем → 1Mbit,
- L=0.6μm, площ на 3E → 22,5μm<sup>2</sup>,
- обща площ на чипа → 51mm<sup>2</sup>

## FLASH памети (FLASH ROM)

### Особености:

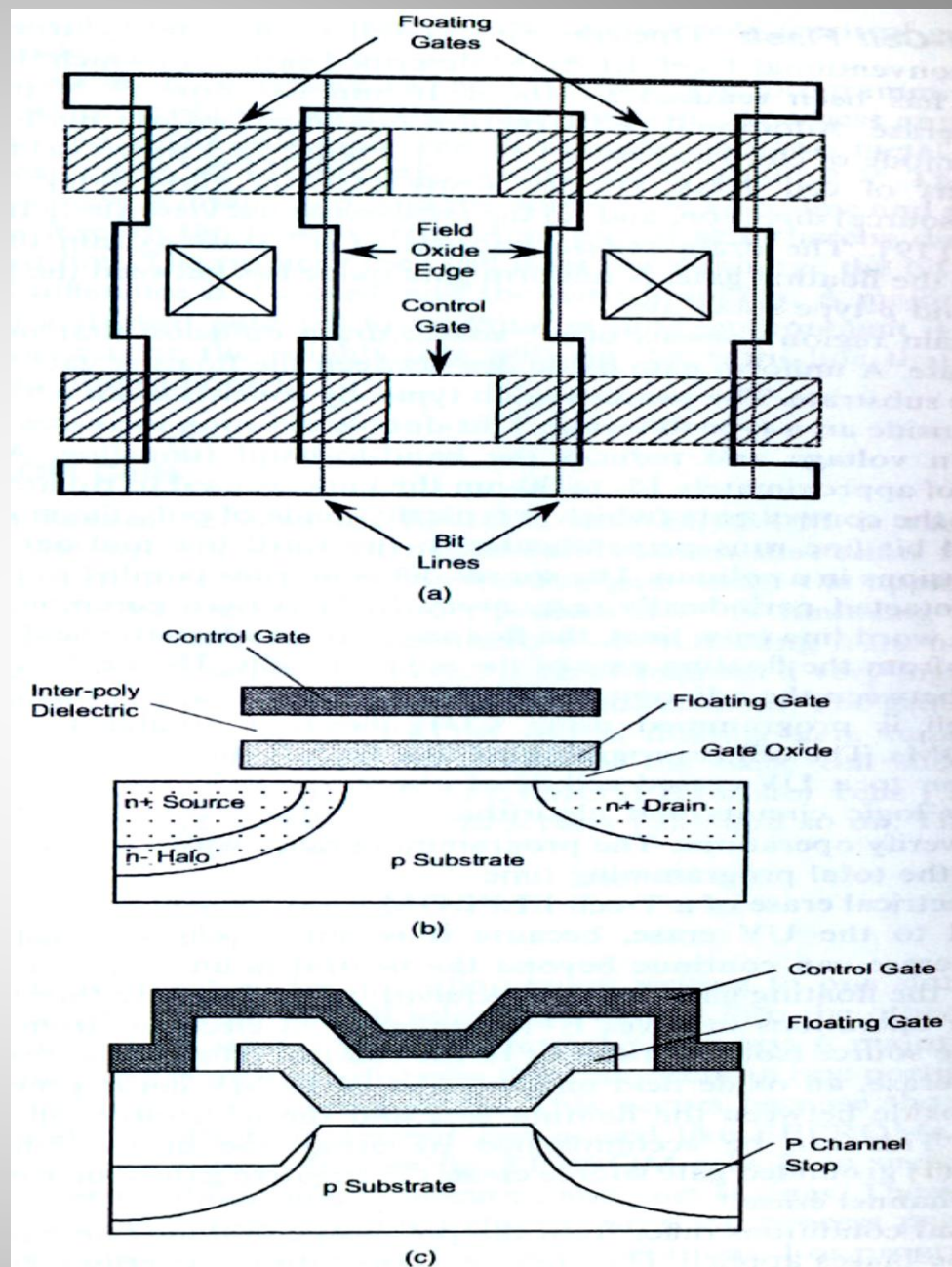
- блоково програмиране/изтриване и индивидуален запис до конкретна ЗК;
- изтриване – само чрез F-N тунелиране;
- програмиране – чрез F-N тунелиране или CHE механизъм.

### Разлики в ЗЕ:

- ❑ липса на селектиращ транзистор във Flash клетката;
- ❑ по-тънък слой на  $\text{SiO}_2$  под FG ( $100\text{\AA}$  – позволява F-N процес на тунелиране при изтриване);
- ❑ по-дълбока област на сорса (двуетапна дифузия → за ускоряване процеса на изтриване (тунелиране на електрони от плаващия гейт, FG).

# FLASH памети – Т-клетка (особености)

- по-тънък слой под FG;
- n+ слой под D застъпва малко областта на FG;
- S от n+ и n дифузии;
- 15÷30nm слой между CG и FG (т.нар. inter-poly слой);
- BL (метал) – по колони и обхваща всички D области;
- област на S – успоредно на WL и периодично на всеки 16 bits контакт с обща S шина;
- леко припокриване на FG с областите на S и D и не е общ за отделните клетки
- $V_T=5V$  (при EPROM=1.5-2V);
- спец.ЛС и алгоритми за контрол на програмирането и за проверка.



## FLASH памети (FLASH ROM)

- Опасност при Flash ROM – евентуална промяна в дадена зона (т.нар. portion disturbance) докато се записва в друга. **Липсва селектиращ транзистор** (висока степен на интеграция);
- Предимство – изцяло CMOS технология с допълнителни процеси за FG (до и под  $0.18\mu\text{m}$ ) – постига се висока степен на интеграция за цялата схема.

## FLASH памети (FLASH ROM)

Реализация на структурно ниво:

- **Boot block** Flash (Sector erased) - изтриване на сектори от 4KB до 128KB (16KB boot block – сигурност!);
- **Bulk erased** Flash - изтрива се целия Flash.

Операциите четене и запис – на принципа на непосредствен побайтов достъп.

Първите FLASH-софтуерно управление на операциите.

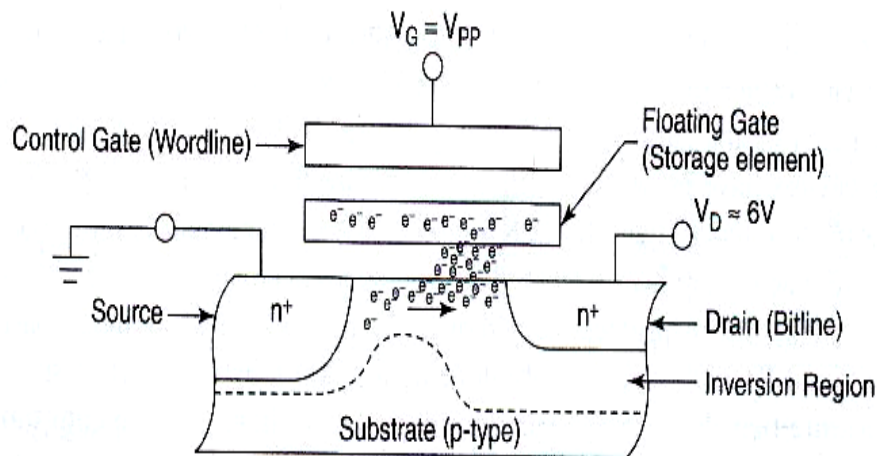
**Съвременни FLASH архитектури** – имат вграден краен автомат (КА) за управление на операциите WRITE и ERASE – по-високо бързодействие.



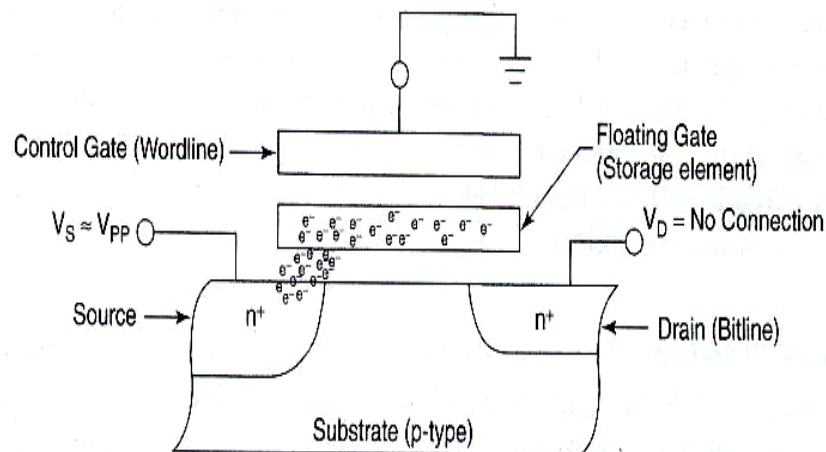
## FLASH памети (FLASH ROM)

Запис: CHE  $\rightarrow$   $V_{pp}=12V$  към CG, образуване на инверсна зона в p-подложката, напр.на D се  $\uparrow$  до около 6V, S към маса. Електроните преодоляват бариерата на слоя  $SiO_2$  и се разполагат върху FG;

Изтриване – чрез F-N тунелиране се премахва заряда от FG. S  $\rightarrow$  към високо напрежение ( $V_{pp}=12V$ ), CG към маса, D – свободен.



Запис във FLASH ЗК (CHE)



Изтриване във FLASH ЗК (F-N)

# FLASH памети (FLASH ROM)

## Архитектури на FLASH памети

- NOR-базирани: за приложения с големи масиви данни – при **клетъчни телефони и мобилни РС** (добра плътност, ниска консумация, добро бързодействие).

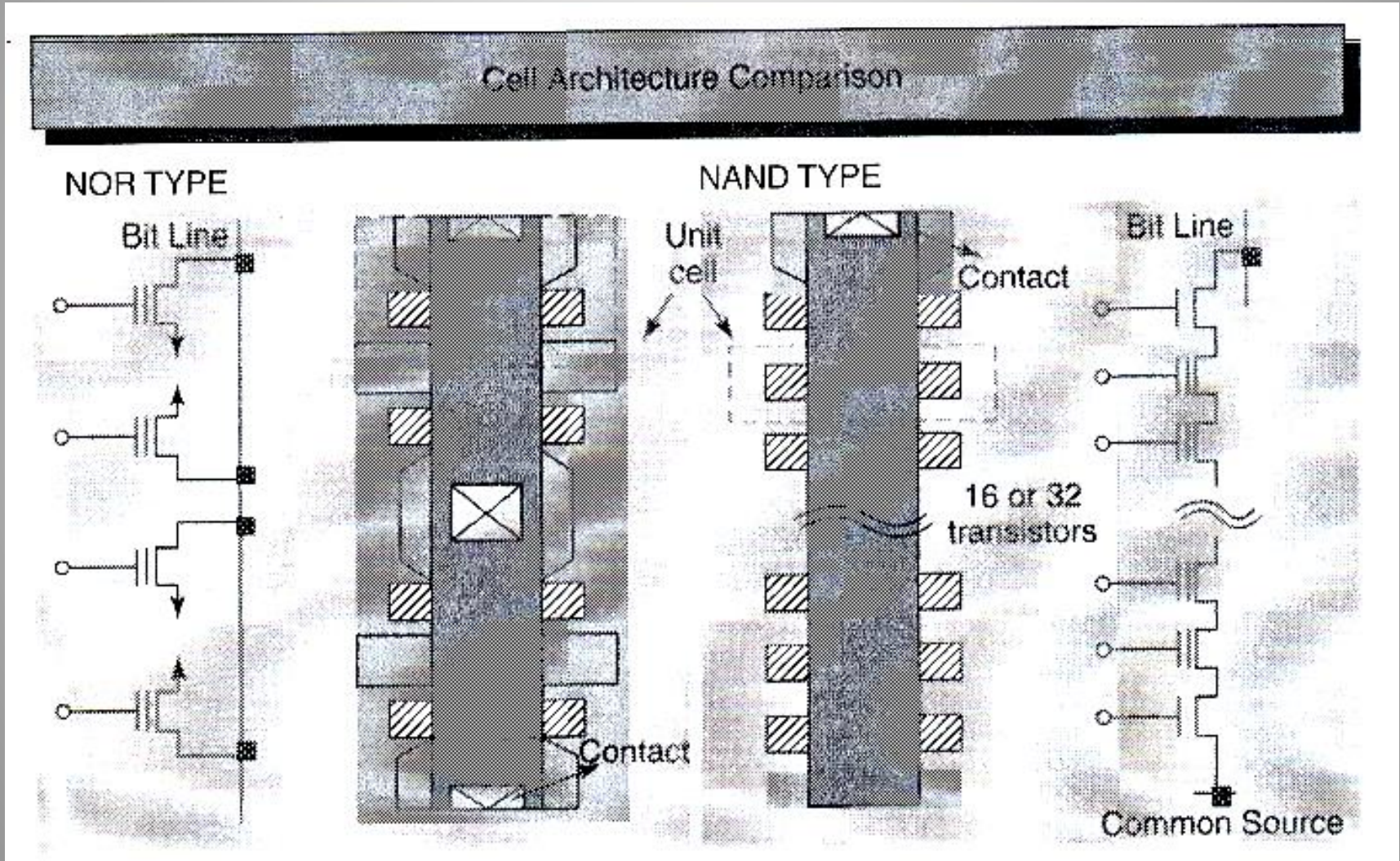
Пример – **Intel Dual-plane Flash 32-Mbit (основно за мобилни телефони и други embedded приложения).**

*FDI\_2.5 (flash data integrator) – софтуерен мениджър за работа в реално време. Използва dual-bank подход (процесорът чете инструкции докато Flash извършва запис/изтриване. Същият подход се прилага и от STMicroelectronics за 32Mb (2Mb x 16 bits) – M59DR032:  $V_{cc}=1.8V$  ( $\tau_{acc}=100ns$ );*

- NAND-базирани: за масови приложни продукти и данни (**memory cards**, “твърди” дискове) – по-малка ЗК, малко време за сериен достъп.

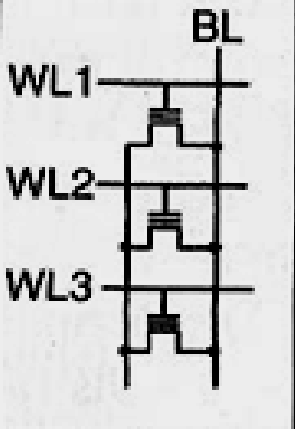
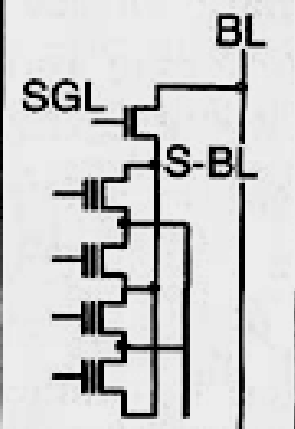
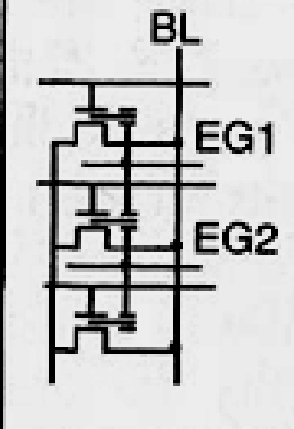
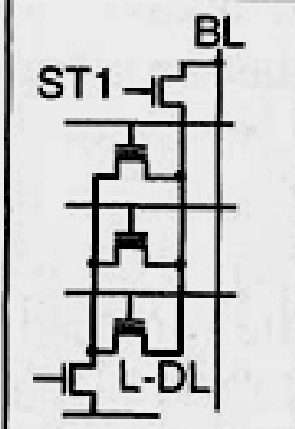
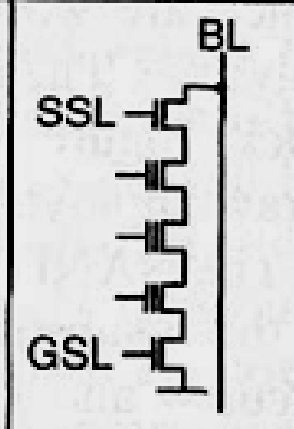
# FLASH памети (FLASH ROM)

## NOR и NAND архитектури – ME реализация



# FLASH памети (FLASH ROM)

Практически архитектури – технологии, структура, комерсиални решения

Technology	NOR	DINOR	T-Poly	AND	NAND
Structure					
Program Method	CHE	F-N	CHE	F-N	F-N
Erase Method	F-N	F-N	F-N	F-N	F-N
Layers	2P2M	3P2M	3P1M	3P2M	2P1M
Company	Intel,AMD	Mitsubishi	SanDisk	Hitachi	Samsung Toshiba

## FLASH памети

### Съвременни комерсиални решения - пример

Серия BENAND SLC (single level cell) на Toshiba (2014 г.):

- 24nm технология – изключително висока СИ;
- NAND архитектура;
- вградена 8-bit система за корекция (error correction code, ECC): елиминира необходимостта от натоварване на host-компютъра да извършва тази функция;
- ECC корекцията е решение за елиминиране на проблемите при голям брой цикли запис/изтриване при малък размер на запомнящата клетка;
- налични чипове с различен обем на паметта в TSOP (Thin Small-Outline Package) и BGA (Ball Grid Area) корпуси за широк обхват температурни диапазони на работа.