

ПРОЕКТИРАНЕ НА CMOS ИНТЕГРАЛНИ СХЕМИ НА ОСНОВАТА НА CMOS БАЗОВИ МАТРИЧНИ КРИСТАЛИ

ОСНОВНИ ГРАДИВНИ ЕЛЕМЕНТИ И ЕЛЕКТРИЧЕСКИ ХАРАКТЕРИСТИКИ НА CMOS БМК. ОСОБЕНОСТИ НА КОНСТРУКЦИЯТА НА CMOS БМК

Най-общо архитектурата на базовите матрични кристали предполага използването на базови и периферни клетки. Посредством елементите в базовите клетки се реализират логически или други функции, а елементите от периферните клетки служат за връзка с външната среда, други чипове или като помощни елементи.

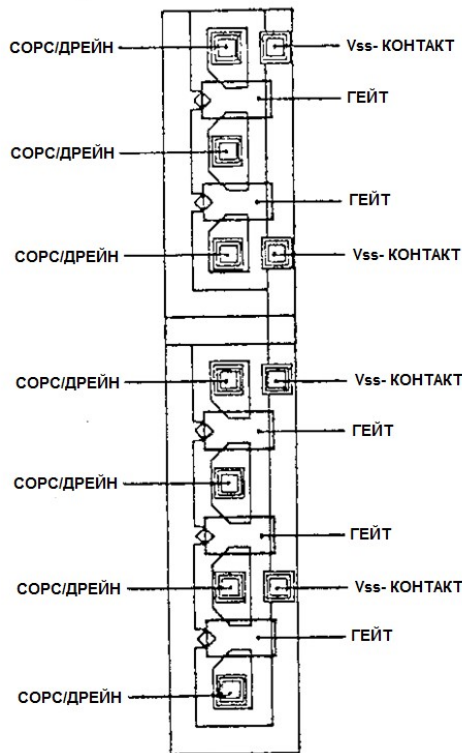
Тук са представени примерни хоризонтални топологии и характеристики на елементи от базовите и периферните клетки на CMOS базов матричен кристал, реализиран върху n-тип полупроводникова подложка. Това включва P- и NMOS работни, буферни, драйверни и високоомни транзистори, както и примерни архитектури за топология на базови и периферни клетки. Важно е да се отбележи разликата в топологиите на P- и NMOS транзисторите от един и същи тип. Тя се изразява в по-голямата широчина на канала при PMOS транзисторите. Това се дължи на факта, че основните токоносителите при този тип транзистор имат по-малка подвижност от токоносителите при NMOS транзистора. Поради тази разлика P- и NMOS транзистор с еднакви геометрични параметри ще имат различни електрически характеристики (I_D ще е с по-малки стойности за PMOS транзистора при едни и същи работни напрежения). За да се реши този проблем и да се постигнат уеднаквени характеристики, каналът на PMOS транзисторът се реализира с по-голяма широчина.

1. NMOS транзистори

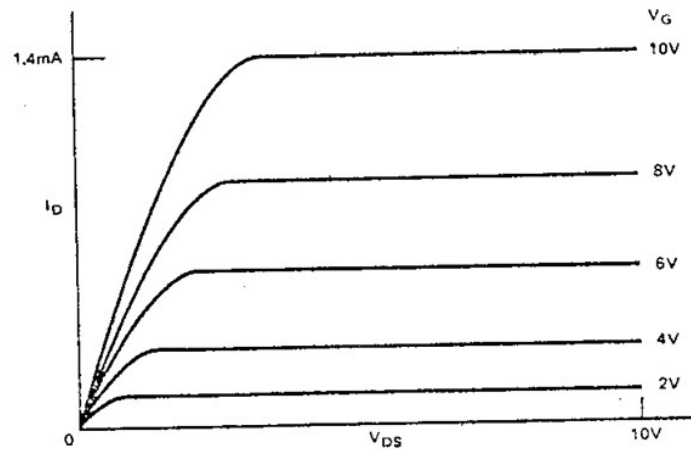
Ще бъдат разгледани четири вида NMOS транзистори, използвани в CMOS базовите матрични кристали: работен, буферен, високоомен и драйверен.

1.1. NMOS работен транзистор

На фиг.1 е показана структура на NMOS работни транзистори. Горната част на структурата се състои от два транзистора – два гейта и три области сорс/дрейн със съответните контакти към тях. Респективно в долната част има три транзистора - три гейта и четири области сорс/дрейн. Съответните p-дъжобове са предварително свързани към V_{SS} .



Фиг.1 NMOS работни транзистори

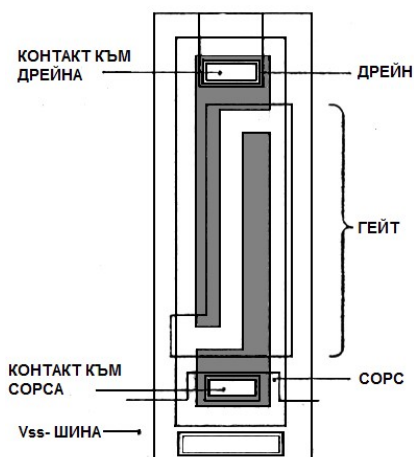


Фиг.2 Изходни характеристики на NMOS работен транзистор

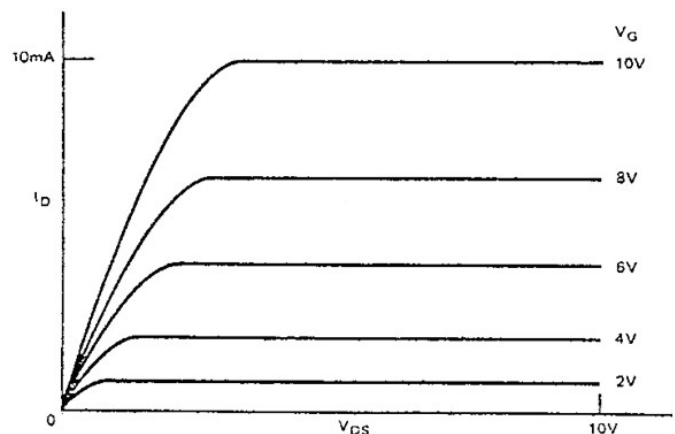
На фиг.2 е изложена графика с типични изходни характеристики на NMOS работен транзистор.

1.2. NMOS буферен транзистор

На фиг.3 е показана топологията на NMOS буферен транзистор. Дрейновата и сорсовата област са реализирани така, че да се постигнат съответните параметри на канала. Сорсът и р-джобът са предварително свързани към V_{SS} .



Фиг.3 NMOS буферен транзистор

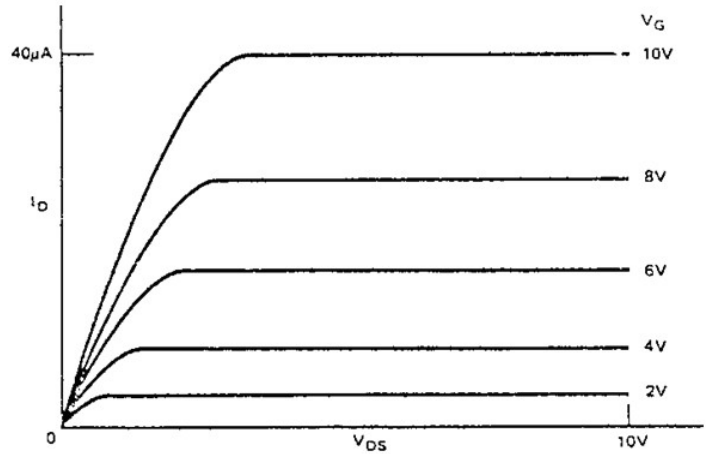
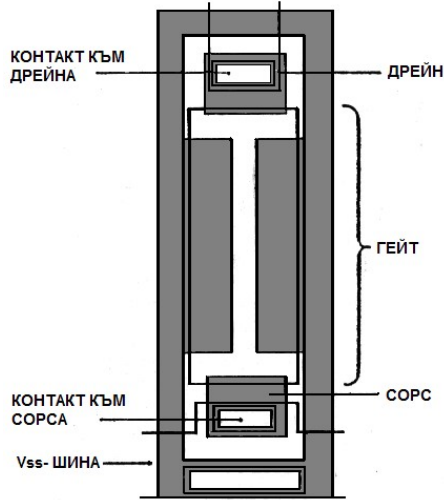


Фиг.8.4 Изходни характеристики на NMOS буферен транзистор

Типичните изходни характеристики на този тип транзистор е показано на фиг.4.

1.3. NMOS високоомен транзистор

На фиг.5 е представена топология на високоомен NMOS транзистор. Типичният му дрейнов ток достига до около 3% от токовете на гореописаните NMOS транзистори.



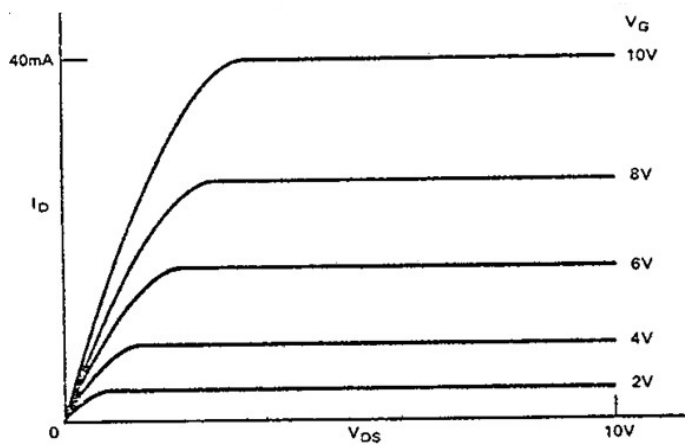
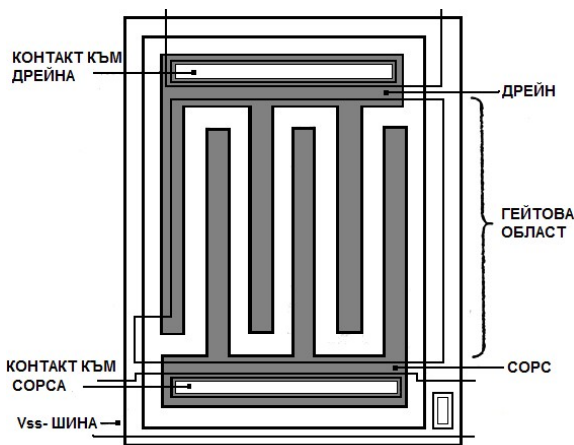
Фиг.5 Високоомен NMOS транзистор

Фиг.6 Изходни характеристики на високоомен NMOS транзистор

На фиг.6 са дадени изходните характеристики на този транзистор.

1.4. NMOS драйверен транзистор

Фиг.7 представя топологията на NMOS драйверен транзистор. Подобно на буферния, за да се получат по-големи дрейнови токове, каналът е силно разширен – дрейнтът и сорсът са изпълнени в гребеновидна форма.



Фиг.7 NMOS драйверен транзистор

Фиг.8 Изходни характеристики на NMOS драйверен транзистор

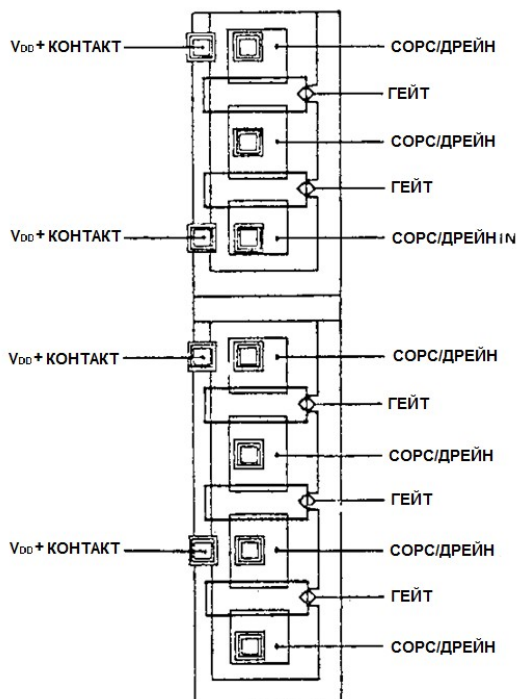
Типичните характеристики на транзистора са показани на фиг.8.

2. PMOS транзистори

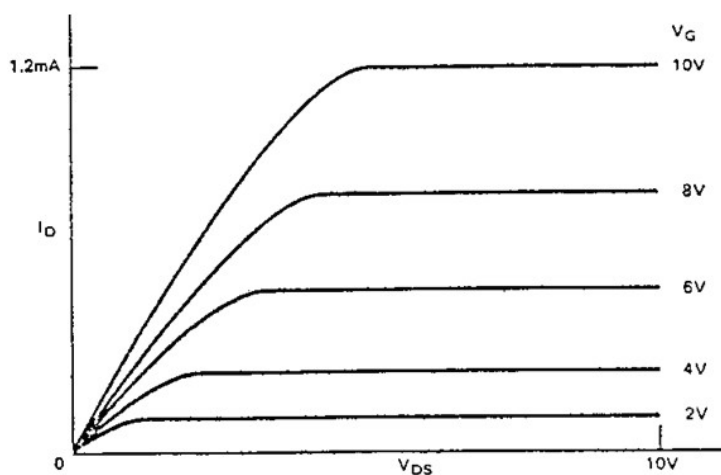
CMOS БМК съдържа три вида PMOS транзистори.

2.1. PMOS работен транзистор

На фиг.9 е показана структура на PMOS работни транзистори. Топологията им е подобна на описаните по-горе NMOS работни транзистори. Подложката от n-тип е предварително свързана с V_{DD} . Контактите дрейн/сорс може да се свързват директно към предвидените V_{DD} контакти.



Фиг.9 PMOS работни транзистори

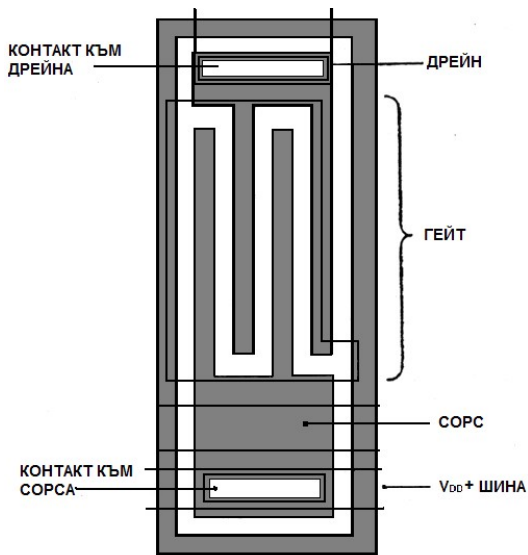


Фиг.10 Изходни характеристики на NMOS работен транзистор

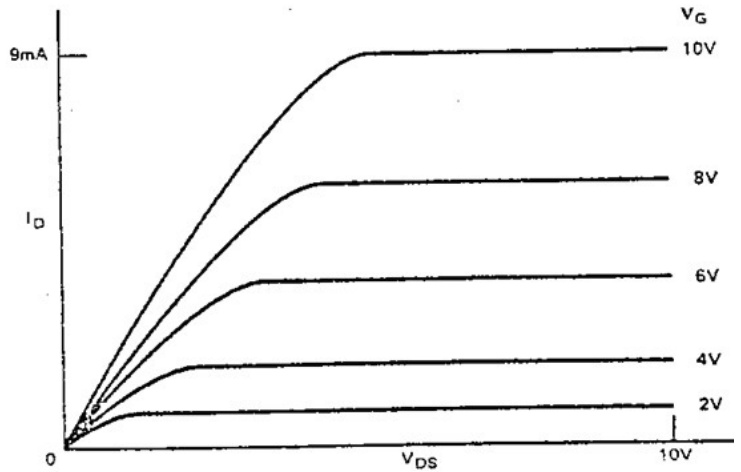
Типичните изходни характеристики на PMOS работния транзистор са показани на фиг. 10. Той има приблизително същото съпротивление на канала като NMOS работния транзистор.

2.2. PMOS буферен транзистор

На фиг.11 е показана топологията на PMOS буферен транзистор. За да се намали съпротивлението на канала и да се минимализира площта на елемента, сорсът и дрейнът са гребеновидни. Сорсът и n-подложката са предварително свързани към V_{DD} .



Фиг.11 PMOS буферен транзистор

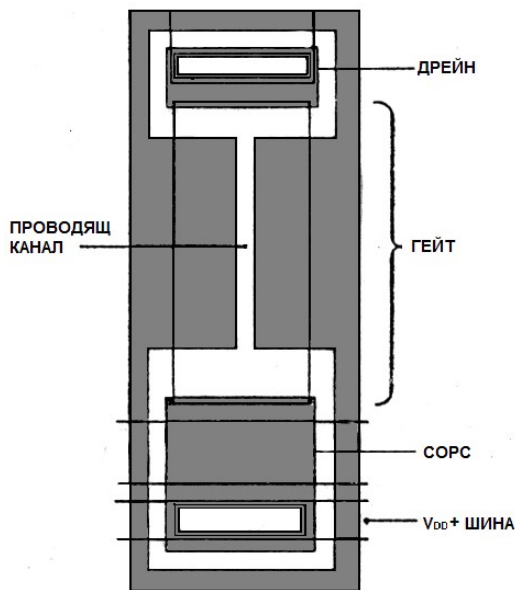


Фиг.12 Изходни характеристики на PMOS буферен транзистор

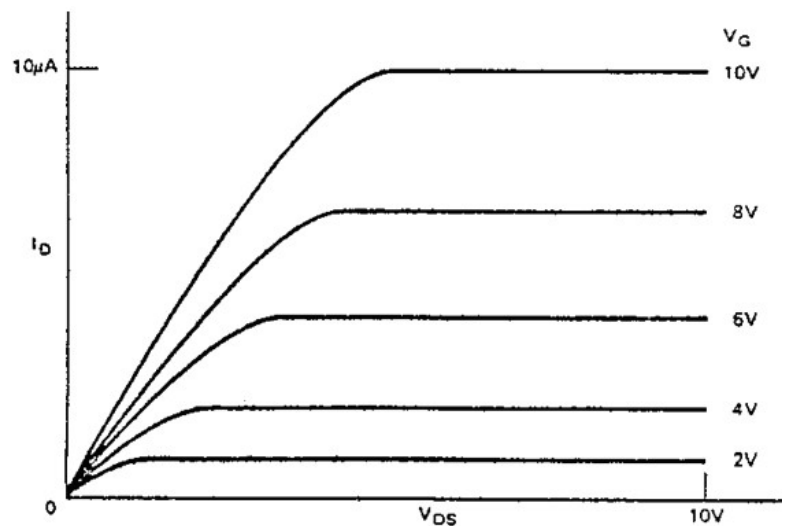
Изходните характеристики на PMOS буферния транзистор са показани на фиг.12. P- и N-MOS буферните транзистори са така проектирани, че да имат приблизително едно и също съпротивление на канала.

2.3. PMOS високоомен транзистор

На фиг.13 е показан високоомен PMOS транзистор. Изходните му характеристики са дадени на фиг.14. Типичният дрейнов ток на този транзистор е само около 1% от токовете на гореописаните PMOS транзистори.



Фиг.13 Високоомен PMOS транзистор

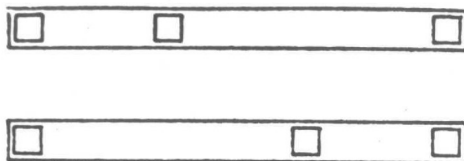


Фиг.14 Изходни характеристики на високоомен PMOS транзистор

3. Други елементи в CMOS БМК

3.1. „Мостчета”

„Мостчетата” са елементи, служещи за осъществяване на пресичане между две шини на различни нива. При n-тип подложка мостчетата представляват ивица p+ тип полупроводник, изолирана чрез слой SiO₂ от шините, минаващи върху нея. Създадени са отвори в защитния оксиден слой, за да може да се осъществи контакт към „мостчето”, когато е нужно. На фиг.15 е показана примерна топология на „мостчета”.



Фиг.15 Примерна топология на мостчета

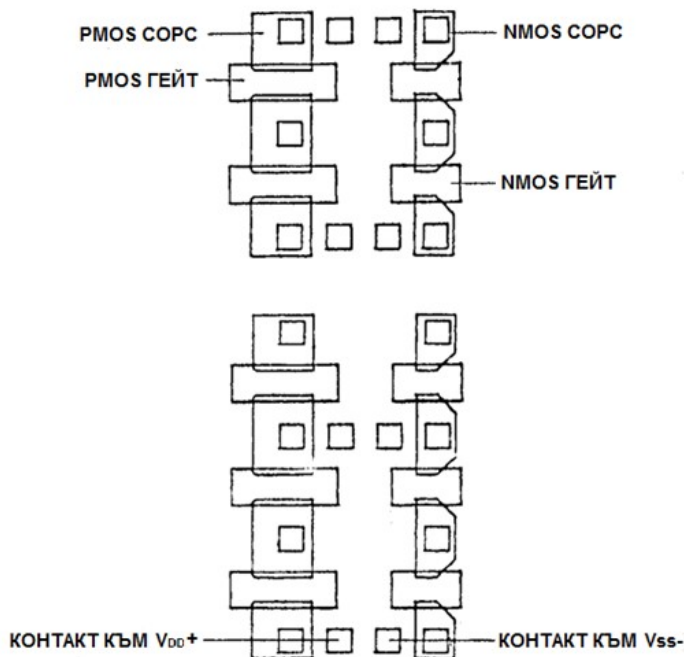
3.2. Площадки за бондиране

По периферията на кристала са разположени площадки за бондиране, които служат за връзка на схемата с външна среда или друг чип, както и за подаване на напрежение към захранващите шини. Те се създават заедно с останалата метализация при процеса на изграждане на схемата.

4. Примерни архитектури на базови и периферни клетки

4.1. Базови клетки

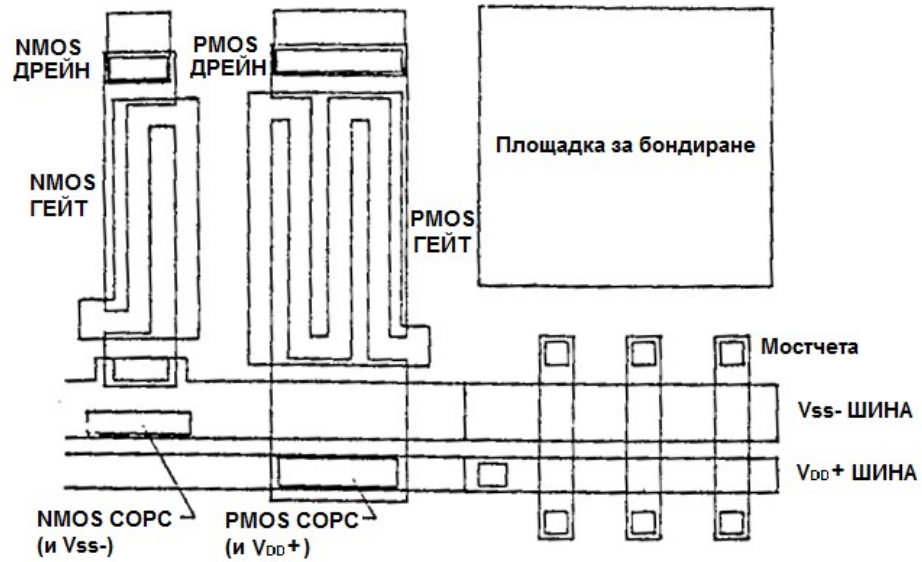
Базовите клетки изграждат ядрото на базовия матричен кристал. С помощта на една или няколко от тях се реализират функциите, които проектираната интегрална схема трябва да извършва. При CMOS БМК тези клетки са изградени предимно от комплементарни структури работни транзистори и от „мостчета”, служещи за улесняване на опроводяването в участъци, където е възможно да възникне пресичане на шините. На фиг.16 е показана примерна архитектура на такава клетка.



Фиг.16 Архитектура на базова клетка

4.2. Периферни клетки

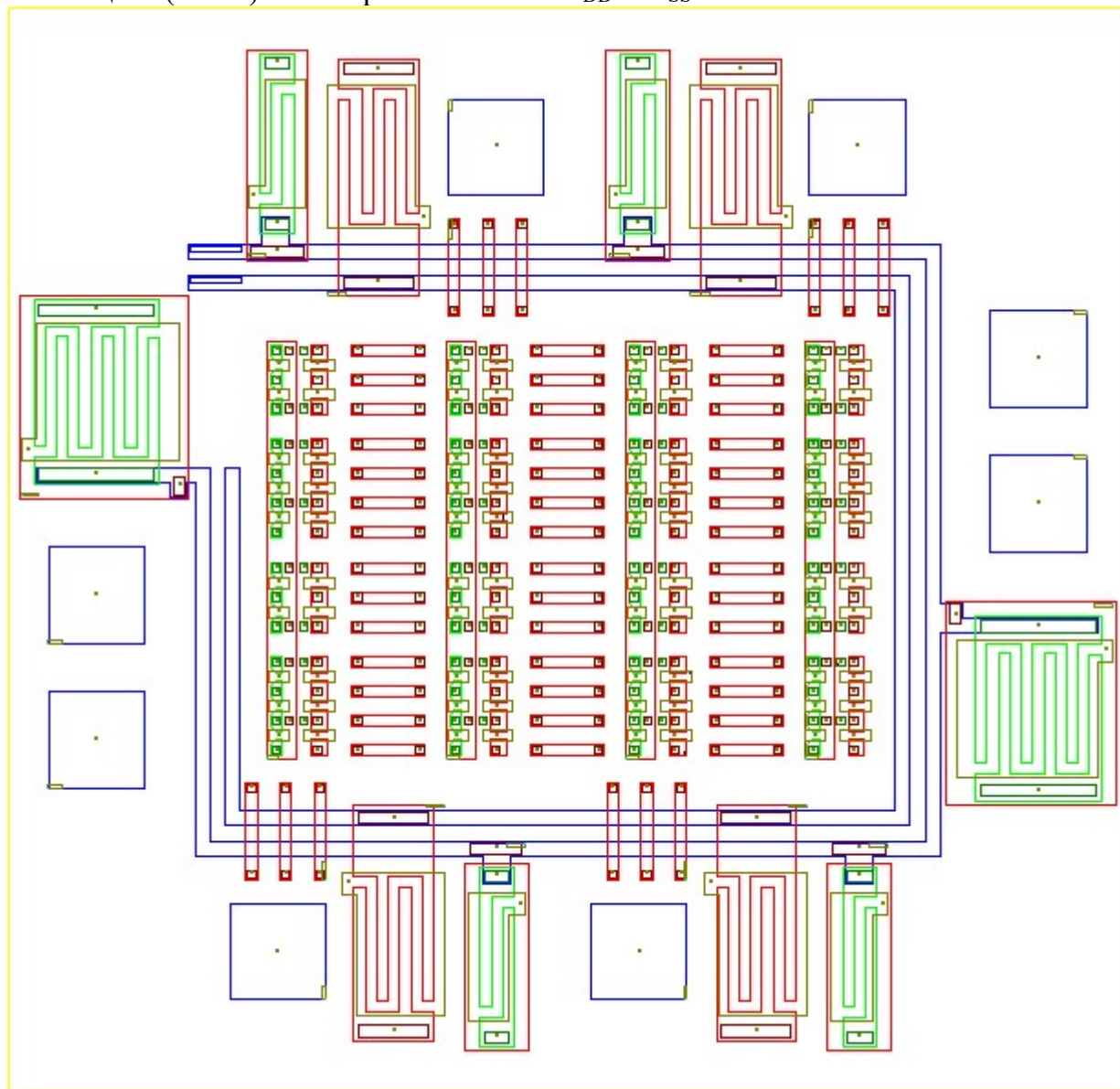
На фиг.17 е показана примерна архитектура на част от типична периферна клетка от CMOS базов матричен кристал. Тя съдържа буферни транзистори от p- и n-тип, „мостчета”, пресичащи захранващите шини за връзка с базовите клетки във вътрешната част на кристала, както и площадка за бондиране за връзка с околната среда.



Фиг.17 Архитектура на периферна клетка

4.3. Структура на използвания БМК

БМК съдържа ядро. От горната, долната страна, ляво и дясно на определено разстояние са разположени периферните клетки. Цялата структура е оградена с линия от тип Board Outline, за да се дефинират физическите граници на кристала. Тази линия е в жълт цвят, за да се отличава от очертаванията на останалите елементи. Със син цвят (Metal) са изчертани шините V_{DD} и V_{SS} .



Фиг.18 Завършен модел на CMOS БМК

В Табл.1 е показано с кои цветове е изобразена всяка област върху отделните чертежи на компонентите и завършения модел на БМК.

Име на слоя	Съответна област	Цвят
Gate	Гейтова област	Златист
P-Diff	Област на р-дифузия	Червен
N-Diff	Област на п-дифузия	Син
P-Contact	Контакт към р-дифузия	Тъмно червен
N-Contact	Контакт към п-дифузия	Тъмно син
Metal	Метална област	Зелен
Top Elec	Писти; Пинове	Син; Жълт

Табл.1 – Съответствия между области, слоеве и цветове

Ядрото на реален БМК е матрица от $n \times n$ базови клетки. Съответно от всяка страна на ядрото може да има ред или колона от хиляди периферни клетки. Този модел е проектиран така, че да покаже общата архитектура на един такъв чип, типична организация на ядро и периферия и основни стъпки при опроводяването им. Готовият модел на CMOS базов матричен е показан на фиг. 18.

ЦЕЛ, ЗАДАЧИ И ОПИСАНИЕ НА УПРАЖНЕНИЕТО

Целта на това упражнение е да се запознаят студентите с:

- основните принципи и особености на CMOS технологията за създаване на ИС
 - градивните елементи и техните електрически характеристики за CMOS БМК
 - основните видове логически елементи, реализирани с CMOS ИС
- Запознаване и работа с конкретен CMOS БМК
Реализиране на зададени логически схеми, използвайки CMOS БМК

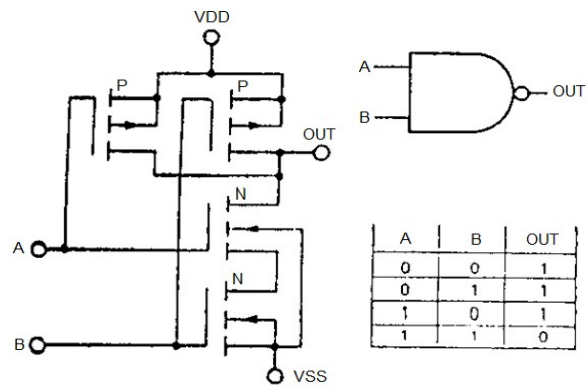
Задачи за изпълнение

1. Запознаване с основните принципи и особености на CMOS технологията за създаване на ИС. Видове логически елементи, реализирани с CMOS технология.
2. Запознаване с технологичните и конструктивни особености на CMOS базов матричен кристал.
3. Запознаване с възможностите на разгледаната CAD система и правилата за работа с нея при проектиране на конкретна схема с използване на представения CMOS БМК
4. Проектиране на топологията на инвертор, NAND, NOR, XNOR, XOR, RS тригер с използване на разгледания CMOS БМК.
5. Проектиране на топологията на индивидуално зададена от ръководителя на упражнението логическа схема с използване на разгледания CMOS БМК.

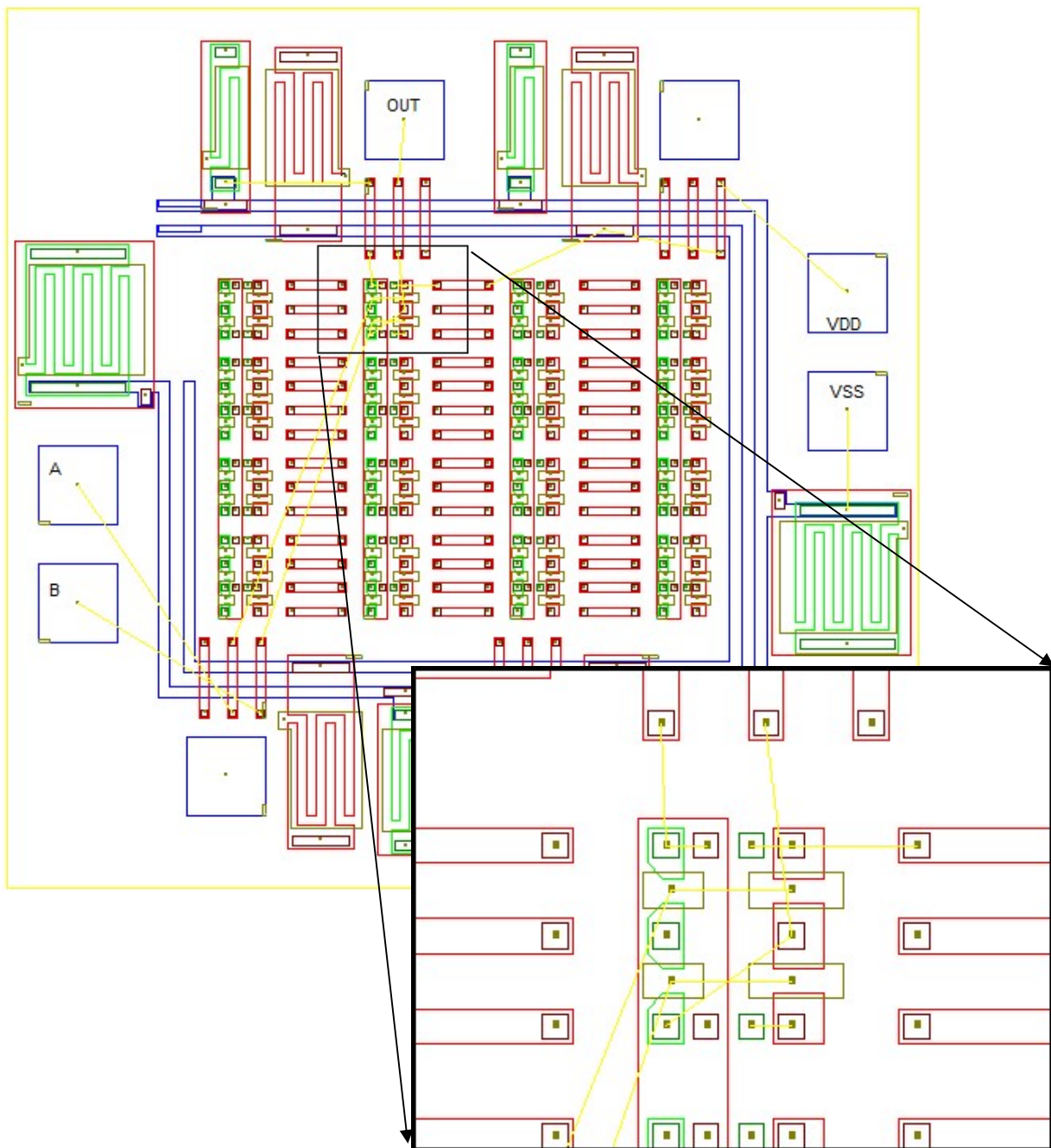
Пояснителни бележки

Проектиране на схема с използване на CMOS БМК

За да бъдат показани възможностите за работа със създадения CMOS базов матричен кристал е показано разработването на примерна схема с него. Избраната схема е двувходово NAND стъпало с входове и изход, изведени директно върху площадките за бондиране. На фиг.19 са показани принципната схема, символното означение и таблицата на истинност на стъпалото.



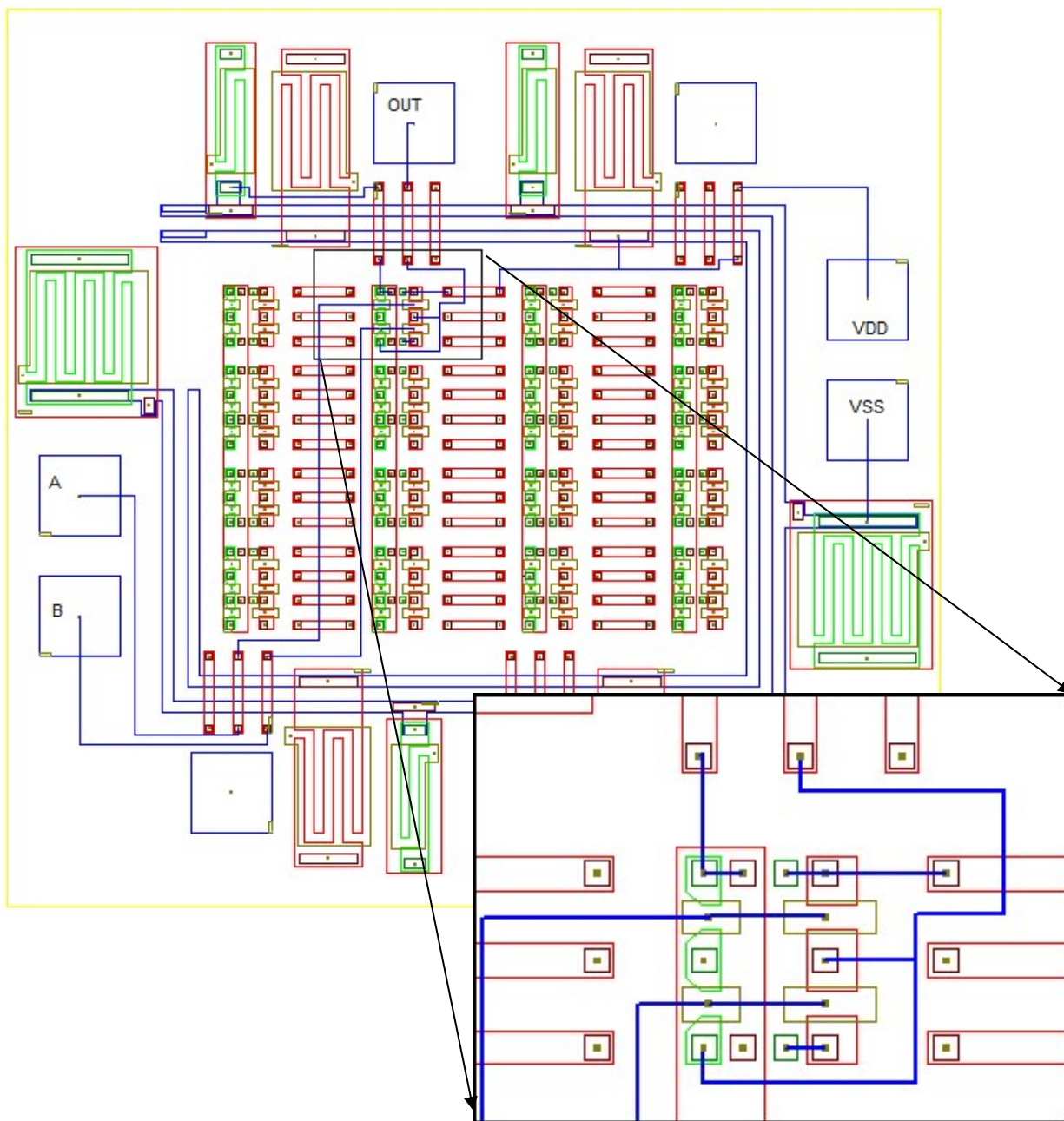
Фиг.19 Двухходов NAND



Фиг.20 Электрически връзки на CMOS NAND

Работата по създаването му започва с отваряне на файла с модела на БМК – **BMC Array**.. След това се добавят нужните електрически връзки - между компонентите и към съответните площадки за бондиране. Резултатът от тази операция е показан на фиг.20. Създадените електрически връзки все още не са трансформирани в опроводяващи писти и са в жълт.

Опроводяването на тези връзки се извършва с помощта на вградения в CAD системата инструмент за опроводяване. Резултатът е показан на фиг.21, като за реализирането на пистите е използван автоматизиран или ръчен режим на опроводяване. Това като правило е най-добрият начин за оптимално опроводяване на схеми. Готовата схема се записва като файл с името **BMC NAND 2**.



Фиг.21 Опроводен CMOS NAND върху базов матричен кристал