

УЧЕБНА ПРОГРАМА

по дисциплината: "ИМПУЛСНА СХЕМОТЕХНИКА"
за бакалавър-инженер по специалност: "Електроника"

1. Основни понятия. Сигнали. Схеми. Методи за анализ.
2. Линейни импулсни схеми. Интегриращи и диференциращи схеми - пасивни и активни.
3. Нелинейни импулсни схеми. Ключов режим. Ключови схеми.
 - 3.1. Статичен режим и преходни процеси на диодни ключови схеми. Ограничители - пасивни и активни.
 - 3.2. Биполярни ключови схеми - статичен режим и преходни процеси.
 - 3.3. Статичен режим и преходни процеси на MOS и CMOS ключови схеми.
 - 3.4. Ударно възбуждане на трептящ кръг.
 - 3.5. Анализ на закъсненията във верига от ключови схеми - MOS и CMOS.
4. Схеми с положителна обратна връзка (ПОВ)
 - 4.1. Теория на схемите с ПОВ. Симетрични тригери – базови клетки.
 - 4.2. Преходни процеси в класически и съвременни тригерни схеми.
 - 4.3. Положителна обратна връзка(ПОВ) – анализ: метастабилност, условие за активна ПОВ, структурно бързодействие. Синхронизация.
5. Схеми със смесени (аналогови и цифрови) сигнали.
 - 5.1. Несиметрични тригери (тригери на Шмит). Схемотехника-с операционен усилвател, биполярни и CMOS тригери на Шмит. Амплитуден хистерезис и приложения. Динамичен (времеви) хистерезис
 - 5.2. Компаратори на базата на тригери с нулев хистерезис.
 - 5.2. Превключватели на аналогови сигнали – CMOS и биполярни.
 - 5.3. Схеми с превключваеми кондензатори (SC) и приложения.
 - 5.4. Релаксационни схеми- видове и работни режими. Мултивибратори на базата на симетрични и несиметрични тригери. Таймер 555.
 - 5.5. Блокинг - генератор.
 - 5.6. Генератори на линейно - изменящи се (трионообразни) напрежения.
 - 5.7. Преобразуватели на напрежение в честота и на честота в напрежение.
6. Импулсни схеми с прибори с отрицателно съпротивление. S и N характеристики. Схеми с тунелни диоди: тригери, мултивибратори, компаратор (двойка на Goto).

Литература

Основна:

1. Димитрова, М., И. Ванков. Импулсни схеми и устройства. С., Техника, 1987.
2. Конов К., М. Димитрова, А. Попов. Импулсни схеми (Наръчник по електронни схеми, ч. VII.), С. Техника, 1984.
3. Попов А., Д. Манова, Б. Трайков. Ръководство за лабораторни упражнения по цифрова схемотехника, 1998.

Допълнителна:

1. Rabaey J., A. Chandrakasan, B. Nikolic, Digital Integrated Circuits. A Design Perspective, Second Edition, Prentice Hall, 2003.
2. Johnson H., M. Graham. High – Speed Signal Propagation: Advanced Black Magic, PH, 2003.
3. Bogatin E., Signal Integrity – Simplified, Prentice Hall, 2003
4. Фархи С., Г. Ненов. Практически схеми с превключваеми кондензатори. С. Техника, 1987.
5. Хоровиц, П., У. Хилл. Искуство схемотехники – в 3-х томах. М., Мир, 1992.

Септември, 2009 г.

Съставил:

(доц. д-р инж. А. Попов)

	Септември			Октомври				Ноември				Декември		
ИсхТ	16	23	30	7	14	21	28	4	11	18	25	2	9	16
Л No	Соз	1	2	3	4	5	ТО1	6	7	8	9	10	ТО2	РЕЗ

ЧАСТ I. ВЪВЕДЕНИЕ

"Наличието на красота в една теория трябва да бъде критерий за нейната истинност" – Пол Дирак

1. ЕЛЕКТРОННА СХЕМОТЕХНИКА

"Съвършенството се постига не когато няма какво да се прибави, а когато няма какво да се махне" – Езюпер

Върховите постижения във всяка област на човешката дейност са свързани в някаква степен и с изкуството. Водещи учени на XX век като Айнщайн, Дирак, Поанкаре подчертават значението на естетиката при създаване на всяка физическа или математическа теория. Всеки синтез, в това число и инженерният, като връх в съответната област, води до резултати, които не само решават проблема, но са и "красиви". Всичко това важи и за съвременната електроника. То обяснява и появата през последните две – три десетилетия на термини като "изкуство на електрониката" ("art of electronics") и "изкуство на схемотехниката" ("art of circuit design") [Horowitz80]. "Красотата" на електронните схеми и системи е резултат не само на знанията и опита, но и на интуицията на създателите им в стремеж към простота и ефективност¹.

Понастоящем под "електронна схемотехника" се разбират както формалните, така и неформалните, творческите методи, средства и решения при създаване и изследване на електронните схеми. Те представляват сърцевината на курса по Импулсна схемотехника. Една от характерните особености в него е, че синтезът и анализът на схемите са свързани от една страна с изискванията за приложението им, а от друга – с възможностите на микроелектронните технологии. Затова и съдържанието на всяка тема (макар и не винаги явно), следва последователността синтез → анализ → приложение. Други цели на учебника са: ♦ да се подчертаят и използват общите импулсни характерни особености на аналоговата и цифровата схемотехника, т.е. на т.нар. "схемотехника на смесените сигнали" ("mixed signal circuit design")²; ♦♦ да се стимулира читателят към собствен стил при разработване на нови схеми и устройства; ♦♦♦ да се познават и разкриват причините за възможни схемни проблеми още преди възникването на самите проблеми.

2. СИГНАЛИ

"Ние сме във времето и времето е в нас" – В. Левски

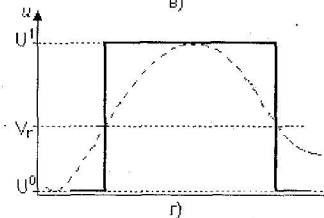
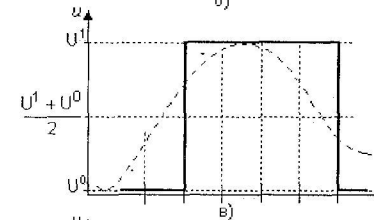
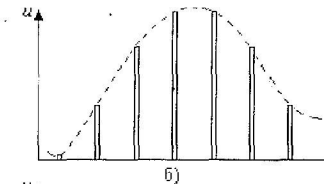
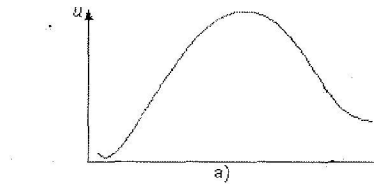
"Единственото основание за времето е, че не всичко се случва изведнаж" – А. Айнщайн

Предмет на настоящия курс са методите и схемите за генериране, преобразуване и изследване на импулсни сигнали (импулси). **Импулс** е сигнал (напрежение, ток) действащ в електрическа верига за време по – малко или сравнимо с продължителността на преходните процеси в тази верига. (Ако сигналът, макар и със стръмни фронтове, е много по – продължителен от времетраенето на преходните процеси, прието е да се нарича потенциален). Според представянето на сигналите като функция на времето, те – както и съответните им схеми – се разделят най – общо на аналогови и цифрови. Класическият аналогов сигнал (фиг.2.1,а) е непрекъснатата времева функция. Съвременните технологии са удобни за обработка на дискретизиран във времето аналогов сигнал (фиг.2.1,б), т.е. амплитудно – модулиран периодичен импулсен сигнал. Теорията на цифровата

¹ "Any third-rate engineer or researcher can increase complexity; but it takes a certain flair of real insight to make things simple again...to make things simpler and at the same time more efficient" [Schumacher73].

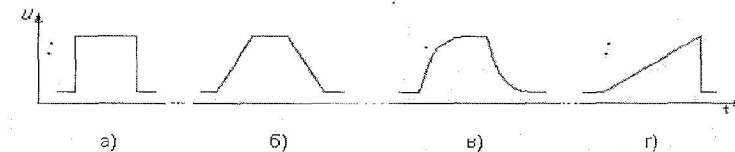
² В нея има направления обединяващи специфични проблеми, напр. "signal integrity" (разпространение на високоскоростни сигнали по съединителните проводници), "analog issues of digital design" (преходни процеси, шумове, синхронизация) и др.

обработка (алгебра на логиката, крайни автомати) предполага, че сигналите са дефинирани в дискретни времеви моменти определени от синхросигнала, чрез



дискретни (квантувани)¹ амплитудни стойности (фиг.2.1,в). В двоичните системи тези стойности се наричат логическа нула – U^0 и логическа единица – U^1 (фиг.В.1,в)². Използват се и дискретизирани по ниво (квантувани) сигнали, но с непрекъснат времеви аргумент (фиг.2.1,г). Те са асинхронни (без синхросигнал), а моментът на превключване се определя от събитие, напр. преминаване на аналоговия сигнал през ниво V_T . Аналоговите, както и цифровите сигнали, се третират като импулсни, когато поне един техен времеви параметър е по-малък от инертността, измервана чрез времеконстантите на съответните им схеми. В действителност импулсните сигнали най-често имат някоя от формите показани на фиг.2.2: правоъгълна, трапецовидна, експоненциална, линейно-изменяща се (трионообразна).

Фиг.2.1. Сигнали: а) аналогов, б) дискретизиран във времето аналогов, в) цифров; г) дискретизиран по ниво аналогов (асинхронен цифров).

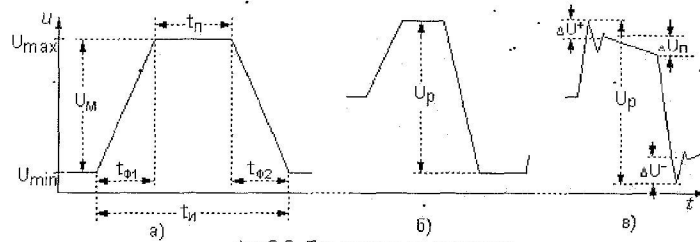


Фиг.2.2. Импулсни сигнали: а) правоъгълен; б) трапецовиден; в) експоненциален; г) трионообразен

Основните параметри характеризиращи сигналите, са два вида: амплитудни и времеви. Амплитудните параметри (фиг.2.3) са:

¹ В литературата, може би за удобство, обикновено се използват термините *дискретизация* (във времето) и *квантуване* (по ниво).

² При повече от две нива двузначната логика се превръща в *многозначна*.



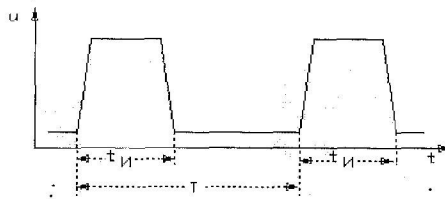
Фиг.2.3. Параметри на сигналите

- U_M - амплитуда;
- U_{min} и U_{max} - минимална и максимална установена стойност на сигнала. В логическите (цифровите) схеми те са равни на т. нар. логическа нула - U^0 и логическа единица - U^1 . Прието е следното съответствие:
 $U_{min} = U^0$, $U_{max} = U^1$ при т. нар. "положителна логика",
 $U_{min} = U^1$, $U_{max} = U^0$ при т. нар. "отрицателна логика",
- U_p - размах или амплитуда от връх до връх. Използва се при двуполярни импулси (фиг.2.3б) и при наличие на отскоци (фиг.2.3в);
- ΔU^+ и ΔU^- - отскоци извън установените максимална, съответно минимална стойности на сигнала (фиг.2.3,в);
- ΔU_n - слад на плоската част (платото) на импулса (фиг.2.3,в).

Времевите параметри (фиг.2.3а) са:

- t_i - продължителност на импулса,
- t_{Φ} - плато на импулса,
- $t_{\Phi 1}$ и $t_{\Phi 2}$ - продължителност на предния и задния фронт. Използват се още и означения като t_{Φ}^+ и t_{Φ}^- за нарастващия, съответно спадания фронт, както и t_{Φ}^{01} и t_{Φ}^{10} за фронт от U^0 към U^1 и от U^1 към U^0 .

Периодично повтарящите се импулси се характеризират (фиг.2.4) с:



Фиг.2.4. Периодичен импулсен сигнал

- T - период на повторение или $f = 1/T$ - честота на повторение, и
- $k_3 = t_i/T$ - коефициент на запълване.

Амплитудните параметри са дефинирани точно и резултатите от измерването им са еднозначни. Същото може да се каже и за времевите параметри, но само когато преходите, т.е. началото и края на фронтите, са рязко очертани (фиг.2.3а). В общия случай, обаче, времевите параметри се дефинират и измерват в зависимост от специфичната форма на сигнала, а понякога - и от целта на изследването.

Реалните сигнали обикновено имат плавна крива. Ето защо **времевите параметри зависят от приетите нива, спрямо които се измерват**. Както е показано на фиг.2.5, за реперни точки на отчитане са приети А, В, С, D. Точките

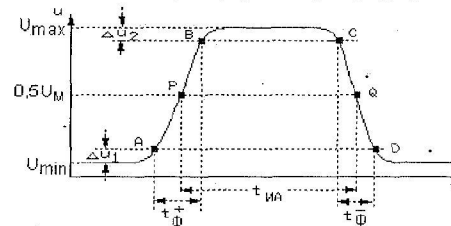
А и D са на ниво $U_{min} + \Delta U_1$,

а В и С - на ниво $U_{max} - \Delta U_2$.

Тогава продължителността на фронтите се определя като

$$t_{\Phi}^+ = t_{AB} \text{ и } t_{\Phi}^- = t_{CD}.$$

Величините $\Delta U_1 = \delta_1 U_M$ и $\Delta U_2 = \delta_2 U_M$ фиксират условно приетите нива.



Фиг.2.5. Измерване на времевите параметри

При експериментални изследвания най-често се работи с $\delta_1 = \delta_2 = 10\%$. Времевият интервал измерен между нива $0,1U_M$ и $0,9U_M$ е прието да се нарича **активна продължителност на фронта**.

При теоретични изследвания се

предпочитат стойности $\delta = (1 \pm 5)\%$. За особено прецизни схеми (напр. аналогово - цифрови преобразуватели) δ е от порядъка на 2^{-n} , където n е броят на разредите в двоичното число. Понякога се налага нивата да се задават с конкретни стойности, за да се определят моментите, в които сигналът преминава през тях. Ето защо, ако не е предварително прието, **при измерване на времевите параметри трябва да се посочват условията на измерването, т. е. нивата на отчитане**.

→ **Например:** $t_{\Phi}^{+0,1-0,9} = t_{\Phi A}$ е стойността на нарастващ фронт, отчетена между нива $0,1U_M$ и $0,9U_M$ (т. нар. активна продължителност на фронта).

От фиг.2.5 се вижда, че **продължителността на импулса** може да се определи по два начина - между точките А и D - $t_{i0,1}$ или между точките В и С - $t_{i0,9}$. Възможен е и трети начин - в средата на амплитудата, т.е. на ниво $50\%U_M$ - между точките P и Q. Той е най-удобен поради еднозначността на резултата и точността на отчитане. Измерената по този начин продължителност на импулса се нарича **активна**, т.е.

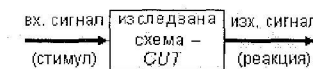
$$t_{iA} = t_{iPQ} = t_{i0,5}$$

3. ИЗСЛЕДВАНЕ НА ЕЛЕКТРОННИ СХЕМИ

"Опитът е всеобща майка на науката" - Сервантес

Изследването (анализът) на електронните схеми (фиг.3.1) се състои в подаването на стимул - входен (тестов) сигнал - към изследваната схема (*Circuit Under Test - CUT*) и определяне на реакцията y - изходния сигнал. При това всяка изследвана точка (дори и вътрешна за схемата) се третира като изход. Характерът на изследването зависи от вида на:

- изследваната схема: линейна, нелинейна;
- входния сигнал: постоянноотков, синусоиден, импулсен и т.н.



Фиг. 3.1. Базова постановка за изследване

При импулсните схеми, за да се определят основните характеристики и параметри, е необходимо да се изследват:

- статичния режим (анализ по постоянен ток);
- динамичния режим (анализ на преходните процеси).

3.1. Теоретичното изследване на електронните схеми представлява изследване на техните математически модели. То се свежда до решаване на уравнения или системи от уравнения: алгебрични - при статичен и диференциални - при динамичен режим. Специфичен за цифровите схеми е нелинейният характер на тези уравнения. Методите за анализ могат да се разделят най-общо на две групи: аналитични и числени.

Аналитичните методи дават решение на уравненията във вид на формули. Тяхното предимство е, че крайните резултати отразяват - обикновено в явен вид - влиянието на основните фактори върху параметрите на схемите.

За получаването на тези крайни резултати, обаче, се налага да се използват опростени модели и да се правят различни опростяващи допускания. С това се понижава точността на анализа. Сложността на цифровите схеми и нелинейният характер на моделите им ограничават, а често пъти правят невъзможно прилагането на аналитични методи.

Числените методи за решаване на уравненията (системите от уравнения) са основа на компютърното моделиране. То се характеризира с универсалност и точност. Последната се постига чрез използване на точни, но сложни многопараметрични модели на схемните компоненти. Обаче численият вид на крайните резултати обикновено затруднява тяхното използване, тъй като не представя зависимостите в явна форма. Така например, за отразяване влиянието на всеки от параметрите на схемните компоненти върху параметрите на цялата схема, се налага многократно числено решаване на основните уравнения с различни входни данни. А това изисква усъвършенствувана входно-изходна система (т.нар. потребителски - *user friendly* - интерфейс) за управление на целия числен експеримент и за визуализация на резултатите от него. Понастоящем най-разпространената програмна система за числен анализ на електронни схеми е системата SPICE (*Simulation Program with Integrated Circuits Emphasis*).

Компютърното моделиране предоставя богати възможности за разнообразни изследвания:

а) могат да се изследват всякакви схеми: съществуващи на практика или не, стандартни и широко използвани или специализирани, но скъпи или трудно достъпни;

б) за определен вид схема параметрите на изграждащите я елементи могат да се променят в широки граници - дори и такива, при които реалната схема просто няма да функционира;

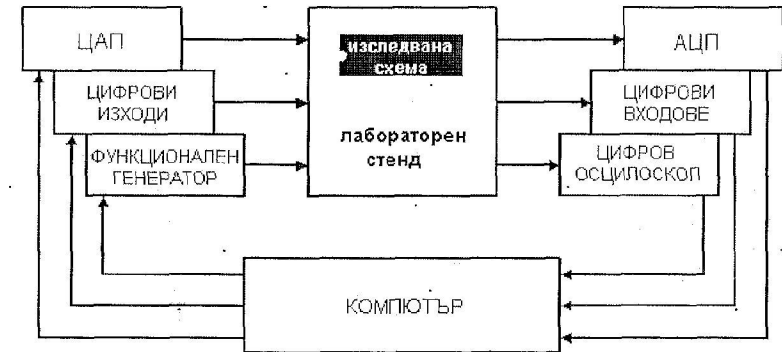
в) поведението на всяка схема може да се изследва при най-разнообразни условия за работа - дори и при въздействие на сигнали, които биха повредили реалната схема;

г) персонален компютър плюс програмна система за анализ могат: ♦ да заменят няколко измервателни уреда, опитни постановки и различни схеми; ♦♦ да съкратят значително времето за разработка на ново изделие (т.нар. *time-to-market*). Следователно замаяната на реалния експеримент с моделиране има и икономически основания.

3.2. Експерименталното изследване е реализация на базовата постановка показана на фиг.3.1. От генератор се подава сигнал (напрежение, ток) към входа на изследваната схема. В изхода ѝ се свързват уреди за регистриране и измерване параметрите на сигнала. Основните недостатъци на традиционните методи и

средства за експериментално изследване на електронни схеми са в големия брой еднообразни операции по време на измерване и ръчната обработка на данните. Тези недостатъци се преодоляват в съвременните **автоматизирани тестови системи** - АТС (*Automated Test Equipment - ATE*). В тях компютърът управлява провеждането на експеримента, обработката на данните и визуализацията на резултатите (фиг.3.2). Останалите системни модули са:

- цифрово - аналогови (ЦАП) и аналогово - цифрови (АЦП) преобразуватели;
- цифрови входове и изходи: извеждат и въвеждат сигнали със стандартни логически нива '0' и '1';
- функционален генератор: в неговите изходи се получава периодично напрежение с правоъгълна, синусоидална, трионообразна и произволна (зададена от експериментатора) форма;
- цифров осцилоскоп;
- лабораторен стенд с комутационно поле, в което се поставя изследваната схема.



Фиг. 3.2. Автоматизирана тестова система.

Трите подхода за изследване на електронни схеми - аналитично, чрез моделиране и експериментално - имат както своите специфични особености, така и естествена, логическа връзка помежду си. Идеалният и максимално информативен случай е, когато те се съчетаят. Така например, чрез моделиране за кратко време могат да се изследват множество различни схемни варианти, да се проследи и анализира влиянието на много отделни елементи и фактори, включително и на околната среда. Така получените резултати са почти "истински" и се доближават до експерименталните¹. От своя страна лабораторният експеримент дава реална представа за самата схема, тя може "да се види", да се свърже по необходимия начин и да се постави при определени работни условия. Тогава данните от измерванията са наистина реални. Накрая резултатите от моделирането и/или експерименталното изследване могат да се представят (обикновено чрез

¹ Например т.нар. "математически експеримент" е по същество моделиране на базата на модели, които не са свързани с реални обекти, а са плод на творческа фантазия. По този начин могат да се предскажат или открият явления, които реално не са били наблюдавани.

апроксимация) аналитично, т.е. чрез формули, аналогични на тези, които се получават от теоретичния анализ и да се сравнят с тях.

4. СХЕМИ, СИСТЕМИ, ТЕХНОЛОГИЯ, СХЕМОТЕХНИКА

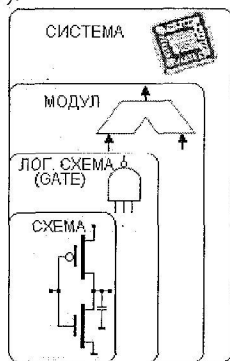
4.1. Термини. Названията на основните схеми са свързани с тяхната специализация за обработка на съответен вид сигнали – напр. аналогови схеми, цифрови схеми, схеми със смесени (аналогови и цифрови) сигнали.

4.2. Проектиране. В зората на цифровата схемотехника проектирането на схемите започваше от конструирането, оразмеряването и свързването на транзисторите с цел оптимизация на проектираната схема. С течение на времето непрекъснато се увеличаваше броя на транзисторите в схемите и се усложняваха структурите им, при спазване на редица ограничения (площ, разсейвана мощност и др.). Това беше т.нар. подход "отдолу – нагоре" ("bottom – up"). Експоненциалното нарастване на броя на транзисторите върху чипа, предсказано от т.нар. "закон на Мур" (удвояване на всеки 12÷18 месеца) позволяваше да се реализират все по – сложни схеми¹. Бързодействието, съответно тактовата честота, се удвояваха средно на всеки три години, а през 21^и век – на всеки две. Всичко това наложи проектиране на цифровите схеми (и в много по – малка степен на аналоговите, поне досега) да се въведе подход "отгоре – надолу" ("top – down").

Основното при този подход е абстракцията – въвеждат се нива на абстракция и се работи с абстрактни модели. Във всяко ниво реалните елементи (схеми, модули и т.н.) се заместват от модели – тип "черна кутия". Тези модели се абстрахират от многобройните вътрешни детайли, но съдържат информацията, необходима за работа на съседното по – високо иерархично ниво². В нарастващ порядък на абстракция нивата са:

- ♦ **схемно** – съдържа основните транзисторни схеми. Тяното поведение се описва с предавателни характеристики и времеви параметри на сигналите;
- ♦♦ **логическо** – в него са базовите логически елементи (gates), описвани поведенчески чрез булеви уравнения и закъснения;
- ♦♦♦ **функционално** – съдържа модули (устройства) като регистри, аритметични, логически, запомнящи и др. възли, представени с входно/изходните регистри, операциите извършвани в тях и закъсненията на сигналите. Това ниво е удобно при нов проект, тъй като той може лесно да се опише и симулира само чрез обмен между регистрите, поради което се означава като *RTL (Register Transfer Level)*;
- ♦♦♦♦ **системно** – най – високото ниво на абстракция – за описание на сложни системи (типичен пример е процесорът), чието поведение се задава алгоритмично.

Описаните особености на този подход улесниха създаването на т.нар. развойни системи или системи за автоматизирано проектиране, популярни със



Фиг. 4.1. Нива на абстракция при проектиране на цифрови интегрални схеми

съкращението *CAD (Computer Aided Design) systems*. В тях са включени средства за синтез и симулация на всяко ниво, за верификация на проекта или негови части, за разполагане и опроводяване, за документиране и др.

В началото на цялостната разработка на една интегрална схема или система, наред с функцията и/или поведението на бъдещото изделие, се задават базовите параметри (изисквания, ограничения) и се определят връзките и зависимостите между тях. За целта се използват количествени оценки, т. нар. метрики (*metrics*) [Rabaey03] на качествата на схемите, т.е. на параметрите им. След това започва процеса на проектиране "отгоре – надолу".

Ще се спрем накратко на няколко от най – съществените общоприети метрики за цифрови схеми и системи. Консумираната мощност е енергията, консумирана (разсейвана) от схемата за единица време. Консумацията определя мощността на захранващите източници, времето на живот на батериите, размерите на захранващите шини. От друга страна подадената към схемата енергия се превръща в топлина, която трябва да се отведе и разсее чрез корпуса и охлаждащата система. А това е свързано с цената и надеждността. В компютърните системи максималната разсейвана мощност ограничава броя на елементарните схеми (gates) върху чипа, както и бързодействието (броя на превключванията, съответно – на операциите – за единица време).

Средната консумирана (разсейвана) мощност се определя като

$$P_{cp} = \frac{1}{T} \int_0^T V_{запр} \cdot i_{запр}(t) dt = \frac{V_{запр}}{T} \int_0^T i_{запр}(t) dt,$$

където $i_{запр}$ е токът от захранващото напрежение $V_{запр}$ през интервала $t \in [0, T]$. При оразмеряване на захранващите шини от значение е максималната моментна мощност

$$P_{max} = \max [V_{запр} \cdot i_{запр}(t)] = V_{запр} \cdot i_{max}$$

където i_{max} е максималната стойност на тока $i_{запр}$ през разглеждания времеви интервал.

Разсейваната мощност е сума от две съставлящи: ♦ статична – в покой, когато няма превключвания. Дължи се на постоянно протичащ ток от захранване към маса и на утечен ток; ♦♦ динамична – при превключване. Определя се от процесите на зареждане и разреждане на кондензаторите, както и на краткотрайно протичащ ток от захранване към маса.

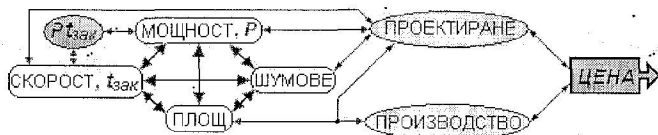
Закъснението на сигнала¹ при преминаване (разпространение) през схемата, т.нар. *propagation delay*, зависи от скоростта с която енергията се подава към схемата и се извежда от нея. Ето защо произведението мощност x закъснение (power-delay product) е мярка за качеството на превключващите схеми и системи. Въсъщност то е равно на енергията консумирана при превключване. За фиксирана технология и схемна конфигурация това произведение е постоянна величина.

Обикновено преди започване на проектирането произведението мощност x закъснение е зададено (фиг. 4.2) Стремелът е в края на проектирането неговата стойност да бъде минимизирана. Тя, обаче, е свързана с размерите на интегралната схема, а те – с производствените разходи (чрез т.нар. "процент годни схеми"). От друга страна и четирите основни параметъра – скорост, мощност, шумозащитеност, площ (фиг. 4.2) – влияят върху времето и разходите за проектиране. А проектирането и производството в крайна сметка определят цената.

¹ Границата от един милион транзистора/чип беше достигната малко преди 1990г., а през 2008 г. Intel лусна в производство четириядрения процесор *Pentium* съдържащ 820 милиона транзистора. След него се очаква *Tukwilla* с около два милиарда транзистора.

² Една от трудностите за *top – down* проектиране на аналогови схеми е сложността на техните модели.

¹ Закъснението на сигнала е разгледано подробно в гл.16



Фиг. 4.2. Базови параметри и връзки между тях в процеса на разработване на цифрови схеми и системи

При аналоговите схеми и системи параметрите са повече, а зависимостите между тях – по-сложни. Например в [Razavi98a] те са осем (мощност, скорост, шумове, линейност, усилване, амплитуда, запазващо напрежение, входно/изходен импеданс), а почти между всеки два съществуват взаимни връзки

Поради броя на базовите параметри и сложните взаимни зависимости между тях, разработването на интегрални схеми по същество е процес на многопараметрична оптимизация, процес с многобройни итерации и компромиси (*trade-offs*) с оглед проектирането им за съответните приложения. Например при свързките най-голямо значение има бързодействието, при преносимите (мобилните) устройства – консумацията и т.н. А надеждността и цената, макар и с различна значимост или "тежест", са общи изисквания към всички крайни изделия.

4.3. Технология и схемотехника. Първите поколения интегрални схеми бяха по биполярна технология. Тя дава възможност за създаване на бързодействащи схеми, но с цената на голяма консумирана/разсейвана мощност. Именно консумацията се оказва "препъни – камък" за повишаване плътността на компонентите, съответно – степента на интеграция – на цифровите схеми. Затова MOS, а след нея CMOS технологията, не само измести биполярната, но завладя всички области – цифрова, аналогова, сензорна електроника и т.н. Други авангардни технологии – BiCMOS, SiGe, свръхпроводимост – засега имат съвсем ограничено приложение, главно поради високата цена. CMOS, обаче, е изцяло ориентирана към оптимизиране (скорост, мощност, цена) на цифровите схеми. Проектантът на аналогови схеми не може да измени технологията. Той трябва да решава проблемите чрез схемотехнически способи, да използва специфичните особености и предимства на CMOS: високоомен вход, динамично запомняне на сигналите върху паразитните кондензатори, превключване на аналогови сигнали, съгласуване стойностите на кондензаторите и др. Въобще технологията налага – независимо от вида на схемите – строги ограничения, с които проектантите схемотехници трябва да се съобразяват. Но и те предявяват своите изисквания към технологията, като: непрекъснато намаляване на размерите на компонентите (*scaling*), намаляване съпротивлението на шините, подобряване на изолацията между тях и т.н. Всъщност тези изисквания диктуват насоките на развитие на съвременната CMOS технология. Както се вижда, за разработване на интегрални схеми са нужни технологични знания и схемотехнически умения, както и усет, интуиция, изобретателност – качества, които не се поддават на формализация и затова липсват в CAD системите.

Бързодействието е характерно за почти всички съвременни схеми. Това обуславя импулсния характер на сигналите в тях. Наред с класическите направления по обработка на импулсни сигнали, се развиват и по – нови, като:

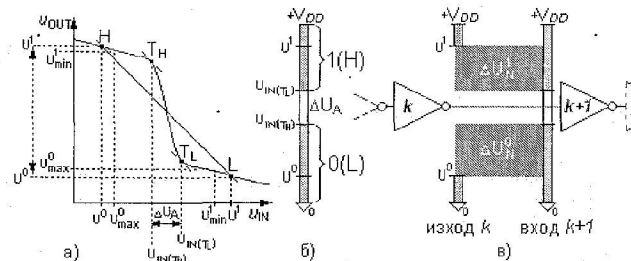
- Аналогови проблеми на цифровите схеми свързани с шумовете и шумоустойчивостта, разпространението на сигналите, синхронизацията и др.;
- Прилагане на цифрови методи и схеми в аналоговите модули с цел подобряване на характеристиките им;

- Създаване на нови схеми със смесени сигнали и съответните им модели, подходящи за *top-down* проектиране.

5. ФУНКЦИОНАЛНА СТАБИЛНОСТ

Основно изискване към всяка схема е да изпълнява своята функция в реални условия, т.е. при наличие на дестабилизиращи фактори. Способността ѝ да издържи, "да се справи" с тях и да функционира нормално е прието да се нарича *робастност* (от англ. *robustness*¹). Най – общо тези фактори могат да се групират като: ♦ изменения (вариации) на производствения процес и околната среда (вкл. запазването); ♦♦ шумове; ♦♦♦ процеси в съединителните проводници при разпространение в тях на високоскоростни сигнали. Първите две групи от фактори са разгледани по – долу, а третата – в гл.10.

5.1. Предавателна характеристика по напрежение. По отношение на функционалната стабилност най – информативната характеристика за всяка схема е предавателната характеристика по напрежение – ПХН. На фиг.5.1.а е показана типова ПХН на най – малкия "атом" в цифровите схеми – инвертора. От ПХН непосредствено могат да се отчетат номиналните стойности на напреженията съответстващи на логическата нула – U^0 , на логическа единица – U^1 и амплитудата U_m . Точка Н (U^0, U^1), т.е. точката с координати U^0 и U^1 , е работната точка на схемата в състояние единица². Аналогично точка L (U^1, U^0) е работната точка в състояние нула. Правата, която ги свързва има наклон -1 . В праговете точки T_H и T_L коефициентът на усилване е равен на -1 . Между тях се намира **активната област**. В нея усилването на схемата (стръмността на предавателната характеристика) е по-голямо от $1|$. **Широчината на активната област** ΔU_A е разликата в абсцисите на точките T_L и T_H , т.е. $\Delta U_A = U_{IN(T_L)} - U_{IN(T_H)}$. За стабилна работа на инвертора като логическа схема, т.е. за да бъдат U^0 и U^1 дефинирани и различни, точките Н и L трябва да бъдат извън активната област ΔU_A .



Фиг. 5.1 : а) ПХН на инвертор; б) логически променливи и съответните им напрежителни области; в) определяне на ΔU_N^0 и ΔU_N^1

Логическите променливи могат да приемат само две дискретни стойности, напр. 0 и 1, x и \bar{x} и т.н. Но това са математически абстракции. Тяхното електрическо съответствие са номиналните стойности на сигналите $U^0 \Leftrightarrow 0$ и $U^1 \Leftrightarrow 1$, които не са дискретни, а аналогови величини. Те могат да приемат стойности (фиг.5.1.а) в непрекъснатите интервали

$$U^0 \in [U_{min}^0, U_{max}^0] \quad \text{и} \quad U^1 \in [U_{min}^1, U_{max}^1].$$

¹ Мярка за способността на системата да се възстановява при възникване на нежелани – често непредсказуеми – изменения, както от външен, така и от вътрешен произход. [Discology'86]

² Състоянието на цифровите схеми се определя от изходното им напрежение – U^0 или U^1 .

За да определим границите на тези интервали, ще разгледаме две схеми във верига от каскадно свързани еднакви инвертори, показани на фиг. 5.2.в. Максималната стойност на U^1 е ограничена от захранващото напрежение V_{DD} , а минималната стойност на U^0 – от общата маса¹:

$$U_{\max}^1 \leq V_{DD} \text{ и } U_{\min}^0 \geq 0 \text{ V.}$$

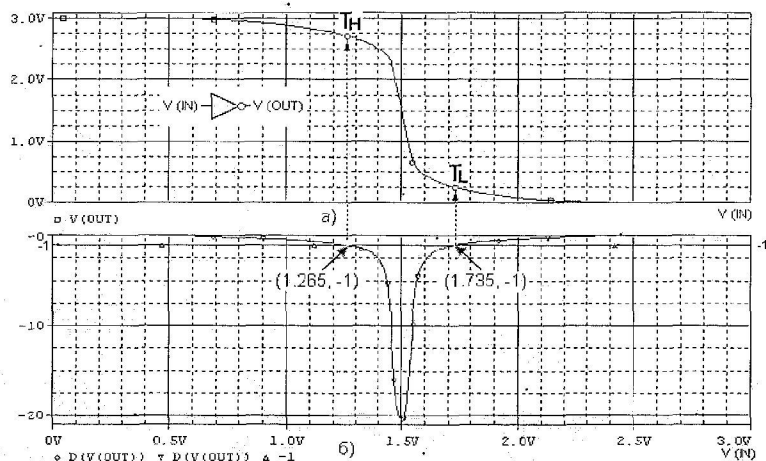
От друга страна, изходният сигнал на инвертор k трябва да осигури стабилно включване на инвертор $k+1$ в състояния 0 и 1. От фиг. 5.1.а се вижда, че това е възможно само, ако

$$U_{\min}^1 > U_{IN(TL)} \text{ и } U_{\max}^0 < U_{IN(TH)}.$$

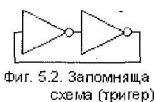
Получените области (интервали) на напреженията, съответстващи на логическите стойности 0 и 1 са показани на фиг. 5.1.б. Те са извън активната област. За тях тя е неопределена (в нея изходът на инвертор k е логически неопределен) или забранена (за входни напрежения към инвертор $k+1$).

Кратка обосновка за избора на праговите точки T_H и T_L , в които усилването е равно на -1 : Затворената верига на положителна обратна връзка, съставена от два инвертора (фиг. 5.2) представлява запомняща схема (тригер) с две възможни състояния. Всяко от тях е стабилно, когато усилването в затворената верига (равно на произведението от усилването на двата инвертора) е равно на нула. Ако под влияние на сигнал или дестабилизираща причина това усилване стане по – голямо от 1, двата инвертора сменят изходните си напрежения, а с това и схемата преминава в другото възможно състояние. Следователно условието за стабилно "запомняне" на всяко състояние е усилването на всеки инвертор да бъде по – малко от 1 и по възможност да клони към нула. (Подробно обяснение – в част IV).

В трудовете [Манова05] и [Гаджева09] е описан лесен и точен метод за определяне на точките T_H и T_L с помощта на PSpice. Върху ПХН, получена чрез симулация или експериментално (фиг. 5.3,а), се прилага операция диференциране. В резултат се получава $D(V(OUT))$ – зависимостта на коефициента на усилване K от входното напрежение – фиг. 5.3.б. (В разглеждания пример максималното усилване е в средата на ПХН и стойността му е $K = -20,6$). След това се построява хоризонтална права с ордината -1 . Неините пресечни точки с



Фиг.5.3. Определяне на точките T_H и T_L : а) ПХН на инвертор; б) Диференциране на ПХН



Фиг. 5.2. Запомняща схема (тригер)

кривата $D(V(OUT))$ са именно T_H и T_L , чиито абсциси – в случая – са $U_{IN(TH)} = 1,265 \text{ V}$ и $U_{IN(TL)} = 1,735 \text{ V}$.

От направения анализ на ПХН особено важни са напрежителните области определени по абсцисата от U^0 до $U_{IN(TH)}$ и от U^1 до $U_{IN(TL)}$. Те са мярка за защитеността или **устойчивостта**¹ на схемата срещу дестабилизиращи фактори, в частност – срещу шумове.

Под "**шумове**" в контекста на електрониката се разбират "**нежелани изменения на напреженията и токовете във възлите на схемата**" [Rabaey03].

Запас на шумоустойчивост (или шумов запас, шумозащитеност²) на схемата е разликата в номиналните стойности на входните напрежения, определящи работните точки H и L и входните напрежения на съответните им прагови точки T_H и T_L (фиг. 5.1.б). При входен сигнал U^0 , запасът е ΔU_N^0 , а при входен сигнал U^1 е ΔU_N^1 :

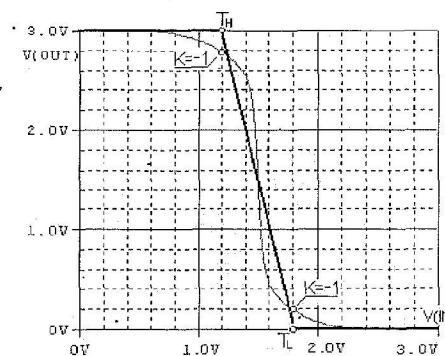
$$\Delta U_N^0 = U_{IN(TH)} - U^0 \text{ и } \Delta U_N^1 = U^1 - U_{IN(TL)}$$

Тези две величини определят максималните отклонения на работните точки, причинени от дестабилизиращи фактори, при които една система не променя вътрешните си състояния (на практика – състоянията на нейните запомнящи елементи – тригерите). При това става дума за устойчивост спрямо шумове със статичен характер, съответно за статична шумоустойчивост. Това са шумове, чиято продължителност е по – голяма от времетраенето на преходните процеси в схемите. По – краткотрайни шумове могат да бъдат и с по – големи амплитуди от ΔU_N^0 и ΔU_N^1 , но да не смущават поведението на схемата. По – важна е тяхната енергия, както и инертността на атакуваните схеми. Затова динамичната шумоустойчивост трябва да се анализира за всеки конкретен случай.

Линейно – отсечкова апроксимация на ПХН, удобна за анализ, е показана на фиг. 5.4. Точките, в които усилването е $K = -1$, се проектират върху хоризонталните оси с ординати съответно U^1 и U^0 (в случая $U^1 = V_{DD} = 3 \text{ V}$ и $U^0 = 0 \text{ V}$). Така получените нови точки T_H и T_L имат абсцисите на оригиналните точки и се запазва точността на ΔU_N^0 и ΔU_N^1 . Отсечката между T_H и T_L апроксимира линейно активната област на ПХН.

5.2. Вариациите на производствения

процес и околната среда променят характеристиките – обикновено в неблагоприятна посока. Така например, отклоненията от номиналните параметри при производствения процес на MOS транзисторите изменят размерите, праговото напрежение, токовете и т.н. Освен това тези промени варират между различните произведени серии, пластини, дори между транзисторите върху една и съща пластина или чип. Когат се добави и влиянието на околната среда (главно на



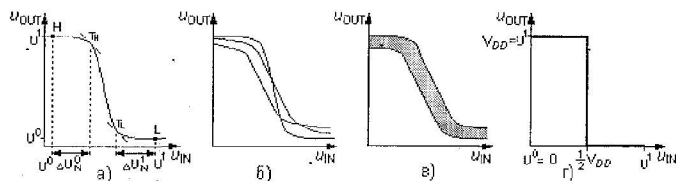
Фиг.5.4. Линейно – отсечкова апроксимация на ПХН

¹ Посочени са по няколко синонима, тъй като и в литературата се срещат немало варианти (макар понякога авторите да внасят в тях смислови нюанси), напр. *noise margin* и *noise immunity* [Rab03], *marge d'immunité au bruit* [Tran95] и др.

¹ За стандартните цифрови CMOS схеми $U^0 = 0 \text{ V}$ и $U^1 = V_{DD}$.

температурата), характеристиките още повече се изместват спрямо проектираните¹. Това е особено опасно за аналоговите сигнали, тъй като всяка точка в тях е от значение за точността на обработката им. Много чувствителни към тези изменения са и самоосцилиращите (автогенераторни) схеми.

Характеристиките на цифровите схеми, въпреки присъщата им шумоустойчивост, също се влошават. На фиг 5.5.а е показана ПХН, проектирана с еднакви запаси ΔU_N^0 и ΔU_N^1 . На фиг. 5.5.б тя е съпоставена на други две характеристики, деформирани вследствие на разглежданите дестабилизиращи фактори. С голям брой измервания може да се получи и областта, в която практически се намират всички реални ПХН (фиг 5.5.в). Както се вижда, вариациите на производствения процес и околната среда: ♦ намаляват стойностите на U^0 , U^1 и амплитудата U_m ; ♦♦ разширяват активната област ΔU_A , с което намаляват запасите на шумоустойчивост ΔU_N^0 и ΔU_N^1 ; ♦♦♦ отместват ПХН и нарушават симетрията между ΔU_N^0 и ΔU_N^1 . Всичко това прави схемите по – уязвими на шумовете, описани в следващата т. 5.3.



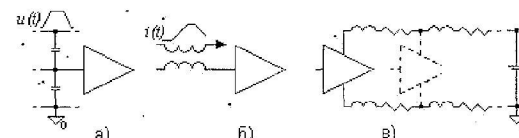
Фиг. 5.5: а) типова ПХН с $\Delta U_N^0 = \Delta U_N^1$; б) влияние на производствения процес и околната среда върху ПХН; в) област на ПХН; г) идеална ПХН.

Проектиране, което съчетава най – неблагоприятните вариации на производствения процес и околната среда, се нарича "проектиране за най – лоша случай" ("worst case design"). Вероятността, обаче, всички фактори да действат еднопосочно в някой момент, е твърде малка. Затова се предпочита статистически подход. Той се базира на законите на разпределение (най – често – нормално) на параметрите на производствения процес. Въз основа на тях се определя вероятността параметрите на произведените схеми да бъдат в границите на задаването (спецификацията). Влиянието на околната среда (напр. температурата), обаче, не е случайно, а детерминирано, в резултат на което получените резултати се изменят в определена насока.

В заключение може да се дефинира (фиг. 5.5.г) идеалната ПХН на инвертор: $U^0 = 0$, $U^1 = V_{DD}$, $U_m = U^1 = V_{DD}$, $\Delta U_A = 0$, $\Delta U_N^0 = \Delta U_N^1 = \frac{1}{2} U_m = \frac{1}{2} V_{DD}$. Ако към тези параметри прибавим безкрайно голямо входно съпротивление $R_{IN} = \infty$ и нулево изходно съпротивление $R_{OUT} = 0$, ще получим статичния модел на идеалния инвертор.

5.3. Шумове. Източниците на шумове са: ♦ **външни** – от промишлени, битови, комуникационни и др. устройства. Достигат до схемите като електромагнитни полета или през мрежовото захранване; ♦♦ **вътрешни** – генерират се от самите схеми при превключването им и са пропорционални на амплитудата на комутирания сигнал. Тези шумове проникват към останалите схеми по различни начини. Някои от тях са показани на фиг. 5.6. Между всеки два съседни проводника съществува капацитет и

¹ Дефиницията за "шумове" в т.5.1 дава основания на някои автори да отнасят тези изменения към т. нар. "вътрешни шумове", които се разглеждат в следващата т.5.3.



Фиг. 5.6. Проникване на шумовете: а) по капацитивен път; б) по индуктивен път, в) по шините за захранване и маса.

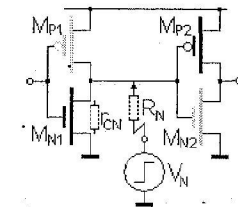
взаимна индуктивност. Промените на тока или напрежението в единия проводник влияят върху сигнала в другия. Върху шините на захранването и масата също възникват шумове, вследствие на индуктивността и съпротивлението на самите шини (фиг. 5.6.в).

В интегралните схеми със смесени сигнали особена опасност представляват шумовете от цифровите схеми. Те проникват по капацитивен и съпротивителен път през общата подложка. Аналоговите схеми са силно уязвими поради наличието в тях на чувствителни точки и много малки сигнали.

Специално внимание изискват напълно изолираните възли. Върху тях се установяват т. нар. "плаващи потенциали", които също могат да бъдат източник на смущения. Техните особености, обаче, могат да бъдат и полезни, както например в технологията FAMOS на Intel за препрограмируеми памети EPROM.

Стабилното функциониране на схемите не се изчерпва с казаното дотук. Съществуват схемни конфигурации с малък шумов запас, които работят стабилно при високи нива на шумовете. Един прост пример за това е показан на фиг. 5.7.

През паразитния резистор R_N шумов източник с амплитуда V_N достига до съединителния проводник между двата инвертора. Първият от тях е в състояние логическа нула, транзисторът M_{N1} е отпушен и може да се замени със съпротивлението на неговия канал r_{CN} . Транзисторът M_{N2} във втория инвертор е запущен и би могъл да се отпусти от положителната амплитуда V_N на шума. Съпротивлението на шината е много по – малко от r_{CN} и R_N и може да се пренебрегне. Вследствие на шума напрежението на шината, съответно на гейта на M_{N2} , се повишава със стойност $V_N \frac{r_{CN}}{r_{CN} + R_N}$. На практика, обаче, тя не може да отпусти M_{N2} , тъй като $R_N \gg r_{CN}$. Както се вижда, благодарение шунтиращото действие на отпущения транзистор M_{N1} , шумът не нарушава нормалната работа.



Фиг. 5.7. Стабилна работа при високо ниво на шума V_N

Анализът на общия случай почива на следните допускания:

♦ Чувствителният възел (най – често това е входът на схемата, но би могла да бъде и друга точка) е със симетричен запас на шумоустойчивост

$$\Delta U_N^0 = \Delta U_N^1 = a U_m,$$

където a е от порядъка на 0,3÷0,4, а в идеалния случай $a=0,5$ (фиг.5.5.г);

♦ Външните шумове са с амплитуди $V_{NEXT} = \{V_{NE1}, V_{NE2}, \dots, V_{NEi}\}$ и коефициенти на предаване към чувствителния възел съответно

$$b_{EXT} = \{b_{E1}, b_{E2}, \dots, b_{Ei}\};$$

♦ Вътрешните шумове са пропорционални на амплитудата U_m . Те постъпват към чувствителния възел с коефициенти на предаване

$$C_{INT} = \{C_{11}, C_{12}, \dots, C_{ij}\}.$$

Товага шумът в разглежданата точка е сума от вътрешните и външните шумове. За стабилна работа той трябва да не превишава запаса на шумоустойчивост:

$$\sum_i b_{Ei} V_{NEi} + \sum_j C_{ij} U_M \leq a U_M,$$

следователно

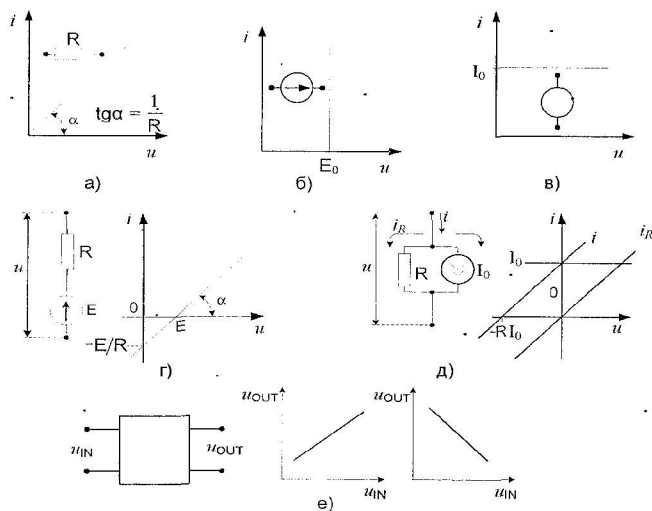
$$U_M > \frac{\sum_i b_{Ei} V_{NEi}}{a - \sum_j C_{ij}}$$

Получените резултати водят до следните изводи: i) Най – ефикасният подход за осигуряване на стабилна работа при големи външни и вътрешни шумове е намаляването на коефициентите b_{EXT} и C_{INT} . Това означава да се затрудни достъпа на шумовите източници до чувствителната точка чрез екраниране (скрити изолиращи слоеве, дълбоки изолиращи канавки, заграждащи рингове и др.). Друга мярка в тази насока е създаването на схеми и схемни конфигурации с ниска чувствителност към постъпващи шумове – напр. схеми с диференциална структура; ii) Увеличаването на амплитудата на сигнала U_M може да помогне в борбата с външните шумове, но това води до увеличаване на вътрешните шумове и консумираната мощност; iii) Необходим е максимален запас на шумоустойчивост. Със схемотехнически средства да се постигне $a \approx 0,5$, а защо не и $a > 0,5$ – напр. чрез прилагане на хистерезис (вж. гл.21).

ЧАСТ II. ЛИНЕЙНИ ИМПУЛСНИ СХЕМИ

6. ЛИНЕЙНИ ХАРАКТЕРИСТИКИ

Линейна схема (елемент, устройство, система)¹ е схема, в която изходната величина зависи линейно от входната, напр. $u_{OUT} = K u_{IN}$, където K е константа, която не зависи от амплитудата и е постоянна във времето². Примери за линейни елементи са линейни резистор R (фиг. 6.1.а), кондензатор C , индуктивност L , трансформатор (без насищане), идеални генератори на напрежение и ток (фиг. 6.1.б,в). Схеми, съставени само от линейни компоненти, са също линейни, например двуполусници (реални генератори на напрежение и ток – фиг. 6.1.г,д) и четириполусници – фиг. 6.1.е.



Фиг 6.1. Характеристики на линейни: а) резистор; идеални генератори на б) напрежение и в) ток, двуполусници – реални генератори на г) напрежение и д) ток, е) четириполусници - неинвертиращ и инвертиращ.

¹ В инженерния език градацията елемент → схема → устройство → система често се нарушава, напр. "Тази система е реализирана като интегрална схема", вместо "интегрална микросистема", както е прието напр. в Texas Instruments.

² Заради независимостта на K във времето, тези схеми (системи) се наричат и "Линейни инвариантни във времето" – ЛИВ [Опенхайм 93].

В действителност, характеристиките на всички електронни елементи са нелинейни, с ограничени минимални и максимални стойности. Разделянето на схемите на линейни и нелинейни е свързано не толкова с тяхната конфигурация (понякога една и съща схема може да работи и като линейна и като нелинейна), колкото с работния режим – с положението на работната точка върху характеристиката и – най-вече – с амплитудата на сигнала. Линейните схеми работят в т.нар. режим на малък сигнал – толкова малък, че участъкът на характеристиката, в който протичат процесите, да може да се разглежда като линеен. Тогава вътре в неговите граници процесите не зависят от амплитудата на сигнала. В реалните схеми, ако сигналът се увеличи, той ще навлезе в нелинейните участъци, ограничаващи екстремните стойности на характеристиката.

Главна особеност на линейните системи и процеси е, че за тях е справедлив принципа на суперпозицията: реакцията на системата на сума от въздействия е равна на сумата от реакциите на всяко въздействие.

7. МЕТОДИ ЗА АНАЛИЗ НА ПРЕХОДНИ ПРОЦЕСИ

От теорията на линейните схеми е известно, че импулсите им свойства се описват от преходната характеристика (преходната функция) $h(t)$. Тя се дефинира като реакция на изхода на схемата при нулеви начални условия за входно въздействие, което има вида на единичен скок (стъпална функция) $1(t)$, като

$$(7.1) \quad 1(t) = 0 \text{ при } t < 0, \quad 1(t) = 1 \text{ при } t \geq 0$$

Производната на единичния скок е импулсната функция

$$(7.2) \quad \delta(t) = \frac{d1(t)}{dt}$$

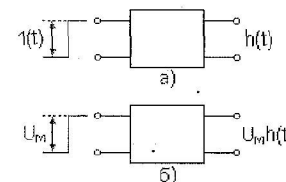
Тя представлява сигнал в момент $t=0$, с безкрайно голяма амплитуда, нулева продължителност и площ равна на единица.

Преходната характеристика $h(t)$ се снима от изхода, като на входа на схемата се подава правоъгълен сигнал с амплитуда единица (фиг. 7.1.а). Напрежителен скок с амплитуда U_m (фиг. 7.1.б), се представя като

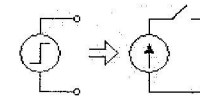
$$(7.3) \quad u(t) = U_m \cdot 1(t).$$

Скокообразното изменение на сигнала съгласно (7.1) и (7.3) е възможно само при безкрайно голяма мощност на източника. Тази идеализация е удобна, когато фронтът на сигнала е пренебрежимо малък в сравнение с продължителността на изследвания преходен процес. В количествено отношение това означава грешката от идеализацията да бъде в допустимите минимални граници.

Напрежителен (токов) скок може да се представи и с помощта на идеален ключ (фиг. 7.2). Той се характеризира с безкрайно голямо съпротивление когато е отворен, нулево



Фиг. 7.1: а) Преходна характеристика б) Преходен процес $u_{IN} = U_m$



Фиг. 7.2. Идеален ключ

съпротивление когато е затворен и безкрайно малко време за преход от едно състояние в друго.

За анализа на преходните процеси в линейни схеми се използват главно четири метода: класически, операторен, честотен и интеграл на Дюамел.

Класически метод. Въз основа на законите на Кирхоф се съставя математически модел на изследвания обект във вид на интегро – диференциално уравнение (или система от уравнения). За решаването му се използват т. нар. закони на комутацията: напрежението на кондензатора, както и токът през бобината не могат да се изменят със скок. Решението на уравнението (системата) описва преходния процес в изследвания обект.

При анализ на линейни схеми най – често е необходимо да се реши диференциалното уравнение от първи ред:

$$(7.4) \quad \tau \frac{dy(t)}{dt} + y(t) = f(t),$$

в което $y(t)$ е търсената функция на времето (напр. изходно напрежение), τ – времеконстантата на процеса (веригата), а $f(t)$ – известна функция на входния сигнал $x(t)$. Уравнението (7.4) описва в частност процесите в т. нар. линейни вериги от първи ред, т.е. вериги, които освен външни източници и резистори съдържат един реактивен елемент. Понеже в началния момент входният сигнал се изменя със скок и по време на разглеждането остава неизменен, дясната част на (7.4) е постоянна величина т.е. $f(t) = \text{const.}$ В този случай решението е:

$$(7.5) \quad y(t) = A e^{-t/\tau} + B.$$

Интеграционните константи се определят за $t = 0$ и $t = \infty$,

$$(7.6) \quad y(0) = A + B$$

$$y(\infty) = B.$$

Окончателното решение

$$(7.7) \quad y(t) = y(\infty) + [y(0) - y(\infty)]e^{-t/\tau}$$

може да се представи и като

$$(7.8) \quad y(t) = y(0) + [y(\infty) - y(0)](1 - e^{-t/\tau})$$

Вижда се, че за да се получи търсената функция, е необходимо да се знаят нейните стойности в началото и в края на процеса. Те се определят лесно чрез решаване на статичния режим на веригата преди започване и след завършване на преходния процес.

→Пример 1. Нека $u(0) = 0$, $u(\infty) = U_M$. Тогава от (1.8) се получава

$$(7.9) \quad u(t) = U_M (1 - e^{-t/\tau}).$$

→Пример 2. Нека $u(0) = U_M$, $u(\infty) = 0$. Тогава от (1.7) се получава

$$(7.10) \quad u(t) = U_M e^{-t/\tau}.$$

Импулсната форма на сигналите налага често те да се изследват в началото на преходните процеси, когато $t \ll \tau$, т.е. за време много по – малко от времеконстантата. Тогава е удобно изразите (1.9) и (1.10) да се представят в ред на *Мак Лорен*, Като се вземе пред вид, че $t \ll \tau$ и

$$(7.11) \quad e^{-t/\tau} = 1 - \frac{t}{\tau} + \frac{t^2}{2\tau^2} - \frac{t^3}{6\tau^3} + \dots,$$

като се пренебрегнат членовете с трета и по – висока степен, се получава:

$$(7.12) \quad u(t) = U_M (1 - e^{-t/\tau}) \approx U_M \left(\frac{t}{\tau} - \frac{t^2}{2\tau^2} \right)$$

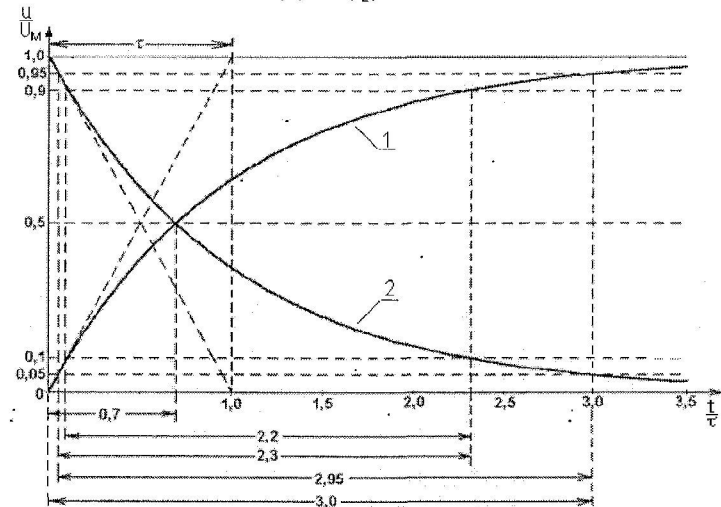
$$(7.13) \quad u(t) = U_M e^{-t/\tau} \approx U_M \left(1 - \frac{t}{\tau} + \frac{t^2}{2\tau^2} \right)$$

Зависимостите (7.9) и (7.10) са построени на фиг.7.3 (криви 1 и 2). Означени са и времеинтервалите през които експонентата се изменя между различни начални и крайни нива на отчитане (табл.7.1). Те са определени като изразът (7.7) се реши спрямо времето t :

$$(7.14) \quad t = \tau \ln \frac{y(\infty) - y(0)}{y(\infty) - y(t)}$$

и u се замести с u , откъдето се получава:

$$(7.15) \quad \Delta t = t_2 - t_1 = \tau \ln \frac{U(\infty) - U(t_1)}{U(\infty) - U(t_2)}$$



Фиг.7.3. Продължителност на преходните процеси

В практиката, както и в учебника, за продължителност на преходния процес във вериги от първи ред се приема

$$(7.16) \quad t_{0.95} = t_{1-0.05} = 3\tau,$$

което представлява времето за изменение на експоненциалната крива от началното ниво (при $t = 0$) до ниво, различаващо се с 5% от установеното в края на процеса ($t = \infty$).

Времевият интервал, определен на ниво 50% от максималното, т. нар. активна продължителност е:

$$(7.17) \quad t_A = t_{0,5} = t_{1-0,5} = 0,7\tau$$

Таблица 7.1

$\delta = \frac{\Delta u}{U_M}$	$0 \div 0,5$	$0 \div 0,95$	$0,05 \div 0,95$	$0,1 \div 0,9$	$0 \div 0,9$
	$1 \div 0,5$	$1 \div 0,05$	$0,95 \div 0,05$	$0,9 \div 0,1$	$1 \div 0,1$
$\Delta t / \tau$	0,7	3	2,95	2,2	2,3

Операторен метод. Основава се на преобразуването на Лаплас. Различава се от класическия метод по това, че свежда решението на интегро – диференциалните уравнения (системи от уравнения) до решение на алгебрични уравнения (системи).

Честотен метод. Използвайки преобразуването на Фурие, входният сигнал се представя с честотния си спектър. След това за всеки от хармониците в спектъра се определя реакцията в изхода. Изходният сигнал е сума от реакциите на всички хармоници във входния спектър (суперпозицията е основно свойство на линейните системи). Удобства на метода са: ♦ свързва времевите параметри на сигналите с амплитудно – честотните им характеристики; ♦♦ представя, макар и неявно, изкривяванията на сигналите при преминаването им през изследвания обект. Едно ценно правило, извлечено от прилагането на честотния метод, е: ниските честоти в спектъра на импулсния сигнал се определят от бавните изменения на сигнала (платото), а високите – от бързите изменения (фронтовете). Пример за това е фактът, че производението от горната гранична честота F и фронта на импулса t_f , е постоянна величина. Когато тази честота е определена на ниво 0,7 (затихване -3dB), а фронтът – между нива 10% ÷ 90 %, тогава е прието:

$$(7.18) \quad F_{0,7} \cdot t_{f 0,1-0,9} \approx 0,4$$

като толерансите са $0,37 \div 0,45$ в зависимост от формата на импулса [Меерович 54]. Ако за гранична се приеме честотата, под която е съсредоточена 99% от енергията на импулса, тогава [Vogatin 03]

$$(7.19) \quad F_{0,99} \cdot t_{f 0,1-0,9} \approx 0,5$$

Ако една схема е с равна (без затихване) честотна характеристика до $F_{0,99}$, то импулс, чиято енергия е в диапазона под $F_{0,99}$, преминава през тази схема без да променя формата си.

Интеграл на Дюамел. Изчислява директно във времето изходния сигнал $y(t)$ във функция от входния $x(t)$. Една от неговите форми е:

$$(7.20) \quad y(t) = x(0)h(t) + \int_0^t x'(\xi) h(t-\xi) d\xi,$$

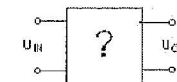
където: $h(t)$ е преходната характеристика на схемата, а $x'(\xi)$ е производната на входния сигнал спрямо текущата променлива ξ .

8. ПАСИВНИ ЛИНЕЙНИ ВЕРИГИ

8.1. ИНТЕГРИРАЩИ И ДИФЕРЕНЦИРАЩИ ВЕРИГИ

Задачата е да се създадат схеми със следните функции:

$$(8.1) \quad u_{OUT} = k_1 \int u_{IN} dt \quad \text{и}$$

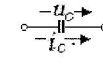


$$(8.2) \quad u_{OUT} = k_2 \frac{du_{IN}}{dt}$$

където k_1 и k_2 са коефициенти на пропорционалност.

СИНТЕЗ: За осъществяването на операциите интегриране и диференциране са необходими електронни елементи, в които съществуват аналогични зависимости, например токовете и напреженията в реактивните – кондензаторни и индуктивни – елементи:

$$(8.3) \quad u_C = \frac{1}{C} \int i_C dt$$



$$(8.4) \quad i_C = C \frac{du_C}{dt}$$

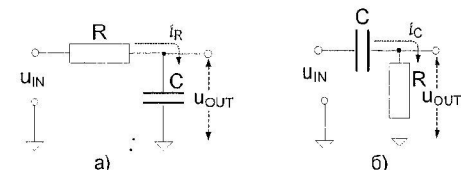
$$(8.5) \quad i_L = \frac{1}{L} \int u_L dt$$



$$(8.6) \quad u_L = L \frac{di_L}{dt}$$

Като съпоставим изразите (8.1) и (8.3) се вижда, че интегриране може да се осъществи, като в изхода се постави кондензатор C , който се зарежда (разрежда) от ток пропорционален на входното напрежение. Това се постига чрез резистора R (фиг.8.1.а). Ако допуснем, че

$$(8.7) \quad u_R \approx u_{IN} \approx R \cdot i_R, \quad \text{то} \quad (8.8) \quad u_{OUT} \approx \frac{1}{RC} \int u_{IN} dt \approx \frac{1}{\tau} \int u_{IN} dt.$$



Фиг. 8.1: а) Интегрираща и б) диференцираща вериги.

По аналогичен начин от (8.2) и (8.4) следва, че диференциране може да се постигне, ако през резистора R в изхода протича кондензаторен ток пропорционален на входното напрежение (фиг.8.1.б). Допускайки че

$$(8.9) \quad u_C \approx u_{IN}, \quad \text{т.е.} \quad i_C \approx C \frac{du_{IN}}{dt}, \quad \text{то} \quad (8.10) \quad u_{OUT} \approx RC \frac{du_{IN}}{dt} \approx \tau \frac{du_{IN}}{dt}.$$

АНАЛИЗ: При постъпване във входа на правоъгълно напрежение с амплитуда U_M действието на синтезираните схеми от фиг. 8.1 е следното:

♦ **интегриране** – при предния фронт на входния сигнал кондензаторът C се зарежда от тока през резистора \hat{I}_R и изходното напрежение нараства от $u_{OUT}(0) = 0$ стремейки се към U_M . То, обаче, се противопоставя на зарядния ток, който от $\hat{I}_R(0) = U_M/R$ намалява и при $t \rightarrow \infty$ спада до нула, следователно $u_{OUT}(\infty) = U_M$. При скок на входния сигнал от U_M към нула процесите са аналогични, но протичат в обратна посока. Нека приемем за нов начален момент падащият фронт на входа. Тогава токът \hat{I}_R протича в обратна посока;

намалява от $\hat{I}_R(0) = -U_M/R$ до $\hat{I}_R(\infty) = 0$ и разрежда изходното напрежение от $u_{OUT}(0) = U_M$ до $u_{OUT}(\infty) = 0$.

♦♦ **диференциране** – напрежителният скок на входа се прехвърля в изхода, следователно $u_{OUT}(0) = U_M$. Токът \hat{I}_C , който определя изходното напрежение,

намалява от $\hat{I}_C(0) = U_M/R$ до нула поради зареждането на кондензатора C (процесът е еднакъв с този в интегриращата верига). В резултат изходното напрежение също намалява до $u_{OUT}(\infty) = 0$. При скок на входния сигнал от U_M към нула зарядът на кондензатора C не се изменя мигновено, следователно изходното напрежение със скок става $u_{OUT}(0) = -U_M$. C намаляването на тока \hat{I}_C , то също намалява, стремейки се към $u_{OUT}(\infty) = 0$.

Диференциалните уравнения определящи напреженията в изходите на интегриращата и диференциращата верига са уравнения от първи ред. Решенията им се получават чрез заместване в (7.7) на стойностите на $u_{OUT}(0)$ и $u_{OUT}(\infty)$. При предния фронт на импулса – за интегриращата верига (8.12) $u_{OUT}(t) = U_M(1 - e^{-t/\tau})$ и за диференциращата (8.13) $u_{OUT}(t) = U_M e^{-t/\tau}$.

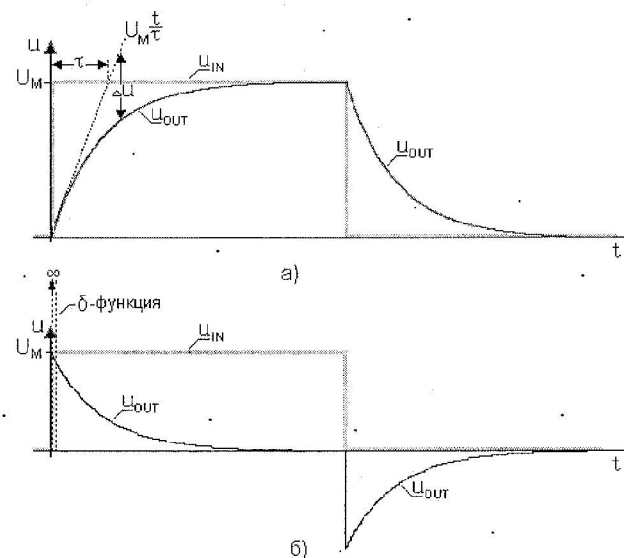
► **Задача:** Съставете изразите за изходните напрежения при задния (спадащ) фронт на входния сигнал.

На фиг. 8.2 са показани входното напрежение и изходните напрежения в интегрираща и диференцираща вериги.

ТОЧНОСТ: Ако синтезираните по – горе схеми изпълняваха точно зададените операции, то при стъпален входен сигнал изходното напрежение на интегриращата верига би трябвало да бъде линейна функция, а на диференциращата – δ -функция (виж формула 7.3). Резултатите (8.8) и (8.10) са получени при направените допускания (8.7) и (8.9), които могат да се обединят като

$$(8.11) \quad u_{IN} \gg u_{OUT}$$

т. е. схемите ще изпълняват зададените функции, ако изходното напрежение е пренебрежимо малко спрямо входното. Но ако $u_{OUT} \rightarrow 0$, тогава схемите биха били неизползваеми. Ето защо реалните стойности на u_{OUT} нарушават предположението (8.11) и са причина за грешка.



Фиг. 8.2. Времени диаграми на преходните процеси в: а) интегрираща и б) диференцираща вериги

Диференциалните уравнения, които описват точно процесите в интегриращата и диференциращата вериги от фиг. 8.1 са:

$$RC \frac{du_{OUT}}{dt} + u_{OUT} = u_{IN} \quad \text{и} \quad u_{OUT} + \frac{1}{RC} \int u_{OUT} dt = u_{IN}$$

Ако $u_{IN} \gg u_{OUT}$ и $u_{IN} = U_M = \text{const} = U_M 1(t)$, тогава

$$\tau \frac{du_{OUT}}{dt} = U_M \quad \text{и} \quad u_{OUT} = U_M \tau \frac{d1(t)}{dt}$$

са диференциалните уравнения на изходните напрежения на идеалната интегрираща и диференцираща вериги. Техните решения са линейна $U_M \frac{t}{\tau}$, съответно – δ -функция. Те са показани с прекъснати линии на фиг. 8.2.

За оценка на грешката при интегриране изразът (8.12) се разлага в ред (виж 7.12):

$$(8.14) \quad u_{OUT}(t) = U_M (1 - e^{-t/\tau}) \approx U_M \left(\frac{t}{\tau} - \frac{t^2}{2\tau^2} \right).$$

Времето за интегриране t_i е по – малко или равно на продължителността на входния импулс. От (8.14) за $t = t_i$ може да се определи максималната абсолютна грешка като разлика между идеалната и реална криви на изходното напрежение (фиг. 8.2.а):

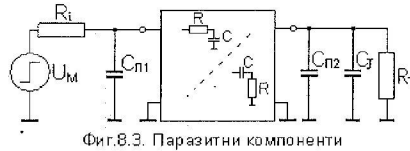
(8.15) $\Delta U_{\max} = U_M \frac{t_{\text{и}}^2}{2\tau^2}$, както и относителната грешка:

(8.16) $\eta_{\max} = \frac{t_{\text{и}}}{2\tau}$.

Следователно, точността на интегриране може да се повиши чрез:
 ♦ намаляване на времето за интегриране спрямо времеконстантата, т.е. $t_{\text{и}} \ll \tau$. Тогава, обаче, амплитудата на изходния сигнал $U_M t_{\text{и}}/\tau$ също намалява; ♦♦ увеличаване на времеконстантата $\tau = RC$, което е свързано с увеличаване размерите на R и C и затруднява микроелектронната им реализация.

При диференциращата верига активната продължителност на изходния импулс е равна на $0,7 RC$, а амплитудата му е U_M . Следователно, точността може да се повиши само чрез по – малка времеконстанта. Намаляването ѝ, обаче, чрез съпротивлението на резистора R, увеличава началния ток U_M/R , съответно – шумовете върху захранващите шини.

ПАРАЗИТНИ КОМПОНЕНТИ. Точността на операциите, реализирани от двете вериги, се понижава и вследствие на т. нар. паразитни компоненти (параметри) показани на фиг.8.3 : вътрешното (изходно) съпротивление R_i на генератора на входно напрежение, товара (R_T и C_T) и паразитните капацитети на съединителните шини C_{n1} и C_{n2} .



Фиг.8.3. Паразитни компоненти

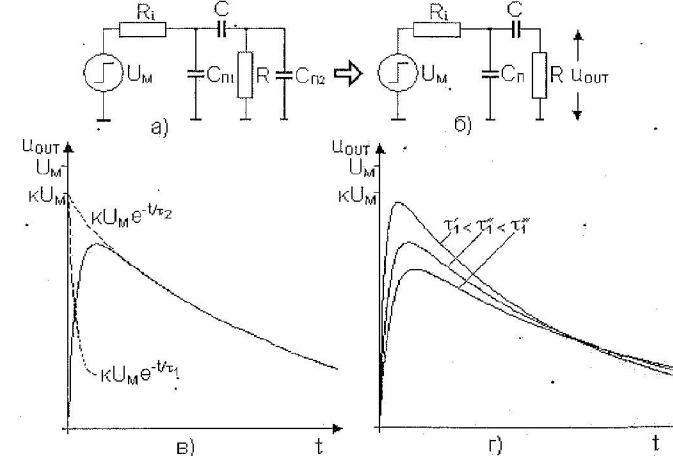
Влиянието на някои от тях може да се пренебрегне: ♦ при *интегриране* – на вътрешното съпротивление R_i , серийно свързано с големия резистор R, както и на капацитетите C_{n2} и C_{n1} , които се прибавят към кондензатора на интегриращата верига C; ♦♦ при *диференциране* – на товарния резистор R_T , паралелно свързан към малкия резистор на диференциращата верига R. Във всички останали случаи паразитните параметри влияят неблагоприятно. Три примера – само с един паразитен параметър – са анализирани и резултатите са поместени в табл.8.1 (за особеностите при анализа на последната схема, съдържаща два кондензатора, вж. гл. 8.3). Вижда се, че паразитните компоненти понижават точността чрез намаляване на изходната амплитуда и промяна на времеконстантата в нежелана насока – намаляване на τ при интегриране и увеличаването ѝ при диференциране. За да се намали влиянието на паразитните параметри, трябва да се изпълняват изискванията:

- ♦ в интегриращата верига $R \ll R_T$;
- ♦♦ в диференциращата верига $C \gg C_{n2} + C_T$ и $R \gg R_i$.

Таблица 8.1

СХЕМА	АНАЛИЗ ПРИ:	$\tau_e =$	$U_{\text{взх}}(t) =$	ИЗИСКВАНИЯ ЗА ТОЧНОСТ:
	$R_i \ll R$ $C_{n1} = 0$ $C = C_{n1} + C_T$	$\frac{R R_T}{R + R_T}$	$U_M \frac{R_T}{R + R_T} (1 - e^{-t/\tau_e})$	$R \ll R_T$
	$C_{n1} = C_{n2} = 0$ $C_T = 0$ $R \ll R_T$	$(R_i + R)C$	$U_M \frac{R}{R + R_i} e^{-t/\tau_e}$	$R \gg R_i$
	$R_i = 0$ $C_T = C_{n2} + C_T$ $R \ll R_T$	$R(C + C_{n1})$	$U_M \frac{C}{C + C_T} e^{-t/\tau_e}$	$C \gg C_{n1} = C_{n2} + C_T$

На фиг.8.4.а е показана диференцираща верига с отчитане на паразитните параметри R_i , C_{n1} и C_{n2} . Тя е изследвана в [Меерович 54]. При



Фиг.8.4. Влияние на паразитните компоненти при диференциране: а) пълна еквивалентна схема; б) редуцирана еквивалентна схема; в) форма на изходното напрежение; г) влияние на паразитните компоненти

условие, че капацитетът на кондензатора C е много по – голям от паразитните C_{n1} и C_{n2} , схемата може да се редуцира (Фиг.8.4.б), където $C_n = C_{n1} + C_{n2}$. Процесите в нея се описват с диференциално уравнение от

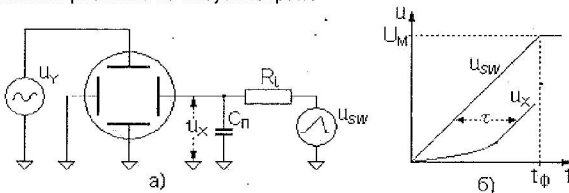
втори ред. При напрежителен скок във входа с амплитуда U_m , изходното напрежение (фиг.8.4.в) е:

$$(8.17) \quad u_{out}(t) = kU_m (e^{-t/\tau_2} - e^{-t/\tau_1}),$$

където: $k = \frac{1}{1 + \frac{R_i}{R} + \frac{C_n}{C}}$, $\tau_2 \approx RC$ е времеконстантата на реалните

компоненти на диференциращата верига, а $\tau_1 \approx R_i C_n$ – на паразитните. Последните, както се вижда, определят предния фронт, докато задният зависи от реалните компоненти. Разликата от двете експоненти определя сигнала в изхода. За да се доближи неговата форма с тази на идеалната (без паразитни компоненти) диференцираща верига, е необходимо $RC \gg R_i C_n$, което пък разширява изходния импулс. На фиг.8.4.г е показано влиянието върху изходното напрежение u_{out} на паразитните компоненти с времеконстантата $\tau_1 \approx R_i C_n$, при фиксирана стойност на времеконстантата $\tau_2 \approx RC$.

Веригата, съставена от вътрешното съпротивление на генератора и паразитния капацитет, винаги изменя формата на сигнала. От интерес за практиката е влиянието на тази верига върху реални сигнали с форма различна от правоъгълната, особено когато техните фронтове са съизмерими с времеконстантата $R_i C_n$. Като пример на фиг.8.5.а е показана опростена схема на хоризонталната развивка за визуализиране



Фиг. 8.5: а) Опростена схема за хоризонтално отклонение на лъча; б) напреженията $u_{sw}(t)$ и $u_x(t)$

във времето на сигнала u_Y върху екрана на осцилоскоп. Към вертикалните пластини на електронно – лъчевата тръба се прилага линейно – изменящо се във времето (трионообразно) напрежение с амплитуда U_m и линеен фронт с продължителност t_ϕ . Вътрешното съпротивление на генератора R_i и паразитният капацитет C_n образуват интегрираща верига с $\tau = R_i C_n$. За определяне на реалното отклоняващо напрежение $u_x(t)$ е удобен интеграла на Дюамел (7.20), който в случая е:

$$(8.18) \quad u_x(t) = u_{sw}(0) h(t) + \int_0^t u'_{sw}(\xi) h(t-\xi) d\xi,$$

където $u_{sw}(t) = \frac{U_m}{t_\phi} t$ е линейното напрежение, а $h(t) = 1 - e^{-t/\tau}$ е преходната

характеристика на веригата $R_i C_n$ с времеконстанта τ . Решението на (8.18) е:

$$(8.19) \quad u_x(t) = \frac{U_m}{t_\phi} [t + \tau (1 - e^{-t/\tau})].$$

То е показано на фиг.8.5.б. При $t \ll \tau$, като се разложи експонентата в ред и се ограничим с първите три члена, се получава:

$$(8.20) \quad u_x(t) = \frac{U_m}{2t_\phi} \frac{t^2}{\tau}$$

т.е. при малки времена зависимостта вместо линейна е квадратична. Това изкривява картината в началото на развивката. При голямо време $t \gg \tau$

$$(8.21) \quad u_x(t) = \frac{U_m}{t_\phi} (t - \tau),$$

линейността се запазва. Изходното напрежение е еднакво с входното, но закъснява спрямо него с време $t = \tau$.

ПРИЛОЖЕНИЕ. Интегриращата верига, поради присъщата ѝ неточност, рядко се прилага за интегриране. Нейният изходен сигнал, обаче, е с много по – полегат фронт в сравнение с входния. Това “закъснение” на изходния сигнал (напр. на ниво 50%) се използва в схеми генериращи импулси с определена продължителност (релаксационни генератори). За същата цел е удобен и задния фронт на сигнала в изхода на диференциращата верига. Основното приложение, обаче, на диференциращата верига е за “скъсяване” – формиране на тесен островърх изходен импулс от по – продължителен входен импулсен сигнал¹.

Резултатите получени в тази глава се използват за количествена оценка (напр. на параметрите на импулсите) и за проектиране на импулсни схеми. Някои насоки за повишаване на бързодействието могат да се извлекат дори само от анализа на входната верига от схемата на фиг.8.3. Напрежителният скок от идеалния генератор на напрежение достига до входа на схемата с vloшен фронт $t_\phi = 3R_i C_n$. Как може той да бъде намален? Паразитният капацитет е сума от входния капацитет на схемата и разпределения капацитет на съединителната шина. Резисторът R_i реално е съставен от вътрешното съпротивление на генератора и разпределеното съпротивление на шината. Следователно, дори и от тази толкова проста верига, се вижда, че за да се ускорят процесите, е необходимо: ♦ да се намалява съпротивлението на съединителните шини, което е проблем на размерите и материала им; ♦♦ да се увеличава мощността на импулсните генератори. Това, обаче, увеличава косумираната мощност и затруднява разсейването ѝ; ♦♦♦ да се намаляват паразитните капацитети – чрез намаляване дължината на шините и повишаване на изолацията (използване на материали с малка диелектрична константа [Rabaey03]).

Съвременните технологии се стремят непрекъснато да отговорят все по – добре на тези изисквания. Така напр. основната тенденция е да се намаляват размерите на компонентите и разстоянията между тях. Това позволява и да се намали енергията за управлението им. Друго постижение от последните години е намаляването на съпротивлението на съединителните шини чрез замаяната на алуминия с мед (технологията “Damascus” [Rabaey03]).

Реактивните елементи се реализират трудно от микроелектронните технологии. За акумулираната енергия е необходим обем, съответно – площ

¹ Друг метод за формиране на тесни импулси е описан в гл.

– върху повърхността на кристала. Кондензаторът е предпочитан поради относително по – високата точност при реализирането му и по – добрия качествен фактор (по – малки загуби). Напоследък, обаче, с усвояването на гигагерцовия диапазон необходимите индуктивности са с малки стойности, малки размери и затова все по – често се реализират върху чипа.

► **Задача:** Синтезирайте и анализирайте интегрираща и диференцираща RL схеми (! Без да включвате паразитни капацитети. Защо?)

КОНСУМИРАНА И РАЗСЕЙВАНА ЕНЕРГИЯ Нека на входа на една RC верига постъпи правоъгълен (стъпален) сигнал с амплитуда U_M . Энергията, доставена от източника на този сигнал по време на преходния процес (зареждане на кондензатора от нула до U_M), е:

$$A_{\text{заяр}} = \int_0^{\infty} v_{\text{заяр}}(t) \cdot i_{\text{заяр}}(t) dt = U_M \int_0^{\infty} C \frac{dv_{\text{заяр}}}{dt} dt = CU_M \int_0^{U_M} dv_{\text{заяр}} = CU_M^2$$

След зареждане до U_M , в кондензатора C е акумулирана енергия

$$A_C = \int_0^{\infty} u_C(t) \cdot i_C(t) dt = \int_0^{\infty} u_C(t) C \frac{du_C}{dt} dt = C \int_0^{U_M} u_C du_C = \frac{1}{2} CU_M^2$$

която е половината от общата консумирана енергия $A_{\text{заяр}}$. Но къде "се губи" другата половина? Интересно е също, че както $A_{\text{заяр}}$, така и A_C не зависят от резистора R. Всъщност половината от консумираната енергия е изразходвана в резистора и превърната в топлина, която се разсейва в околната среда. И това не зависи от капацитета на кондензатора и съпротивлението на резистора (!). Но резисторът R влияе върху скоростта, съответно – продължителността на преходния процес. Колкото е по – малко съпротивлението на R, толкова е по – голяма амплитудата на тока през кондензатора C и по – краткотрайно зареждането му. От друга страна, пропорционално на този ток растат шумовете върху захранващите шини, вследствие на разпределените им съпротивления и индуктивности.

8.2. РАЗДЕЛЯЩА RC – ВЕРИГА

Тази верига е предназначена да раздели по постоянен ток две стъпала. Най – често това се налага, когато в изхода на едно усилвателно стъпало постоянен напрежение е недопустимо високо за входа на следващото стъпало. От друга страна, обаче, полезният променлив сигнал трябва да остане неизменен след преминаване през разделящата RC – верига. По – долу се анализират процесите при единичен и периодичен импулсен сигнал, с цел да се определят изискванията към времеконстантата на разглежданата верига.

Нека на входа (фиг.8.6) постъпи правоъгълен импулс от идеален генератор при нулеви начални условия, т.е. при $t = 0$ зарядът, съответно напрежението върху кондензатора, са равни на нула. Изходното напрежение със скок става равно на входното. По време на импулса кондензаторът започва да се зарежда, а изходният сигнал намалява:

$$u_C(t) = U_M (1 - e^{-t/\tau}) \text{ и } u_{\text{изх}}(t) = U_M e^{-t/\tau}$$

Плоската част (платото) на импулса се понижава и в края на импулса е спаднала с

$$(8.22) \quad \Delta U_n = u_{\text{изх}}(0) - u_{\text{изх}}(t_n) = U_M (1 - e^{-t_n/\tau})$$

Ако е изпълнено съотношението

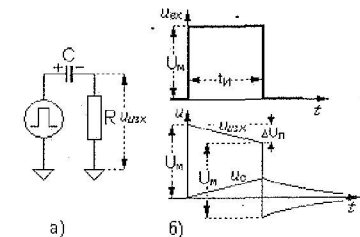
$$(8.23) \quad \tau = RC \gg t_n,$$

то $\Delta U_n \approx U_M t_n/\tau$. Както се вижда, когато времеконстантата на RC – веригата е много по – голяма от продължителността на импулса, изкривяването на сигнала ще клони към нула, т.е. $\Delta U_n \rightarrow 0$. Накрая, когато входният импулс завърши, изходното напрежение със скок се изменя в отрицателна посока със стойност U_M и кондензаторът C се разрежда напълно през резистора R и източника на сигнала.

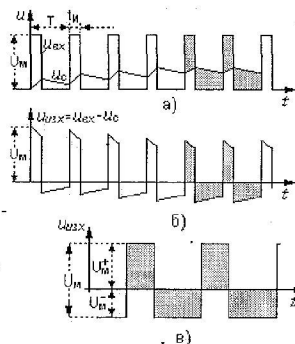
Да разгледаме процесите (фиг.8.7), когато входният импулсен сигнал е периодичен с коефициент на запълване $K_d = t_n/T$. Тогава по време на импулса кондензаторът C се зарежда и изходното напрежение расте. През паузата процесите протичат в обратна посока – кондензаторът се разрежда и напрежението в изхода намалява. На фиг.8.7, а, б са показани измененията на напреженията в схемата, започващи при нулеви начални условия: $u_C(0) = 0$, $u_{\text{изх}}(0) = 0$. С всеки постъпващ импулс u_C постепенно нараства. Изходното напрежение се измества в отрицателна посока, тъй като $u_{\text{изх}} = u_{\text{вх}} - u_C$. Този процес завършва, когато увеличението на заряда в кондензатора по време на импулса $\Delta Q_{\text{зар}} = i_{\text{зар}} t_n$ се изравни с намалението му $\Delta Q_{\text{разр}} = i_{\text{разр}} (T - t_n)$ през паузата:

$$(8.24) \quad \Delta Q_{\text{зар}} = \Delta Q_{\text{разр}}$$

В това стационарно състояние върху кондензатора се поддържа постоянна средна стойност на напрежението. Именно напрежението на кондензатора превръща изходния импулс в дуполярен с амплитуди U_M^+ и U_M^- , като $U_M^+ + U_M^- = U_M$. За да ги определим използваме идеализираната



Фиг.8.6.Разделяща RC – верига: а) схема; б) времедиаграми



Фиг.8.7.Разделяща RC – верига – време – диаграми при периодични импулси:
 а) входно напрежение и напрежение върху кондензатора;
 б) изходно напрежение;
 в) идеализирана форма на изходното напрежение

правоъгълна форма на изходното напрежение (Фиг.8.7,в) Нейната правдоподобност е толкова по – голяма, колкото по – силно е изпълнено неравенството $\tau = RC \gg T$. От посоченото по – горе равенство на зарядите при зареждане и разреждане (8.24), след заместване на $i_{зар} = U_M^+ / R$ и $i_{разр} = U_M^- / R$, следва и равенство на площите на напреженията през импулса и паузата:

$$(8.25) \quad U_M^+ t_M = U_M^- (T - t_M)$$

Като добавим зависимостта $U_M^+ + U_M^- = U_M$, се получава система от две уравнения, от която определяме:

$$(8.26) \quad U_M^+ = U_M (1 - k_3)$$

$$U_M^- = U_M k_3$$

► **Задача:** Сравнете изискванията към времеконстантите на диференциращата и разделящата вериги. Обяснете причините за тези изисквания!

Освен във времевата област, както бе направено по – горе, този проблем заслужава – макар и накратко – да се разгледа и в честотната област. За да преминава сигналът през RC – верига без да се променя формата му, трябва импедансът на кондензатора да бъде пренебрежимо малък спрямо съпротивлението на резистора. Това изискване е най – трудно изпълнимо за най – ниската честота f_n в спектъра на сигнала:

$$\frac{1}{\omega_n C} \ll R \text{ или } RC \gg \frac{1}{2\pi f_n}$$

Изискването за голяма времеконстанта ограничава използването на RC – разделящи вериги само в интегралните схеми за високи радиочестоти. Вместо тях се прилагат схемотехнически похвати за непосредствена (безкондензаторна, галванична) връзка. При биполарна технология това са т.нар. "транслатори на ниво". В тях кондензаторът се замества с отпусен PN – преход или с диод на Zener. В CMOS схемотехниката се редуват стъпала с противоположна проводимост – NMOS с PMOS, както и PMOS с NMOS.

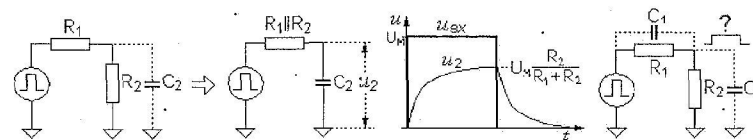
Средната стойност на напрежението върху кондензатора е равна на U_M^- . Но това е всъщност постоянната компонента в спектъра на импулсия сигнал, т.е. неговата средна стойност, тъй като

$$\frac{1}{T} \int_0^T U_M dt = \frac{1}{T} \int_0^{t_M} U_M dt = U_M \frac{t_M}{T} = k_3 U_M.$$

Заради начинът, по който се създава това напрежение, както и заради мястото му (между две стъпала), то се нарича "динамично преднапрежение".

8.3. ЧЕСТОТНО – НЕЗАВИСИМ НАПРЕЖИТЕЛЕН ДЕЛИТЕЛ.

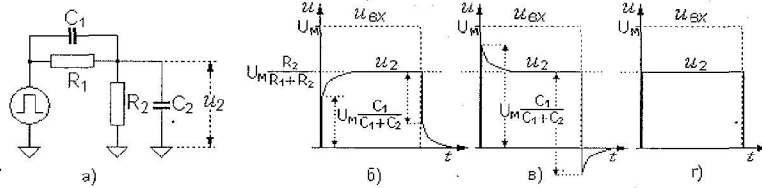
Много често амплитудата на импулсия сигнал се намалява с помощта на резисторен делител (затихвател, атенюатор), както е показано на фиг. 8.8. Изходният импулс, обаче, е с влошена форма вследствие на капацитета C_2 . Той е сума от паразитния капацитет на съединителната шина и входния капацитет на следващото стъпало, за което е предназначен сигнала. В изхода на тази интегрираща верига фронтовете на сигнала са



Фиг.8.8. Резисторен делител и влияние на изходния капацитет върху преходния процес

равни на $3C_2 (R_1 || R_2) = 3C_2 \frac{R_1 R_2}{R_1 + R_2}$. Възможно ли е да се възстанови

правоъгълната му форма? Например – по аналогия на диференцирането – чрез "ускоряващ" кондензатор C_1 ?



Фиг. 8.9. Честотна компенсация: а) принципна схема; б) некомпенсиран, в) прекомпенсиран и г) компенсиран делител.

На входа на схемата, в която е добавен кондензатора \$C_1\$ (фиг. 8.9.а), правоъгълният импулс с амплитуда \$U_M\$ постъпва от идеален генератор на напрежение (с безкрайно малко вътрешно съпротивление) към серийно свързаните кондензатори \$C_1\$ и \$C_2\$.

Мигновеното установяване на напреженията върху тях е в противоречие с т. нар. "закони за комутацията" (виж гл. 7). Класическите методи, както и компютърните програми, могат да изчислят тези напрежения, само ако последователно с \$C_1\$ и \$C_2\$ се добави резистор. Съществуват, обаче, методи, които "заобикалят" ограниченията и водят до аналитично решение на подобни проблеми. По-долу е използван един от тях [Голдберг 69].

В началния момент на комутацията за безкрайно малко време протича безкрайно голям ток. Както времето, така и амплитудата на тока са еднакви и за двата кондензатора, следователно върху всеки от тях ще се получи еднакъв заряд \$Q = C_1 u_1 = C_2 u_2\$. Във всеки момент от време, вкл. и при \$t = 0\$, сумата от напреженията върху кондензаторите е равна на \$U_M\$. От системата

$$(8.27) \quad \begin{cases} i_1(0) + i_2(0) = U_M \\ C_1 u_1(0) - C_2 u_2(0) = 0 \end{cases}$$

получаваме \$u_1(0) = U_M \frac{C_2}{C_1+C_2}\$ и \$u_2(0) = U_M \frac{C_1}{C_1+C_2}\$. Следователно, в

началния момент \$t = 0\$ изходното напрежение се изменя със скок от нула до \$U_M \frac{C_1}{C_1+C_2}\$, след което с времеконстанта \$(C_1+C_2)(R_1 \parallel R_2) = (C_1+C_2) \frac{R_1 R_2}{R_1+R_2}\$

се стреми към \$u_2(\infty) = U_M \frac{R_2}{R_1+R_2}\$. На фиг. 8.9.б, в и г са показани трите

възможни случая – когато началният отскок \$U_M \frac{C_1}{C_1+C_2}\$ е по-малък, по-

голям и равен на \$U_M \frac{R_2}{R_1+R_2}\$. От равенството \$U_M \frac{C_1}{C_1+C_2} = U_M \frac{R_2}{R_1+R_2}\$ се

получава

$$(8.28) \quad C_1 R_1 = C_2 R_2$$

Следователно, изходното напрежение запазва правоъгълната форма на входното, при равенство на двете времеконстанти \$\tau_1 = C_1 R_1\$ и \$\tau_2 = C_2 R_2\$. До същия резултат може да се достигне и чрез анализ в честотна област.

Спектърът на идеалния правоъгълнен импулс е равномерен в обхват от \$F=0\$ до \$F=\infty\$. Импулсът би запазил формата си преминавайки през резисторен делител, понеже предавателната честотна характеристика на делителя е честотно – независима. Капацитетът \$C_2\$ в изхода, обаче, шунтира високите честоти и превръща цялата верига във високочестотен филтър. Включването на кондензатора \$C_1\$ цели "да повдигне" и изравни характеристиката, с което ще се запази правоъгълната форма на изходния сигнал. Условието за честотна независимост на веригата съставена от \$R_1, C_1, R_2\$ и \$C_2\$ е

$$(8.29) \quad \frac{Z_2}{Z_1+Z_2} = \frac{R_2}{R_1+R_2},$$

където \$Z_1\$ и \$Z_2\$ са импедансите на паралелно свързаните \$R_1-C_1\$ и \$R_2-C_2\$:

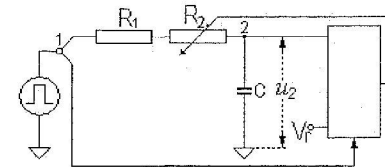
$$Z_1 = \frac{R_1}{1+j\omega C_1 R_1} \quad \text{и} \quad Z_2 = \frac{R_2}{1+j\omega C_2 R_2}. \quad \text{Като ги заместим в (8.29) отново се получава}$$

\$C_1 R_1 = C_2 R_2\$. Ето защо цялата верига се нарича честотно – независим или честотно – компенсиран делител. Горният пример показва как честотният метод може да улесни и ускори анализа на импулсните схеми.

С помощта на ускоряващия кондензатор се разширява честотната лента и се увеличава бързодействието. Тази идея се оказва много полезна в развитието на електронната схемотехника. Дори и в съвременните интегрални схеми тя се прилага въпреки площта заемана от кондензатора. Нещо повече, този подход може да се обобщи и за индуктивните компоненти – те също се използват за корекция на честотната лента в линейни и релаксационни схеми.

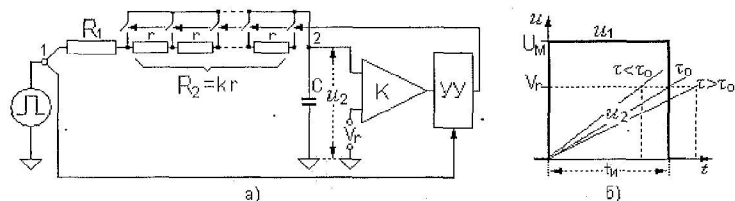
8.4. РЕАЛИЗИРАНЕ НА ТОЧНА RC – ВРЕМЕКОНСТАНТА

Вследствие вариациите на производствения процес и околната среда стойностите на компонентите варират в широки граници (вж. гл. 5.3). Обработката на аналогови сигнали, обаче, изисква висока точност от схемите, съответно – от техните компоненти. Затова тук накратко е изложен един метод за реализиране на времеконстанта, практически независима от тези изменения. Нека стойността на времеконстантата е \$\tau_0 = R_0 C_0\$ при максимално допустима относителна грешка \$\delta_{\tau_0}\$.



Фиг. 8.10. Обща блокова схема

Методът и схемната постановка са илюстрирани на фиг. 8.10. Интегриращата RC – верига е съставена от кондензатора С и двата резистора – постоянен R_1 и променлив (настройваем) – R_2 . На входа постъпва тестов импулс с точни параметри – амплитуда U_M и продължителност t_M . Изходното напрежение u_2 се сравнява с точно опорно (еталонно) напрежение V_r . Стойностите на U_M , t_M и V_r са взаимно свързани. Например при $V_r = U_M/2$, $t_M = 0,7\tau_0$ (или при $V_r = 0,633U_M$, $t_M = \tau_0$). Постановката от фиг. 8.10 е детайлизирана на фиг. 8.11,а. Резисторът R_2 е съставен от еднакви резистори със стойност r . Неговата стойност се изменя посредством ключовете – винаги един от тях е затворен,



Фиг. 8.11: а) схема за настройка на резистора; б) времедиаграми

а останалите са отворени. Ако времеконстантата на интегриращата верига е равна на τ_0 , то изходното напрежение u_2 ще достигне стойност V_r точно в края на входния импулс (фиг. 8.11,б). Ако е по – малка – това ще стане преди, а ако е по – голяма – след завършване на входния импулс. В моментите, в които u_2 достига и става по – голямо от V_r , т.е. $u_2 \geq V_r$, компараторът К генерира импулс към управляващото устройство УУ. То от своя страна управлява ключовете след всяко сравнение на предния фронт на импулса от компаратора със спадания фронт на входния тестов импулс. Настройката завършва, когато времевата разлика между тях достигне стойност определена от максимално допустимата разлика между двете времеконстанти – точната τ_0 и тази на настройваната реална верига.

За да можем да изчислим номиналните стойности на резисторите, предполагаме че ключовите схеми са идеални. Относителните грешки, причинени от вариациите в производствения процес и околната среда; са зададени със стойностите δ_R – за резисторите и δ_C – за кондензатора.

Условието за завършена успешна настройка е:

$$(8.30) \quad R_0 C_0 \approx (R_1 + R_2^*) C_0,$$

където $R_2^* \in [0, R_2]$, а знакът за приблизително вместо точно равенство, се дължи на грешката внасяна от един резистор r . За да бъде възможна настройката, трябва да са изпълнени изискванията:

при максимални стойности на компонентите $R_2^* = 0$ и

$$(8.31) \quad R_0 C_0 \geq R_1 (1 + \delta_R) C_0 (1 + \delta_C),$$

а при минимални – $R_2^* = R_2$ и

$$(8.32) \quad R_0 C_0 \leq (R_1 + R_2) (1 - \delta_R) C_0 (1 - \delta_C).$$

Системата от двете неравенства позволява да се определят

$$(8.33) \quad R_1 = R_0 \frac{1}{(1 + \delta_R)(1 + \delta_C)}$$

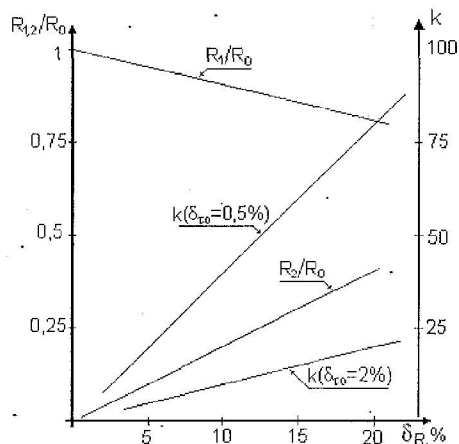
$$(8.34) \quad R_2 = 2R_0 \frac{\delta_R + \delta_C}{(1 - \delta_R^2)(1 - \delta_C^2)}$$

Крайната стойност r на резисторите за настройка внася максимална грешка, когато всички резистори са максимални. Тогава R_1 клони към R_0 и се комутира само един настройващ резистор. Следователно $\delta_{\tau_0} = r/R_0$, откъдето $r = R_0 \delta_{\tau_0}$, а броят на настройващите резистори $k = R_2/r$.

Получените дотук резултати са интерпретирани числено в табл. 8.2 и са показани на фиг. 8.12. В изчисленията е пренебрегнато влиянието на кондензатора, тъй като на практика $\delta_C \ll \delta_R$. От фиг. 8.11,а се вижда, че при настройка в RC – веригата винаги има само един затворен ключ. Неговото реално съпротивление (например от порядъка на 1kΩ), може да се компенсира чрез съответно намаляване стойността на резистора R_1 .

Таблица 8.2

$\delta_R, \%$	5			10			15			20		
R_1/R_0	0,952			0,909			0,869			0,833		
R_2/R_0	0,1			0,2			0,306			0,416		
$r/R_0 = \delta_{\tau_0}, \%$	0,25	0,5	1	0,5	1	2	0,5	1	2	0,5	1	2
$k = R_2/r$	40	20	10	40	20	10	62	31	15	83	42	21



Фиг. 8.12. Определяне на R_1 , R_2 и броя k на резисторите за настройка

Анализираната структура от фиг. 8.10 и фиг. 8.11 по същество представлява адаптивна система със смесени – аналогови и цифрови сигнали. Чрез периодична настройка (при възможност във фонов режим) се поддържа оптимална стойност на времеконстантата, независимо от вариациите на производствения процес и околната среда.

Друг метод за реализиране на точни времеконстанти е разгледан в гл. (xx- SC – схеми)

9. АКТИВНИ ЛИНЕЙНИ СХЕМИ

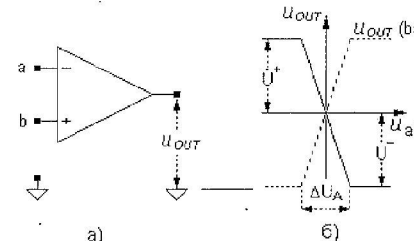
9.1. ОПЕРАЦИОННИ УСИЛВАТЕЛИ. Идеалният операционен усилвател (ОУ) се характеризира с безкрайно големи стойности на усилването, входното съпротивление, бързодействието и безкрайно малко изходно съпротивление. Съвременните ОУ се доближават по своите параметри до идеалния ОУ. Например коефициентът на усилване по напрежение A_U при ниски честоти надхвърля 10^5 , а входното съпротивление достига $10^{15} \Omega$. Честотната лента, обаче, не е и не може да бъде безкрайна. Затова при малък входен сигнал се използва производението от гранична честота $F_{гр}$ и усилване A_U за тази честота ($Gain \times Band \text{ Width} - GBW$). Обикновено това е честотата, за която $A_U = 1$. Произведението $A_U F_{гр}$ е постоянна величина за дадена технология. При съвременните технологии тя е от порядъка на $10^2 - 10^3 \text{ MHz}$. При голям входен импулсен сигнал преходният процес се оценява по максималната скорост SR (*slew rate*) на изменение на изходния сигнал. Нейната стойност е от порядъка на $10^2 - 10^3 \text{ V}/\mu\text{s}$. Поради голямата амплитуда на постъпващия сигнал работната точка

на входното стъпало се премества извън усилвателната област на характеристиката му, Тогава преходните процеси, съответно SR , зависят само от вътрешните токове и емкости в схемата на ОУ.

Схемно предимство на ОУ е диференциалният вход (фиг.9.1.а). Тъй като изходното напрежение е:

$$(1.38) \quad U_{uax} = -A_{Uab} = A_{Uba},$$

прието е точка a да се нарича инвертиращ вход, а точка b – неинвертиращ вход. Предавателната характеристика по напрежение (ПХН) на ОУ с двуполлярно симетрично захранване (фиг.9.1.б) е съставена от линейна активна (усилвателна) област ΔU_A и области на насищане. В тях изходното напрежение е ограничено на нива U^+ и U^- . Тези нива на практика са равни на захранващите напрежения – т.нар. "rail – to rail" ОУ.



Фиг. 9.1.а) операционен усилвател; б) предавателна характеристика

Голямата стойност на A_U обуславя много тясна активна област ΔU_A

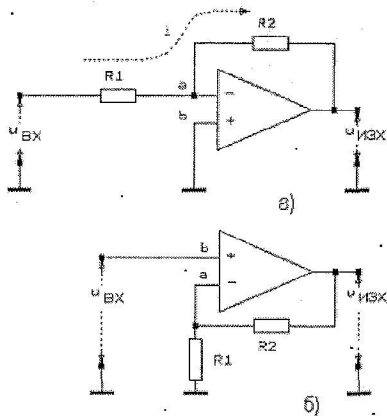
$$(1.39) \quad \Delta U_A = \frac{U^+ + |U^-|}{A_U} \approx 0,$$

която за повечето приложения на ОУ се приема равна на нула. При линеен режим сигналът между точките a и b е по – малък от ΔU_A и е вътре в активната област. Следователно, той също се приема за равен на нула:

$$(1.40) \quad |u_{ab}| = u_{ba} = \frac{U_{OUT}}{A_U} \approx 0.$$

Това е правилото на т. нар. "виртуална нула". Прилагането му улеснява синтеза и анализа на схеми с ОУ, като внася пренебрежимо малка грешка. Така например, при типова стойност на $A_U = 10^6$, относителната грешка е равна на 10^{-6} . В областите на насищане ОУ става много бавен. За да се избегне навлизането на сигнала в тях и за да се стабилизира работната точка вътре в активната област ΔU_A , се прилага отрицателна обратна връзка – ООВ. (Това не важи за нелинейни схеми – напр. мултивибратори. При тях се работи главно в областите на насищане и правилото за виртуалната нула е неприложимо).

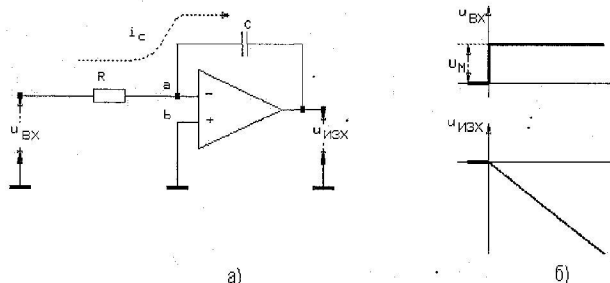
На фиг.11 са показани две основни усилвателни стъпала – с паралелна и последователна ООВ и зависимостите на изходното напрежение от входното, изведени съгласно правилото (1.40).



Фиг.11. ОУ с а) паралелна и б) последователна ООВ.

Съвременните ОУ много често са с едно захранване – например +3V. Тогава $U^+ \approx 3V$ и $U^- \approx 0V$. Средата на активната област се фиксира от източник $\frac{1}{2}(U^+ + U^-) = \frac{1}{2}U^+$. Неговото свързване зависи от конкретната схема, в която е включен ОУ. Например, при неинвертиращ усилвател, в т. б, вместо маса се подава напрежение $\frac{1}{2}U^+$.

9.2. ИНТЕГРИРАЩ И ДИФЕРЕНЦИРАЩ УСИЛВАТЕЛ. За да синтезираме интегрираща и диференцираща активни схеми, трябва двата резистора в обратната връзка да заменим с RC – верига. Така например, от схемата с паралелна ООВ се получават схемите на фиг. 12.а и 13.а.



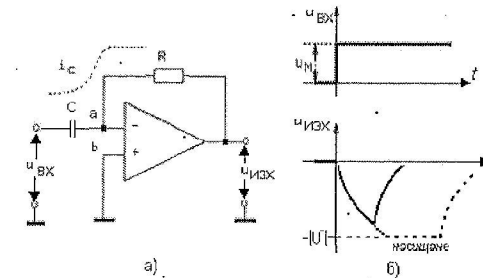
Фиг.12. Интегриращ усилвател (а) и реакция на изхода (б).

$$\begin{aligned}
 u_{ИЗХ} &= -R_2 i = \\
 &= -R_2 \frac{u_{ВХ} - u_{ab}}{R_1} = \\
 &= -\frac{R_2}{R_1} u_{ВХ}
 \end{aligned}$$

$$\begin{aligned}
 u_{ИЗХ} &= (R_1 + R_2) i = \\
 &= (R_1 + R_2) \frac{u_{ВХ} - u_{ba}}{R_1} = \\
 &= \frac{R_1 + R_2}{R_1} u_{ВХ}
 \end{aligned}$$

Анализът на първата схема показва, че тя е интегриращ усилвател, тъй като

$$(1.41) \quad u_{изх}(t) = -\frac{1}{C} \int i_C dt = -\frac{1}{C} \int \frac{u_{ex} - u_{ab}}{R} dt \approx -\frac{1}{RC} \int u_{ex}(t) dt.$$



Фиг.13. Диференциращ усилвател (а) и реакция на изхода (б).

Схемата на фиг.13 пък е диференциращ усилвател, защото

$$(1.42) \quad u_{изх}(t) = -R i_C = -RC \frac{d(u_{ex} - u_{ab})}{dt} \approx -RC \frac{du_{ex}}{dt}$$

► **Задача:** Синтезирайте и анализирайте интегрираща и диференцираща RC – активни схеми на базата на ОУ с последователна ООВ!

От фиг. 12.б, както и от (1.41) се вижда, че при подаване на напрежителен скок U_m във входа на интегриращия усилвател, реакцията на изхода е практически идеално линейно във времето напрежение (с относителна грешка $1/A_U$, т.е. $10^{-5} \div 10^{-6}$).

Към интегриращия усилвател от фиг.12.а може да се подходи и като към верига от първи ред. Тогава решението на диференциалното уравнение е от вида:

$$(1.43) \quad u_{изх}(t) = -E_e (1 - e^{-t/\tau_e}), \quad \text{където:}$$

$$(1.44) \quad E_e = A_U U_m, \quad \text{а } \tau_e = (A_U + 1)RC \approx A_U RC.$$

Благодарение на ОУ, с малки стойности на резистора R и кондензатора C се получава много голяма еквивалентна времеконстанта, а оттам – точно интегриране. Това явление е известно като "интегриращ ефект на проходния кондензатор" или ефект на Милер. Често се използва в интегралната схемотехника, тъй като големите кондензатори и резистори изискват голяма площ върху кристала.

Диференциращият усилвател се използва рядко в сравнение с интегриращия. Причините за това (фиг. 13.б) са: ♦ предният фронт на

изходния импулс не е стръмен. Той зависи от скоростта на нарастване (SR) на сигнала в изхода на ОУ – при извода на (1.42) е пренебрегната инертността на ОУ; ♦♦ възможно е насищане на усилвателя, при което той става много бавен. За да се избегне насищането, трябва амплитудата на входния сигнал и усиляването A_v да бъдат малки; ♦♦♦ през кондензатора C входните шумове се усиливат и влошават отношението сигнал/шум в изхода

ЧАСТ III. НЕЛИНЕЙНИ ИМПУЛСНИ СХЕМИ

"Понятието нелинейност е фундаментално и универсално свойство на света, така както са и понятията за материя и за движение (еволюция) на материята. Нелинейността е главно свойство на света, тъй като ни управлява навсякъде еволюция" [Черногор07]

11. КЛЮЧОВ РЕЖИМ. МЕТОД ЗА АНАЛИЗ

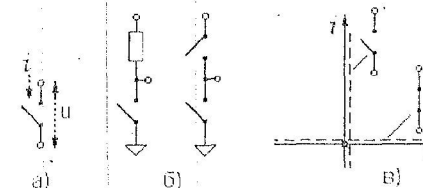
Понятието нелинейност е основно и в света на електронните схеми и системи¹. Разделянето на схемите на **линейни** и **нелинейни** е свързано не толкова с тяхната конфигурация (понякога една и съща схема може да работи и като линейна и като нелинейна), колкото с работния режим - с положението на работната точка върху характеристиката и - най-вече - с амплитудата на сигнала. Цифровите схеми работят в специфичен нелинеен режим - т. нар. режим на голям сигнал или ключов режим. При него амплитудата е много по-голяма от линейния (усилвателен) участък в характеристиката. Нещо повече - стремехът е амплитудата на сигнала да бъде близка по стойност до захранващото напрежение. По този начин се удовлетворяват няколко свързани помежду си изисквания: за максимално използване на захранването (т. е. голям КПД), за голяма разлика между логическите нива, за висока шумозащитеност и т.н.

Поради голямата амплитуда работната точка достига двете крайни (гранични) области на характеристиките. В тези области електронните елементи имат много голямо или много малко съпротивление, а превключването между тях наподобява действието на механичен превключвател с две положения. Елемент, който работи в такъв режим се нарича **ключ** (фиг.11.1,а), а схемата, в която е свързан - **ключова** схема. Две ключови схеми са показани на фиг.11.1,б. Първата е с товарен резистор, а втората - с два ключа действащи противоположно, например когато горният е отворен долният е затворен и обратно.

В статичен режим под действието на управляващия сигнал ключът се намира в едно от двете състояния - затворено (включено) или отворено (изключено). Елементите, които работят в ключов режим трябва да имат: а) малко съпротивление във включено състояние, т.е. малко напрежение върху затворения ключ; б) голямо съпротивление в изключено състояние, т.е. минимален ток през отворения ключ; в) голямо бързодействие, т.е. висока скорост на преминаване на ключа от едно състояние в друго. В теорията се използва и понятието за **идеален ключ**.

Идеалният ключ има нулево съпротивление, когато е затворен, нулева проводимост, когато е отворен, и преминава мигновено от едно положение в друго. Неговата волт - амперна (VA) характеристика съвпада с координатните оси (фиг. 11.1, в). Реалните електронни ключове имат пренебрежимо малки токове в отворено състояние (Това се дължи на полупроводниковата технология - малки размери на компонентите и висока

чистота на материалите). Тогава ключът е отворен и работната му точка се намира върху абсцисата, т.е. може да се счита, че той работи като идеален ключ. В затворено (отпушено) състояние, обаче съпротивлението на реалните ключове не може да се пренебрегне. Нещо повече - непрекъснатото намаляване на размерите на микроелектронните компоненти води до намаляване и на сечението им, т.е. съпротивлението им расте. Всичко това поражда сериозни технологични и схемотехнични проблеми.



Фиг. 11.1: а) ключ; б) ключови схеми; в) VA характеристика на идеален ключ

Процесите при нелинейното формиране се обуславят от нелинейните характеристики, съответно от нелинейните математически изрази (модели), които описват поведението на елементите. Анализът, обаче, се затруднява, тъй като статичният и динамичният режим се описват също от нелинейни - алгебрични и диференциални - уравнения. Основният метод за тяхното решаване е линейната (линейна по части) апроксимация на реалните характеристики на електронните елементи. Тя позволява със задоволителна точност да се решат проблемите, като се сведат до тези на линейното формиране.

Същността на линейната апроксимация на реалните характеристики е в разделянето им на няколко области, като вътре във всяка област реалната характеристика е заменена с отсечка. По този начин зависимостите между токовете и напреженията се превръщат в линейни, а електронните елементи могат да се заменят с техните линейни еквивалентни схеми. Всяка линейна еквивалентна схема съдържа елементи, чиято стойност се определя от наклона на отсечките във всяка област и един идеален ключ, чрез който се осъществява преходът от една област в друга. По нататък накратко е показано получаването на линейни еквивалентни схеми, съответно на линейни (по части) модели на основните електронни елементи.

12. ДИОДИ И ДИОДНИ СХЕМИ

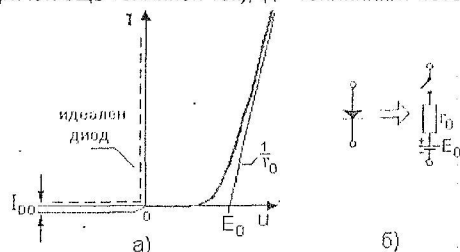
12.1. ПОЛУПРОВОДНИКОВИ ДИОДИ

Волт-амперната характеристика на полупроводниковите (пн) диоди (фиг.12.1,а) се описва аналитично с израза:

$$(12.1) \quad u = m\varphi_T \ln\left(\frac{i}{I_{D0}} + 1\right) + I_{BI}$$

¹ В книгата "Analog VLSI and Neural Systems" авторът пише: "The essential role of nonlinearity in each of the circuit examples is a central theme throughout the book. Nonlinearities have particularly important effects on the time behavior of circuits, these effects are addressed in detail as each circuit is presented" [Mead89].

в който I_{D0} е обратният ток на насищане (поради силната температурна зависимост наричан още топлинен ток), ϕ_T - топлинният потенциал, r_B -



Фиг. 12.1: а) VA характеристика и б) еквивалентна схема на пп диод

обемното съпротивление на високоомния слой (базата), а m е т. нар. емисионен коефициент (за повечето диоди $m=1$, но за някои е малко по-голям от 1). Мащабите на токовете в двете области се различават с няколко порядъка - напр. в лявата - наноампери, а в дясната - милиампери. В много практически случаи токът през запушения диод може да се пренебрегне, както поради неговата малка стойност, така и поради слабото му влияние в сравнително нискоомните вериги на ключовите схеми. Тогава идеализираната характеристика в областта на запушване се слива с абсцисната ос. В областта на отпушване с увеличаване на тока през диода характеристиката се линеализира. Това позволява лесна апроксимация с права, от която се определят двата параметъра - напрежение на отместване E_0 и вътрешно съпротивление r_0 . Съответната линейна еквивалентна схема е показана на фиг.21б. В нея положение 1 на ключа отговаря на запушен, а положение 2 - на отпушен диод.

Изразът (12.1) показва, че диодите с по-малък топлинен ток, каквито са силициевите, имат по-голям напрежителен пад в отпушено състояние, съответно характеристиките им в областта на отпушване е разположена по-вдясно. Напрежението на отместване на тяхната апроксимирана характеристика е от порядъка на 0,7÷0,8V. Аналогично се обяснява и фактът, че германиевите диоди поради големия топлинен ток се отличават с малък напрежителен пад в отпушено състояние. Описаната апроксимация е поместена в табл. 12.1.

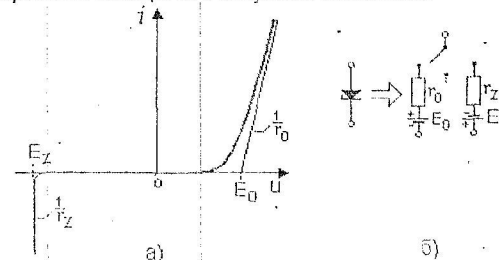
ТАБЛИЦА 12.1

Параметри на модела	E_0, r_0	
Състояние на диода	запушен	отпушен
Гранични условия	$u < E_0$	$u > E_0$
Зависимост на тока	$i = 0$	$i = \frac{u - E_0}{r_0}$

Преходните процеси в полупроводниковите диоди се характеризират с малко време за преминаване от запушено в отпушено състояние и с

голямо време за преминаване от отпушено в запушено състояние. Това се обяснява с факта, че във високоомния слой на отпушения диод се натрупва заряд, пропорционален на протичащия ток. При подаване на запушващ сигнал е необходимо известно време, за да се разреши този заряд, след което диодът се запушва. Това е т. нар. време за възстановяване на обратното съпротивление на диода.

В бързодействащите схеми по-голямо приложение намира диодът на Шотки (диод метал - полупроводник). Означението му е показано на фиг.12.2. В него липсва високоомен слой, следователно обемното съпротивление r_B е равно на нула. Напрежението върху отпушения диод е по-малко и се определя само от първата (експоненциалната) част на израза (12.1). Най-голямото преимущество на диода на Шотки, е че в него не се натрупва заряд, поради което той се запушва практически мигновено. Върху бързодействието на схемата, в която е включен, оказва влияние само неговия паразитен капацитет в запушено състояние.



Фиг. 12.3 : Диод на Zener: а) VA характеристика и б) еквивалентна схема

Силициевите стабилитрони (диоди на Zener) (фиг.12.3,а) се отличават от обикновените пп диоди със стръмния пробив в областта на запушване. Той се отразява в еквивалентната схема (фиг.12.3,б) с един допълнителен клон с параметри E_Z и $1/r_Z$ ($r_Z \ll r_0$).

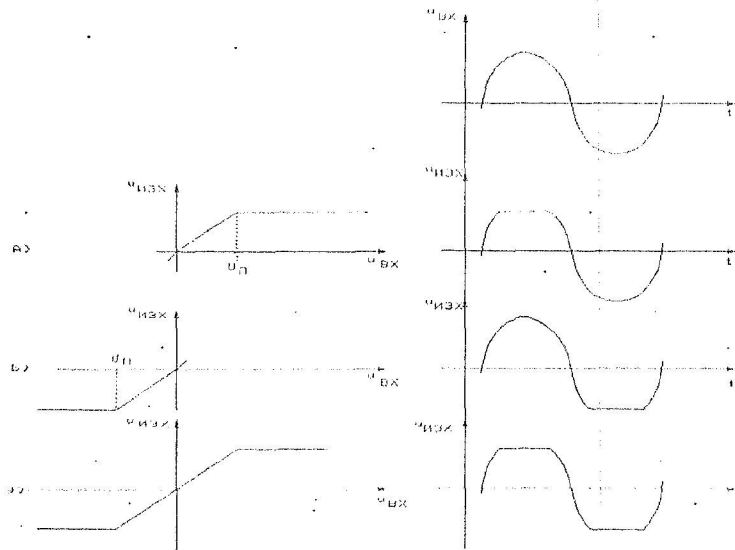
12.2. ДИОДНИ ОГРАНИЧИТЕЛИ

Амплитудните ограничители са схеми, чиито изходен сигнал престава да се изменя, когато входният сигнал стане по-голям или по-малък от определена стойност наречена ниво или праг на ограничение. Предавателната характеристика на ограничителя е съставена от два линейни участъка: наклонен - за точно предаване на входния сигнал, и хоризонтален успореден на абсцисата - за ограничаване. На фиг.24а са показани предавателна характеристика и времедиаграми на напреженията в ограничител отгоре или по максимум, а на фиг.24б - ограничител отдолу или по минимум. Чрез съчетаване на двата ограничителя в една схема се получава двустранен ограничител (фиг.24в). (Разбира се, не е

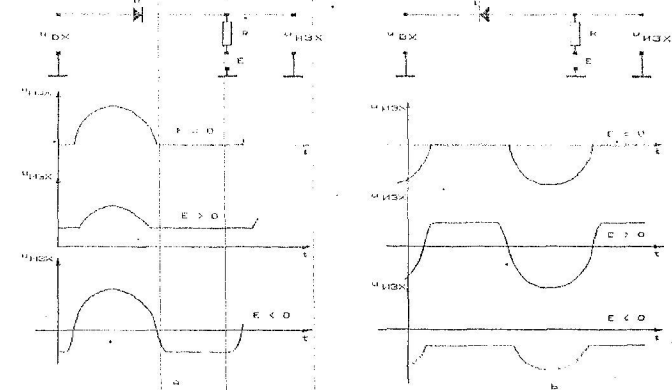
задължително предавателните характеристики да минават през началото на координатната система).

Във всички схеми на диодни ограничители входното напрежение се подава към последователното съединение на три компонента: полупроводников диод, резистор R и източник на опорно (фиксиращо, прагово) напрежение. В зависимост от точките в схемата, които се използват за изходни, ограничителите се делят на **последователни**, в които изходният сигнал се взема от резистора, и **паралелни** - изходният сигнал се отвежда от диода.

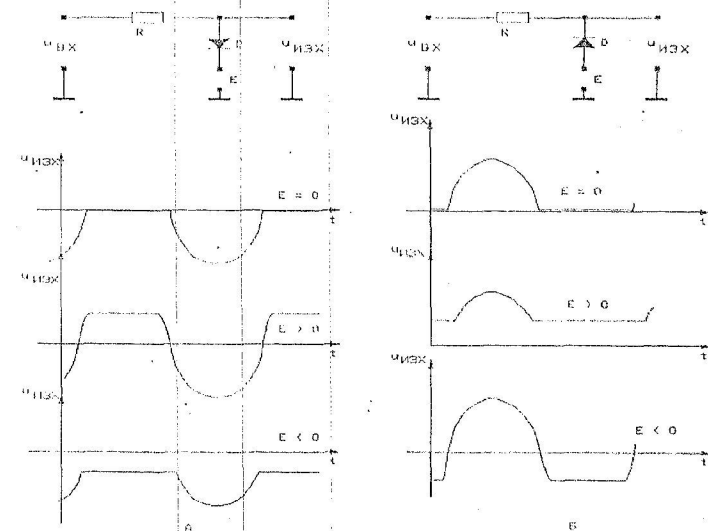
Действието на диодните ограничители се базира на ключовите свойства на диода. Когато той е отпушен, съпротивлението му е много по-малко от съпротивлението на резистора R и цялото входно напрежение се оказва приложено върху R . Когато диодът е запушен, поради голямото му съпротивление входното напрежение е практически приложено само върху него.



фиг. 24

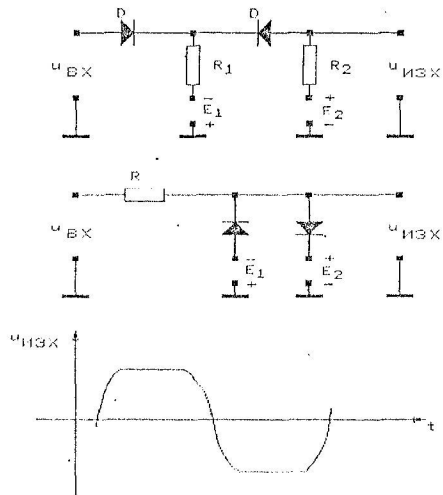


фиг. 25



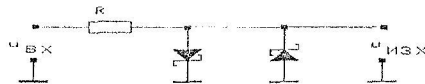
фиг. 26

Всички възможни схеми на последователни и паралелни ограничители, заедно с формата на изходния сигнал при различни опорни напрежения, са показани на фиг.25 и фиг.26. От тях се вижда, че видът на ограничението (отгоре или отдолу) зависи от посоката на свързване на диода, а нивото на ограничение - от опорното напрежение E. На следващата фиг.27 са поместени двете основни схеми на двустранни ограничители.



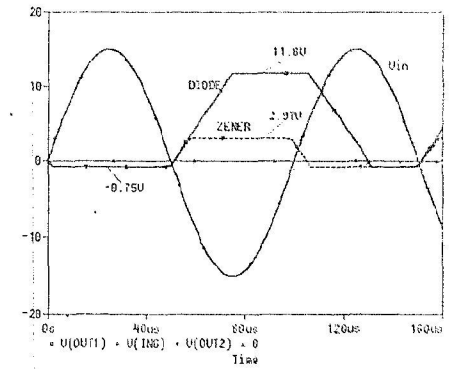
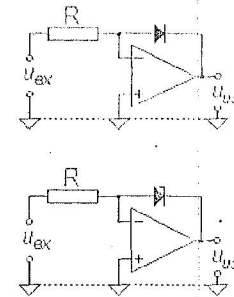
ФИГ. 27

Основната статична грешка в разглежданите схеми се дължи на напрежението върху отпушения диод - от порядъка на $0,6 \pm 0,7V$. (Неговото влияние не е показано на времедиаграмите от фиг.25, 26 и 27). Понякога това напрежение може да бъде и полезно - например ако се използва като източник на опорно напрежение в паралелен ограничител. Схемата от фиг.28 представлява двустранен ограничител с диоди на Шотки и прагове на ограничение от порядъка на $\approx 0,4V$.

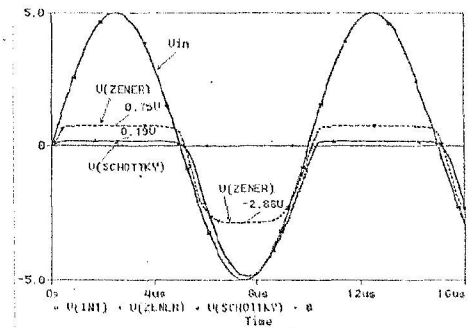
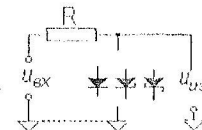


ФИГ. 28

7.3. Активни ограничители (ОУ+диоди)



Приложение



3.2.5 The SPICE Diode Model

In the preceding sections, we have presented a model for manual analysis of a diode circuit. For more complex circuits, or when a more accurate modeling of the diode that takes

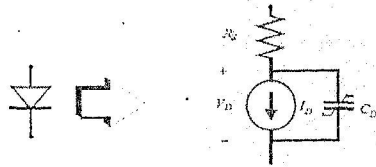


Figure 3.10 SPICE diode model.

into account second-order effects is required, manual circuit evaluation becomes intractable, and computer-aided simulation is necessary. While different circuit simulators have been developed over the last decades, the SPICE program, developed at the University of California at Berkeley, is definitely the most successful [Nagel75]. Simulating an integrated circuit containing active devices requires a mathematical model for these devices (which is called the *SPICE model* in the rest of the text). The accuracy of the simulation depends directly upon the quality of this model. For instance, one cannot expect to see the result of a second-order effect in the simulation if this effect is not present in the device model. Creating accurate and computation-efficient SPICE models has been a long process and is by no means finished. Every major semiconductor company has developed their own proprietary models, which it claims have either better accuracy or computational efficiency and robustness.

The standard SPICE model for a diode is simple, as shown in Figure 3.10. The steady-state characteristic of the diode is modeled by the nonlinear current source I_D , which is a modified version of the ideal diode equation

$$I_D = I_S (e^{V_D/nqV_T} - 1) \quad (3.12)$$

The extra parameter n is called the *emission coefficient*. It equals 1 for most common diodes but can be somewhat higher than 1 for others. The resistor R_s models the series resistance contributed by the neutral regions on both sides of the junction. For higher current levels, this resistance causes the internal diode V_D to differ from the externally applied voltage, hence causing the current to be lower than what would be expected from the ideal diode equation.

The dynamic behavior of the diode is modeled by the nonlinear capacitance C_D , which combines the two different charge-storage effects in the diode: the space (or depletion-region) charge, and the excess minority carrier charge. Only the former was discussed in this chapter, as the latter is only an issue under forward-biasing conditions.

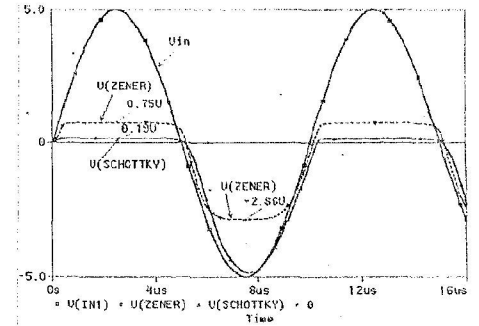
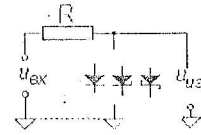
$$C_D = \frac{C_{j0}}{(1 - V_D/\phi_0)^m} + \frac{\tau_T I_S e^{V_D/nqV_T}}{\phi_T} \quad (3.13)$$

A listing of the parameters used in the diode model is given in Table 3.1. Besides the parameter name, symbol and SPICE name, the table contains also the default value used by SPICE in case the parameter is left undefined. (Observe that this table is by no means complete. Other parameters are available to govern second-order effects such as break-

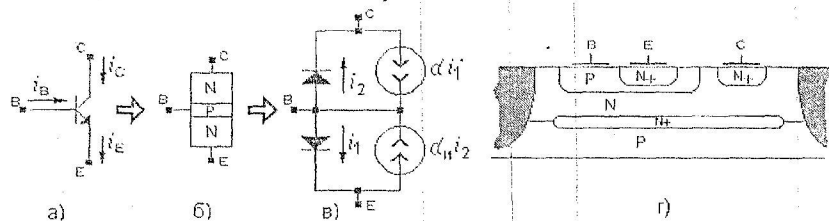
down, high-level injection, and noise. To be concise, we chose to limit the listing to the parameters of direct interest to this text. For a complete description of the device models (as well as the usage of SPICE), we refer to the numerous textbooks devoted to SPICE (e.g., [Bamzai92], [Thorp92]).

Table 3.1 First-order SPICE diode model parameters.

Parameter Name	Symbol	SPICE Name	Units	Default Value
Saturation current	I_S	IS	A	$1.0 \text{E-}14$
Emission coefficient	n	N	—	1
Series resistance	R_s	RS	Ω	0
Transition time	τ_T	TT	s	0
Zero-bias junction capacitance	C_{j0}	CJO	F	0
Grading coefficient	m	M	—	0.5
Junction potential	ϕ_0	VJ	V	1



БИПОЛЯРНИ КЛЮЧОВИ СХЕМИ.



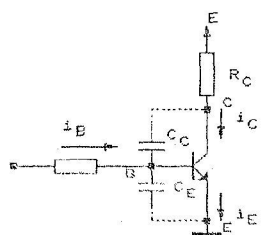
Фиг. 29

На фиг. 29 са показани : биполярен NPN транзистор (а), опростена трислойна структура (б) и съответната и нелинейна еквивалентна схема – т.нар. модел на Еберс – Молл (в), както и реална транзисторна структура, изолирана (затъмнените области) със запушен PN преход или с диелектрик.

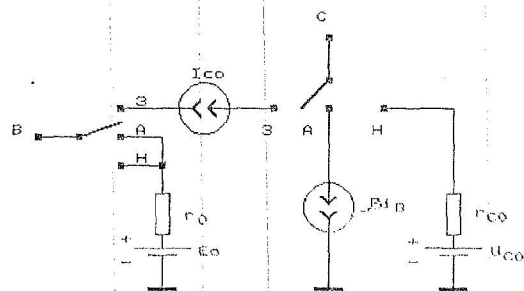
СТАТИЧЕН РЕЖИМ. Моделът на Еберс – Молл , отразява две съществени особености в действието на транзисторите: а) възможността всеки от преходите да бъде отпушен и запушен; б) взаимодействието между двата прехода чрез управляемите генератори на ток. В зависимост от полярността на напреженията върху емитерния и колекторния преход транзисторът може да се намира в четири състояния (режима), както е показано в табл.4. Тъй като биполярните транзистори най-често работят в схема с общ (заземен) емитер (фиг.30а), тук се разглеждат първите три състояния от табл.4. Линеините еквивалентни схеми за тези състояния могат да се получат от входните и изходните характеристики на транзистор, свързан по схема с общ емитер. Тези характеристики са показани на фиг. 31, заедно с апроксимиращите ги прави линии.

Таблица 4

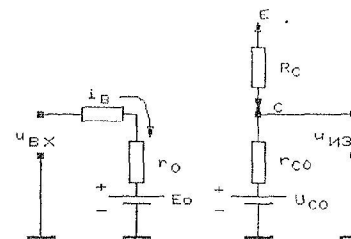
NPN	PNP	Запушен транзистор	Активен режим	Наситен транзистор	Инверсен активен режим
U_{BE}	U_{EB}	<0	>0	>0	<0
U_{BC}	U_{CB}	<0	<0	>0	>0



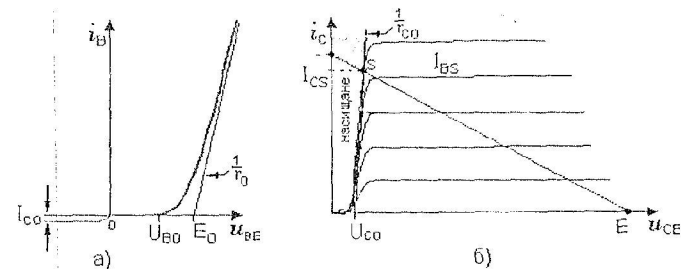
фиг. 30а



фиг. 30б



фиг. 30в



фиг. 31

В запушено състояние през транзистора протича само топлинният ток I_{CO} - положителен за колекторната верига и отрицателен за базовата. За другите две състояния - усилване и насищане - входната верига може да се замени с източника на напрежение E_0 и резистора r_0 . В усилвателен режим колекторната верига е еквивалентна на генератор на ток $i_C = \beta i_B$, а в режим на насищане - на двуполусник, съставен от източника на напрежение U_{CO} и резистора r_{CO} .

Пълната еквивалентна схема на NPN транзистор е показана на фиг. 30б (за PNP транзистор трябва само да се променят посоките на токовете и напрежителните генератори). В редица случаи обаче тази схема може да се опрости. В силициевите транзистори топлинният ток е много малък и може да се пренебрегне. Входната им характеристика обаче е отместена вдясно и за отпушващи входни напрежения, по-малки от U_{BE0} ($U_{BE0} = 0,4 + 0,5V$), транзисторът може да се смята за запушен. Освен това при определяне на колекторния ток през наситения транзистор (фиг. 30в) параметрите на колекторната верига практически не влияят, поради което емитерът и колекторът могат да се смятат за свързани накъсо:

$$(29) \quad i_C = I_{CS} = \frac{E_C - U_{CO}}{R_C + r_{CO}} \approx \frac{E_C}{R_C}$$

Напрежението върху наситения транзистор, обаче, трябва да се изчисли по-прецизно, за да може да запуши транзисторът в следващата схема, т.е.:

$$(30) \quad u_c = U_{CS} = U_{C0} + I_{CS} r_{C0} < U_{E0}$$

$$(31) \quad U_{C0} + \frac{E_c}{R_c} r_{C0} < U_{in}$$

ПРЕХОДНИ ПРОЦЕСИ. Преходните процеси в ключовите схеми с биполарни транзистори се обуславят главно от два фактора: инертността при пренасяне на зарядите в транзистора и от паразитните капацитети.

Методът на заряда отразява инертността във времето на колекторния ток от базовия, като се използва междинната величина Q - зарядът на неосновните носители в областта на базата. Изменението на този заряд се описва с диференциалното уравнение

$$(32) \quad \tau \frac{dQ(t)}{dt} + Q(t) = \tau i_B(t),$$

в което τ е времето на живот на неосновните носители в областта на базата, усреднено за обема на цялата база. От диференциалното уравнение (32) се вижда, че стойността на заряда в установен режим е

$$(33) \quad Q = \tau i_B$$

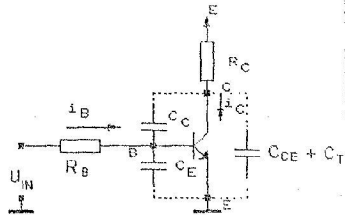
При скокообразно изменение на базовия ток, напр. от стойност I_B^1 на I_B^2 , решението на уравнението (32) е аналогично на израза (8):

$$(34) \quad Q(t) = Q(\infty) + [Q(0) - Q(\infty)] e^{-\frac{t}{\tau}}$$

В последната зависимост $Q(0)$ и $Q(\infty)$ са установените стойности на заряда за базов ток I_B^1 и I_B^2 , определени въз основа на (33). От (34) може да се намери интервалът от време, в който зарядът се изменя от началната стойност до стойност $Q(t)$:

$$(35) \quad t = \tau \ln \frac{Q(\infty) - Q(t)}{Q(\infty) - Q(0)}$$

Влиянието на паразитните капацитети се дължи главно на бариерните капацитети C_E и C_C на запушените емитерен и колекторен преходи на транзистора (виж фиг.30а) и се проявява в запушено състояние на транзистора. Дифузионният капацитет на един отпушен преход може да се пренебрегне, тъй като е шунтиран от малкото съпротивление на прехода. В усилвателен режим капацитетът на колекторния преход понижава бързодействието, тъй като през него се осъществява отрицателна обратна връзка, която увеличава ефективната стойност на този капацитет (т. нар. интегриращ ефект). Количествено това се изразява с увеличаване на времето на живот със стойност $(\beta+1)R_C C_C \approx \beta R_C C_C$.



Анализът на динамичните параметри на схемата се основава на разглеждането на измененията на токовете и напреженията под въздействие на правоъгълен входен сигнал. Времето, отговарящо на

пълното изменение на всички величини при превключване в двете посоки - от запушено състояние в насищане и обратно - може да се раздели на няколко етапа:

1. **Закъснение при отпушване (t_{30}).** В началото на този интервал входното напрежение се изменя скокообразно от стойност, осигуряваща запушване на транзистора в установен режим (V^0), към стойност, осигуряваща неговото насищане (V^1). При това изменение входният капацитет на запушения транзистор $C_{IN} = C_B + C_C$ започва да се зарежда през базовия резистор R_B . В края на интервала потенциалът на базата достига стойността $U_{B0} = E_0$ и емитерният преход се отпушва. За времето t_{30} може да се получи израза:

$$(1.6) \quad t_{30} = R_B C_{IN} \ln \left(\frac{V^0 - V^1}{E_0 - V^1} \right) = R_B C_{IN} \ln \left(\frac{V_M}{V_M - (E_0 - V^0)} \right)$$

2. **Формиране на фронта при отпушване (t_f).** След отпушване на емитерния преход базовият ток скокообразно достига установената си стойност $I_B^+ = (V^1 - E_0)/R_B$, като е необходимо да е изпълнено условието $I_B^+ > I_{BS}$. При анализа на процеса се използва еквивалентната времеконстанта при свързване в схема OE

$$(1.7) \quad \tau_{OE} = \tau_B + (\beta+1)R_C C_C,$$

където τ_B е времето на живот на токоносителите в базата;

C_C - бариерният капацитет на колекторния преход.

С тази времеконстанта зарядът от неосновни токоносители в областта на колекторния преход, нараства по експоненциален закон, като се стреми от нулева начална стойност към стойността $Q(\infty) = \tau_{OE} I_B^+$. Пропорционално на него колекторният ток нараства, а колекторното напрежение спада. Но когато след времето t_f зарядът достигне стойността $Q_{pr} = \tau_{OE} I_{BS}$, а колекторният ток стане равен на I_{CS} , транзисторът се насища и колекторните ток и напрежение остават постоянни. Като се отчетат посочените гранични условия, може да се напише

$$(1.8) \quad t_f = \tau_{OE} \ln \frac{I_B^+}{I_B^+ - I_{BS}}$$

3. **Натрупване на допълнителен заряд.** При неизменните на този етап токове и напрежения в схемата зарядът се натрупва благодарение на термогенерацията на носители. Поради това определящ временен параметър е средното време за живот на носителите в базата и колектора τ_S , а крайната - максималната - стойност на заряда е $Q_M = \tau_S I_B^+$. Степента и периодът от време, за което ще се развие този процес, зависят от съотношението между Q_{pr} и Q_M , както и от продължителността на входния импулс.

4. **Закъснение при запушване (t_{31}).** Едновременно с входното напрежение и базовият ток се изменя скокообразно до стойност I_B^+ и, като променя посоката си, започва да разнася (намалява) натрупания в областта на колекторния преход заряд. Процесът е аналогичен на този при натрупване на заряда - експоненциален, с времеконстанта τ_S , но с други гранични условия: $Q(0) = Q_M$, $Q(\infty) = -\tau_S I_B^+$. В края на интервала допълнителният заряд изчезва, а зарядът като цяло спада до граничната стойност Q_{pr} . Следователно продължителността на този период е

$$(1.9) \quad t_{33} = \tau_S \ln \frac{Q_M + \tau_S |I_B^-|}{Q_{TP} + \tau_S |I_B^-|}$$

При неговото завършване върху колекторния преход се възстановява обратното напрежение и започва запущването на транзистора.

5. Формиране на фронта при запущване (t_{ϕ}^+). След преминаване на транзистора в активен режим постоянният базов ток I_B^+ продължава да разсейва заряда от неосновни токоносители в базата от стойността Q_p към крайната (асимптотична) стойност $\tau_B |I_B^+|$, докато този заряд спадне до нула и транзисторът се запуши. Характерът на процеса обаче е сложен и се влияе от големината на I_B^+ , от бариерния колекторен (C_C) и товарния ($C_{CE} + C_T$) кондензатори. На практика намалението на колекторния ток може да се приеме за скокообразно, а времето за нарастване на изходното напрежение да се определи от зареждането на кондензаторите в колектора:

$$(1.10) \quad t_{\phi}^+ \approx 3R_C(C_{CE} + C_T)$$

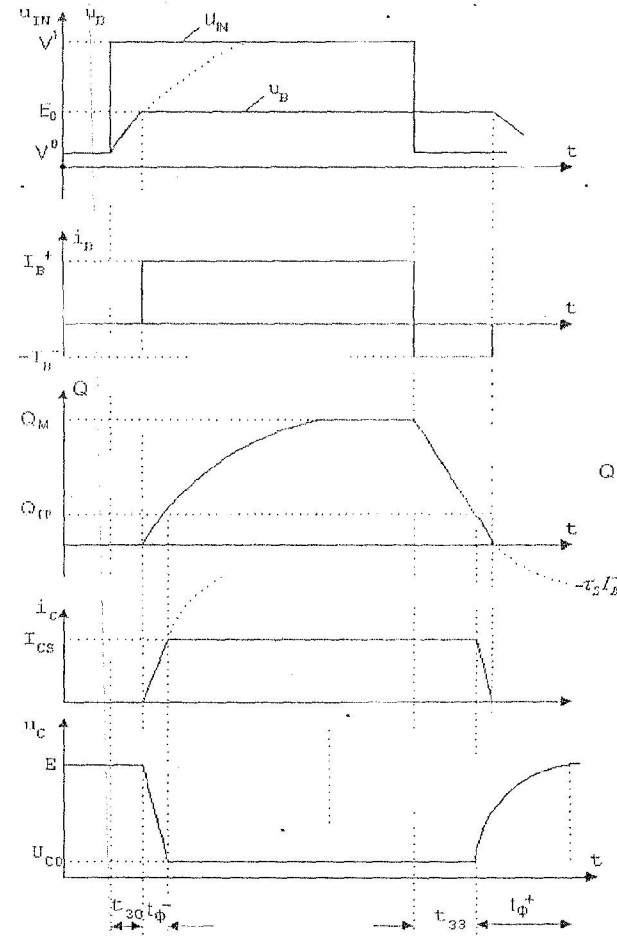
Коментар:

$$t_{30} = R_B C_{IN} \ln \left(\frac{V_M}{V_M - (E_0 + I_B^+)} \right)$$

$$t_{\phi}^- = \tau_{tr} \ln \frac{I_B^+}{I_B^+ - I_{BS}}$$

$$t_{33} = \tau_S \ln \frac{Q_M + \tau_S |I_B^-|}{Q_{TP} + \tau_S |I_B^-|}$$

$$t_{\phi}^+ \approx 3R_C(C_{CE} + C_T)$$

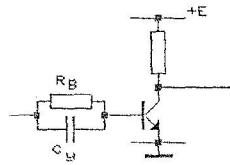


ПОВИШАВАНЕ НА БЪРЗОДЕЙСТВИЕТО

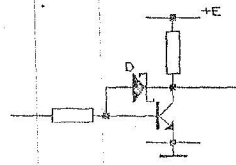
От направеното разглеждане на преходните процеси се вижда, че върху бързодействието влияят главно два взаимно свързани и донякъде противоречиви фактора. Ускоряване на прехода между двете състояния на транзистора, от една страна, може да се постигне чрез превключване с по-големи базови токове. Но увеличаването на установената стойност на отпушващия ток I_B^+ би увеличило дълбочината на насищане, съответно и закъснението при запусване. Също така при повишаване на отпушващия ток I_B^- се забави отпушването на транзистора. С други думи казано, по-високо бързодействие се получава при по-малка дълбочина на насищане и запусване.

Удовлетворяване на тези противоречиви изисквания се постига чрез използване на ускоряващ кондензатор (фиг.1.4). В ачалния момент на превключване се получават повишени стойности на токовете и се ускоряват преходните процеси. От друга страна, установената стойност на отпушващия ток остава същата ($I_B^+(0) \approx \frac{V^1}{R_B}$), така че може да се поддържа малка дълбочина на насищане.

Друга възможност, широко използвана сега в интегралната схемотехника, е осъществяването на нелинейна отрицателна обратна връзка с диод на Шотки (фиг. 1.5). В тази схема при положителен потенциал на колектора спрямо базата (запушен колекторен преход) диодът също е запушен и практически не оказва влияние. Когато под въздействие на входния отпушващ сигнал напрежението колектор-база стане отрицателно и достигне праговата за диода стойност $E_{0ш}$, последният се отпушва и върху прехода се установява приблизително постоянно напрежение. Диодът на Шотки, представляващ контакт между метал и полупроводник, притежава две важни за случая особености. Първо, типична стойност при него е $E_{0ш} \approx 0,4V$, която е по-малка от отпушващото напрежение на силициевия PN преход. Поради това колекторният преход остава запушен и липсва характерният за насищането процес на натрупване на допълнителен заряд. Второ, самият характер на физическите явления в диода на Шотки не включва инжекция на неосновни токоносители. Така скоростта на превключване на диода се определя само от бариерния му капацитет и може да бъде твърде висока. В резултат на това схемата като цяло, макар и с цената на малко по-високо изходно напрежение на затворения ключ (липса на насищане), притежава значително бързодействие.



фиг. 1.4

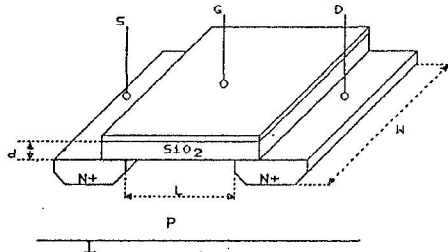


фиг. 1.5

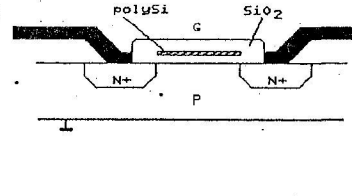
КЛЮЧОВА СХЕМА С MOS ТРАНЗИСТОР

2.1. ХАРАКТЕРИСТИКИ НА MOS ТРАНЗИСТОР

Основен елемент на MOS ключовите схеми е N - каналният MOS транзистор с индуциран канал. Неговата полупроводникова структура е показана на фиг.2.1а. В съвременните схеми, освен метален гейт, се използва полисилициев гейт – фиг.2.1б. Тази технология наред с технологични предимства (стабилни параметри, малки капацитети) дава възможност да се реализират съединения в отделен слой, независим от металните шини. Полисилициевите шини, обаче, имат много по – голямо съпротивление от металните (Al, Cu).



фиг. 2.1а

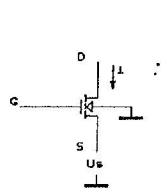


фиг. 2.1б

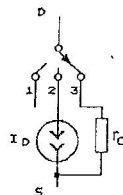
N - каналният MOS транзистор е запущен, когато напрежението между гейта и сorsa е по-малко от праговото напрежение V_T . Последното има минимална стойност V_{T0} при заземен сорс ($u_s = 0$) и нараства с увеличаване на напрежението на сorsa спрямо заземената подложка. Тази зависимост е сложна, но за практически цели може да се линеаризира във вида

$$(2.1) \quad V_T = V_{T0} + \eta u_s,$$

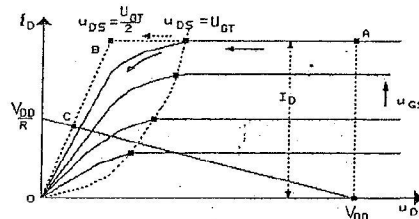
където η е т. нар. коефициент на влиянието на подложката.



фиг. 2.2,а



фиг. 2.2,б



фиг. 2.2,в

При анализа е удобно да се работи с ефективното управляващо напрежение

$$(2.2) \quad u_{GT} = u_{GS} - V_T,$$

тъй като при $u_{GT} < 0$ транзисторът е запущен, а при $u_{GT} > 0$ – отпушен. Свойствата на отпушения транзистор се виждат най-добре от семейството изходни характеристики (фиг.2.1в). Границата между двете области се определя от съотношението между управляващото напрежение и изходното (дрейново) напрежение. За големи напрежения на дрейна, т.е. за $u_{DS} > u_{GT}$ (т.нар. област на насищане на тока), токът през транзистора практически не зависи от дрейновото напрежение и е квадратична функция на управляващото напрежение

$$(2.3) \quad i = \frac{k}{2} u_{GT}^2 = \frac{k}{2} (u_{GS} - V_T)^2$$

Параметър на тази област от характеристиките е стръмността S или взаимната (проходна) проводимост g_m

$$(2.4) \quad S = g_m = \frac{di}{du_{GS}} = k u_{GT} = k (u_{GS} - V_T).$$

В стръмната област на характеристиките (т.нар. област на променливо съпротивление), за която $u_{GT} > u_{DS}$, токът се определя от зависимостта

$$(2.5) \quad i = k u_{DS} (u_{GT} - \frac{u_{DS}}{2}) = k u_{DS} (u_{GS} - V_T - \frac{u_{DS}}{2}).$$

Както се вижда, токът расте линейно с нарастването на дрейновото напрежение, когато то е малко. Затова параметър на характеристиките в тази област е диференциалното съпротивление на канала r_C (от англ. channel-канал), което е и изходно съпротивление на транзистора при малки напрежения u_{DS} :

$$(2.6) \quad r_C = \left. \frac{du_{DS}}{di} \right|_{u_{DS} \rightarrow 0} = \frac{1}{k u_{GT}} = \frac{1}{k (u_{GS} - V_T)}.$$

В горните изрази константата k [A/V^2] е специфичната (за единица напрежение) стръмност на MOS транзистора и се определя от израза

$$(2.7) \quad k = \frac{\mu C_{OX} W}{L} = \mu \frac{\epsilon W}{d L} = k \frac{W}{L},$$

където:

- μ [m^2/Vs] е ефективната подвижност на носителите в канала;
- C_{OX} [F] е специфичният (за единица площ) капацитет между гейта и канала и $C_{OX} = \frac{\epsilon}{d} = \frac{\epsilon_0 \epsilon_{OX}}{d}$;
- W е ширината на канала (фиг.2.1);
- L е дължината на канала;
- d е дебелината на окисния слой под гейта;

- ϵ_0 е диелектрична проникваемост на вакуума и има стойност $\epsilon_0 = 8,85 \cdot 10^{-12}$ [F/m];
 - ϵ_{ox} е относителната проникваемост на диелектрика под гейта (за SiO_2 $\epsilon_{ox} = 4$);

- $k' = \mu \frac{\epsilon}{d}$ е параметър на технологията.

Линейна апроксимация на характеристиките в стръмната област (2.5), удобна за анализ и задоволителна по точност, се получава при построяване на допирателна в т.О към всяка от характеристиките. Получените прави линии (прекъснатите линии на фиг. 2.2,в) отговарят на диференциалното съпротивление на канала, определено от (2.6), така че то се използва като изходно съпротивление в цялата стръмна област от апроксимирани характеристики. Интересно е да се отбележи, че т.В, която след апроксимацията фиксира границата между двете области, има абсциса

$$(2.8) \quad u_{DS} = \frac{u_{GT}}{2} = \frac{u_{GS} - V_T}{2}$$

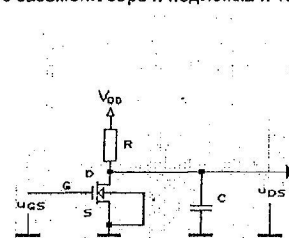
Таблица 2.1

Състояние на транзистора	Гранични условия		Зависимост на тока	Положение на ключа
Нелинеен модел				
запушен	$u_{GT} < 0$		$i = 0$	1
отпушен	$u_{GT} > 0$	$u_{GT} < u_{DS}$	$i = \frac{k u_{GT}^2}{2}$	2
	$u_{GT} > 0$	$u_{GT} > u_{DS}$	$i = k u_{DS} (u_{GT} - \frac{u_{DS}}{2})$	3
Линейен по части (линейно – отсечков) модел				
запушен	$u_v < 0$		$i = 0$	1
отпушен	$u_{GT} > 0$	$\frac{u_{GT}}{2} < u_{DS}$	$i = \frac{k u_{GT}^2}{2}$	2
	$u_{GT} > 0$	$\frac{u_{GT}}{2} > u_{DS}$	$i = \frac{u_{DS}}{r_c}$	3

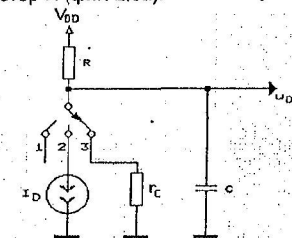
Получената по този начин еквивалентна схема е показана на фиг. 2.2,б. В табл. 2.1. са резюмирани всички количествени зависимости за MOS транзистори. Те могат да се използват и при транзистори с вграден (собствен) канал, като се отчете алгебричната стойност на праговото напрежение - отрицателно за N-канал и положително за P-канал.

2.2. КЛЮЧОВА СХЕМА

Основната MOS – ключова схема съдържа транзистор с индуциран канал със заземени сорс и подложка и товарен резистор R (фиг. 2.3а).



фиг. 2.3а



фиг. 2.3б

За входни напрежения, по-малки от праговото напрежение V_{T0} транзисторът е запушен (положение 1 на ключа в еквивалентната схема на фиг. 2.3б). Изходното напрежение е максимално и равно на захранващото. Когато транзисторът е отпушен, работната му точка трябва да се намира в стръмната област от характеристиките (положение 3 на ключа от фиг. 2.3б). Ако входното напрежение е U_m , управляващото напрежение е $u_{GT} = U_m - V_{T0}$, а изходното напрежение на схемата е

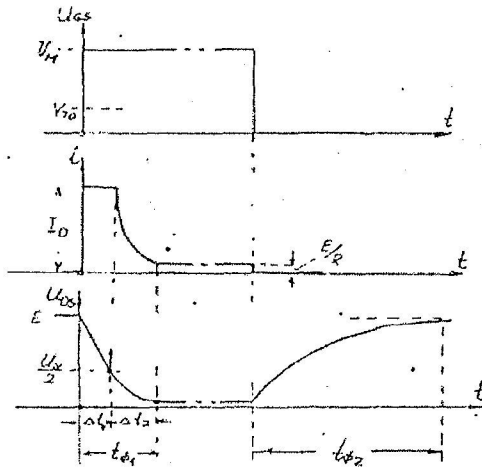
$$(2.9) \quad u_{DS} = \frac{r_c V_{DD}}{R + r_c} = \frac{V_{DD}}{1 + \frac{R}{r_c}} = \frac{V_{DD}}{1 + SR} = \frac{V_{DD}}{1 + kR(U_m - V_{T0})}$$

Максималната възможна стойност на входното напрежение е равна на стойността на захранващото напрежение V_{DD} . За $U_m = V_{DD}$ изходното напрежение, определено от (2.9) е:

$$(2.10) \quad u_{DS} = \frac{V_{DD}}{1 + kR(V_{DD} - V_{T0})} < V_{T0}$$

Напрежението u_{DS} , изчислено от (2.10), определя стойността на логическата нула U^0 , т.е. $u_{DS} = U^0$. То трябва да бъде по-малко от праговото V_{T0} , за да може да поддържа запушени товарните схеми, свързани към изхода на разглежданата схема. Оттук следва един от основните проблеми при реализиране на ключови схеми с MOS транзистори и товарни резистори, а именно - за да се получи малко изходно напрежение от отпушения транзистор (по-малко от праговото), са необходими големи стойности на захранващото напрежение (спрямо праговото), на товарния резистор и на коефициента k . Последният расте линейно с увеличаване на площта на транзистора. Тъй като е желателно тя да

бъде минимална, налага се да се използват големи товарни резистори. От една страна, това намалява консумацията на схемите, но от друга страна, реализирането на високоомни резистори поставя сериозни проблеми от технологичен и схемотехнически характер.



фиг. 2.3в

Преходните процеси в ключовите схеми с MOS транзистори се определят главно от процесите на зареждане и разреждане на паразитните capacitети. За честоти до няколко гигагерца процесите в канала на транзистора могат да се считат за безинертни, т.е. във всеки момент токът се определя от напреженията в съответствие със статичните характеристики (уравнения (2.3) и (2.5)). При анализа на схемата от фиг.2.3а са пренебрегнати входния и проходния capacitет на транзистора, понеже са много по-малки от изходния. Последният е сума от capacitетите на дрейна, изходната съединителна шина и входовете на следващите (товарни) стъпала.

Временната диаграма построена при горните допускания е показана на фиг.2.3в. При подаване на входен отпущащ импулс с амплитуда $U_m > V_{to}$, транзисторът се отпуща. Токът му мигновено нараства от нула до I_D , след което постепено разрежда capacitета C . За това време работната точка се премества от т.А до т.В (фиг.2.2в). Като се вземе пред вид, че токът I_D не се изменя и като се пренебрегне токът през товарния резистор (много по-малък от I_D), за продължителността на този интервал се получава изразът

$$(2.12) \Delta t_1 = \frac{C \Delta U_D}{I_D} = \frac{C(V_{DD} - \frac{U_m - V_{TO}}{2})}{\frac{k(U_m - V_{TO})^2}{2}} = \frac{C}{S} \left(\frac{V_{DD}}{U_m - V_{TO}} - 1 \right) = C r_C \left(\frac{2V_{DD}}{U_m - V_{TO}} - 1 \right).$$

При по-нататъшно намаляване на изходното напрежение работната точка се движи в стръмната област на характеристиката, за която вътрешното съпротивление на транзистора е много по-малко от съпротивлението на товарния резистор R . Времето за преместване на работната точка от т.В в т.С, в която завършва преходният процес, е

$$(2.13) \Delta t_2 = 3C r_C.$$

Общата продължителност на разглеждания фронт е

$$(2.14) t_{\phi 1} = \Delta t_1 + \Delta t_2 = 2C r_C \left(\frac{V_{DD}}{U_m - V_{TO}} + 1 \right).$$

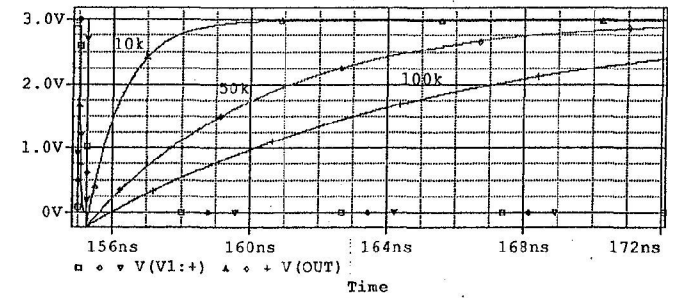
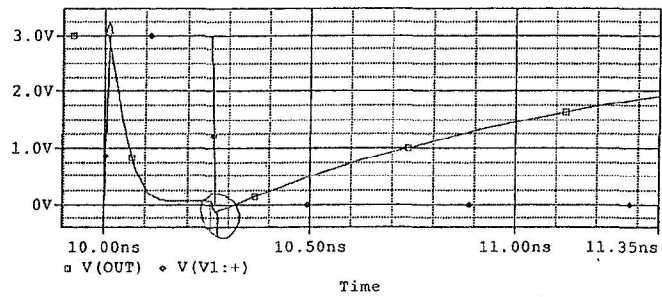
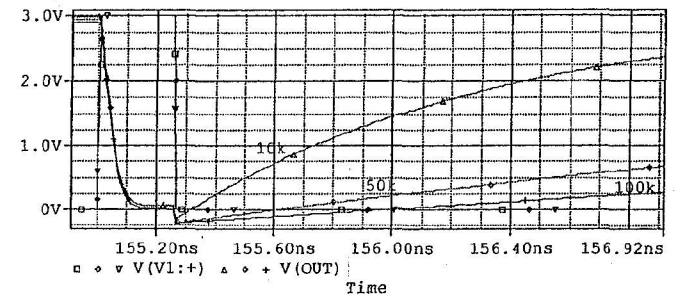
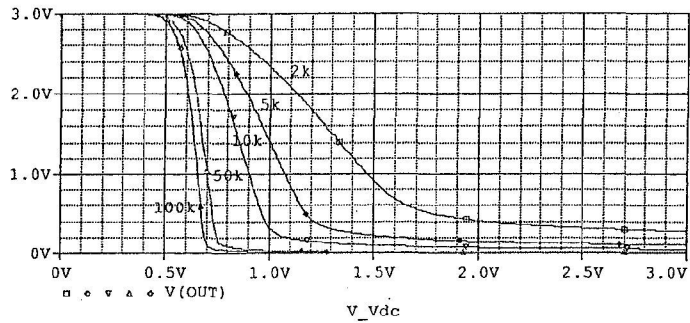
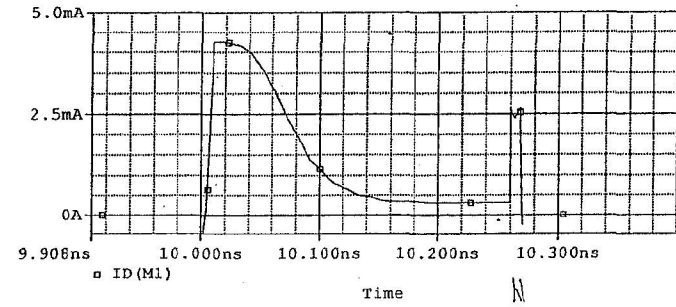
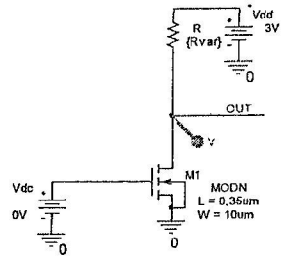
Неговата минимално възможна стойност се постига при $U_m = E$ и $E \gg V_{TO}$:

$$(2.15) t_{\phi 1} = 4C r_C.$$

При скокообразно намаляване на входното напрежение под стойността на праговото напрежение транзисторът се запушва. Capacитетът C се зарежда през резистора R до напрежение V_{DD} за време

$$(2.16) t_{\phi 2} = 3CR.$$

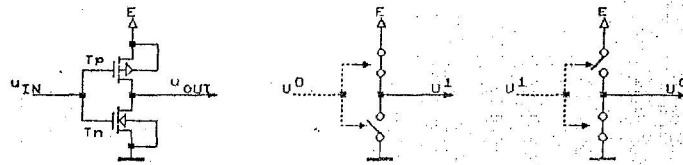
Изразите (2.15) и (2.16) показват как зависи бързодействието на цялата схема от параметрите на транзистора, паразитния capacitет и товарния резистор. Поради голямата стойност на последния (вж. уравнение 2.10), фронтът при запушване на транзистора е много по-голям от фронта при отпущане и определя в крайна сметка бързодействието на стъпалото.



CMOS СХЕМИ

CMOS схемите са изградени на принципа на равностойното използване на двете компоненти - P-канален и N-канален MOS транзистори с индуциран канал. Оттук произлиза и названието им - схеми с противоположна (допълнителна, комплементарна) проводимост или накратко - комплементарни MOS (CMOS) схеми.

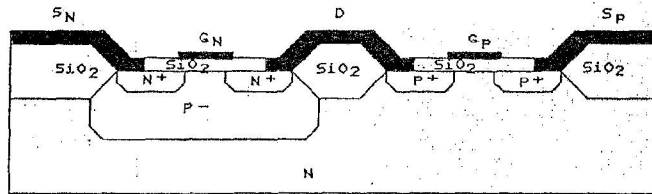
В основната ключова схема - инвертора - двата транзистора T_n и T_p са свързани последователно (фиг. 8.1а).



фиг. 8.1а

фиг. 8.1б

фиг. 8.1в



фиг. 8.1г

Благодарение на различната им проводимост те могат да се управляват с един входен сигнал (показаното на фиг. 8.1а свързване на подложките - към земя за N-каналния и към +E за P-каналния транзистор осигурява запушване на прехода подложка-канал на всеки транзистор). Действието на схемата ще разгледаме при условие, че захранващото напрежение E е по-голямо от V_{TN} и от V_{TP} - праговите напрежения на транзисторите T_n и T_p . Ако входното напрежение е по-малко от V_{TN} , транзисторът T_n е запушен. Транзисторът T_p е отпушен (гейтът му е отрицателен от сorsa) и работната му точка е в стръмната начална област на характеристиките, т. е. T_p е еквивалентен на активно съпротивление. Тъй като токът през T_p е нула, изходното напрежение е максимално и равно на захранващото:

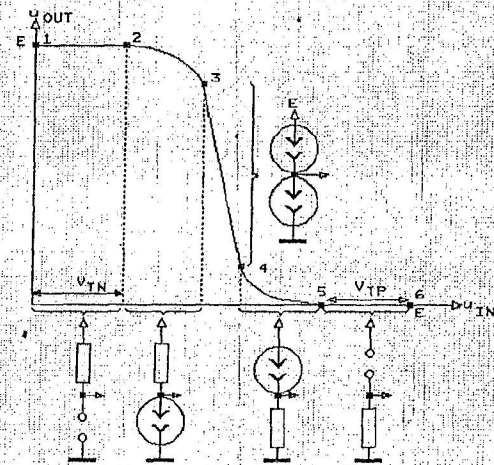
$$(8.1) \quad u_{OUT} = u_{OUTmax} = U^1 = E.$$

Когато на входа подадем напрежение u_{IN} , поради симетрията действието на схемата е аналогично, но състоянието на транзисторите е обратно на предишното. Сега T_n е отпушен, T_p - запушен и изходното напрежение приема минимална стойност, равна на нула

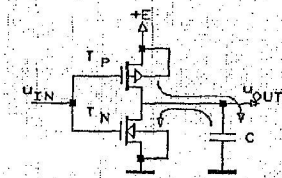
$$(8.2) \quad u_{OUT} = u_{OUTmin} = U^0 = 0.$$

Ако се пренебрегне съпротивлението на отпушения транзистор, статичният режим се представя чрез опростена еквивалентна схема (фиг.8.1б,в), съставена от

два идеални ключа, действащи противофазно. От нея се вижда, че в статичен режим консумираната енергия е равна на нула. Това е основното предимство на CMOS логическите схеми, което ги прави изключително перспективни при създаване на схеми с голяма степен на интеграция. Те обаче се характеризират със сложна полупроводникова структура, съответно - скъп производствен процес. На фиг.8.1г е даден пример на CMOS инвертор с диелектрическа изолация между P и N - каналния транзистор.



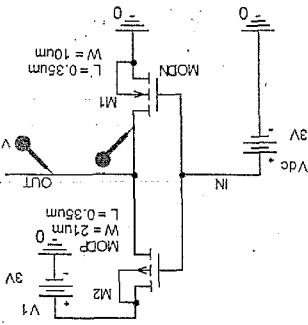
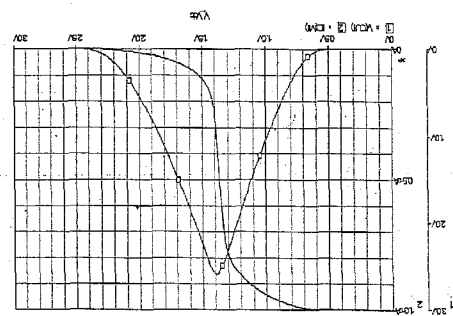
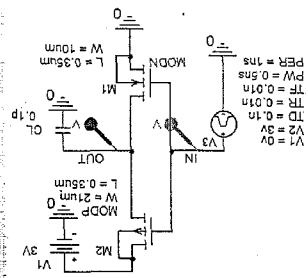
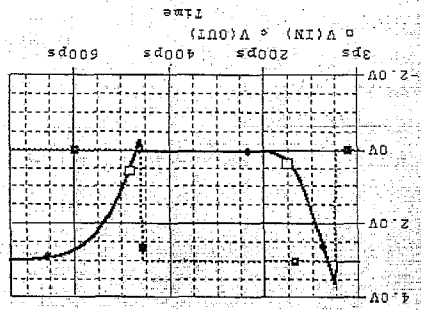
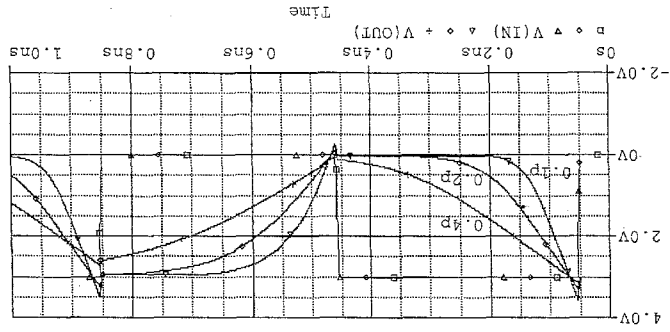
фиг. 8.2

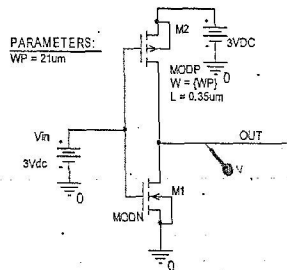


фиг. 8.3

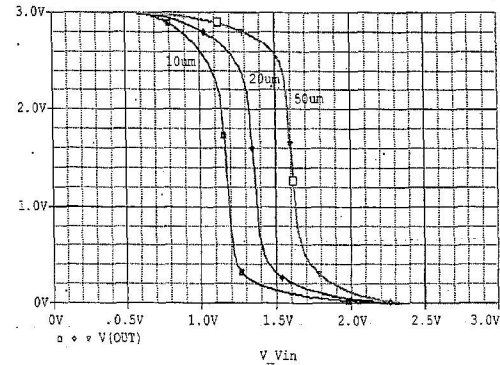
Действието на CMOS инвертора се вижда най-добре от предавателната му характеристика, показана на фиг. 8.2. Тук транзисторите са заменени с еквивалентните им схеми, описани в упражнението №2. Транзисторът T_n е запушен в участъка 1-2, а транзисторът T_p - в участъка 5-6. Характеристиката е най-стръмна между точките 3 и 4, където и двата транзистора работят в полегатата област от характеристиките. Между точките 2 и 5 през T_n и T_p протича ток, който е максимален в участъка 3-4. Този ток определя една част от мощността, консумирана при превключване. Втората компонента на тази мощност (фиг. 8.3) е свързана с процеса на зареждане на паразитния капацитет C през транзистора T_p и разреждането му през T_n . Тя е пропорционална на честотата на превключване f:

$$(8.3) \quad P = CE^2f.$$

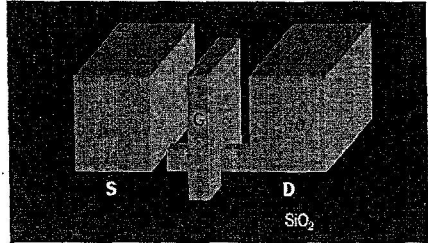




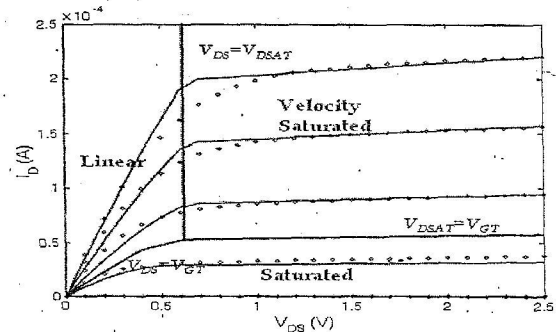
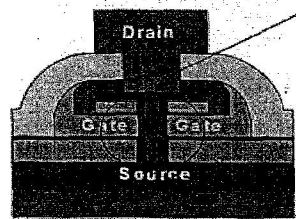
CMOS Inv17-05-07\



CMOS-shema+Wpvar



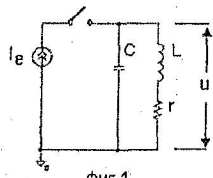
FINFET



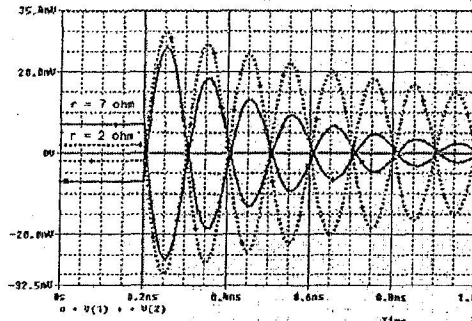
Correspondence between simple model (solid line) and Spice simulation (dotted) for minimum size NMOS - $W_D=0.375\mu\text{m}$, $L_D=0.25\mu\text{m}$

15.10.08

Ударно възбуждане на трептящ кръг



Фиг.1



Фиг.2

При отваряне на ключа токът през индуктивността I_0 протича в затворения контур на трептящия кръг (т. нар. кръгов ток). Тогава:

$$u_L + u_r + u_C = 0$$

$$L \frac{di}{dt} + r i + \frac{1}{C} \int i dt = 0,$$

$$\frac{d^2 i}{dt^2} + \frac{r}{L} \frac{di}{dt} + \frac{i}{LC} = 0$$

Характеристичното уравнение е:

$$p^2 + \frac{r}{L} p + \frac{1}{LC} = 0, \text{ или}$$

$$p^2 + 2\alpha p + \omega_0^2 = 0,$$

където $\alpha = \frac{r}{2L}$, $\omega_0 = \frac{1}{\sqrt{LC}}$,

а корените на уравнението са:

$$p_{1,2} = -\alpha \pm \sqrt{\alpha^2 - \omega_0^2}$$

Параметрите на кръга са : честота $\omega = \sqrt{\omega_0^2 - \alpha^2}$, характерично

съпротивление $\rho = \sqrt{\frac{L}{C}}$ и качествен фактор $Q = \frac{\rho}{r}$.

В зависимост от стойността на $\sqrt{\alpha^2 - \omega_0^2}$ са възможни три случая на преходния процес:

$\alpha = \omega_0$ – критичен аperiодичен – корените $p_1 = p_2$ са реални числа;

$\alpha > \omega_0$ – аperiодичен – корените $p_1 \neq p_2$ са реални числа;

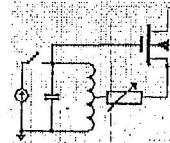
$\alpha < \omega_0$ – затихващ периодичен – корените $p_1 \neq p_2$ са комплексни числа. Тогава напрежението върху трептящия кръг (Фиг.2) е :

$$u(t) = U_m e^{-\alpha t} \cos(\omega t + \psi),$$

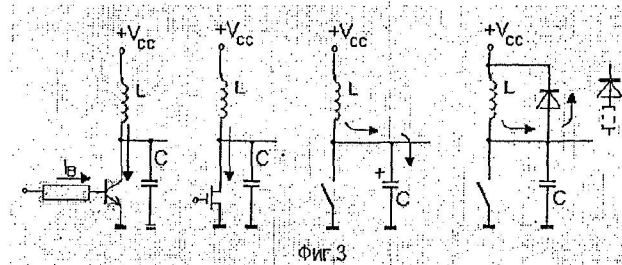
където $\psi = -\arctg \frac{\alpha}{\omega}$, а $U_m = \rho I_0$ е максималната амплитуда на колебанието върху кръга.

ПРИЛОЖЕНИЕ

1. Серия импулси: *) с експоненциално затихваща амплитуда; **) с приблизително постоянна амплитуда;



2. Използване на първата полуълна – аperiодично затихване след нея: *) единичен импулс; **) токов компаратор;
3. Ключова схема с индуктивен товар:



Фиг.3

3.5. АНАЛИЗ НА ЗАКЪСНЕНИЯТА ВЪВ ВЕРИГА ОТ КЛЮЧОВИ СХЕМИ

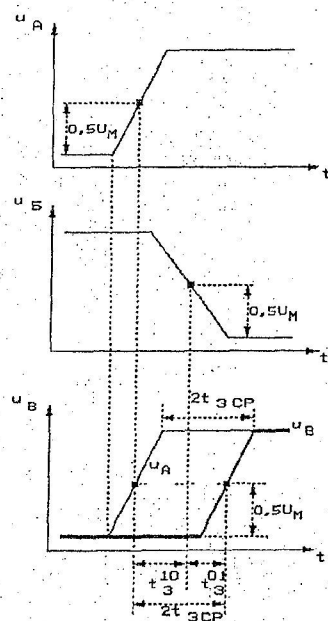
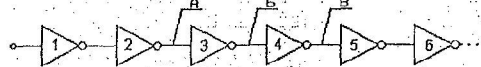
При изследване на преходните процеси в цифрови схеми класическият метод, базиращ се на преходната характеристика, е недостатъчен. Преходната характеристика се снима с правоъгълен входен сигнал. В цифровите системи, обаче, входният сигнал за всяка схема не е с правоъгълна форма, тъй като се получава от изхода на друга схема. На фиг.35 е показана верига от еднакви инвертори. На входа на първия се подава сигнал от импулсен генератор. След няколко стъпала формата на сигнала вече не зависи от фронта на входния импулс, а е еднаква с формата на сигналите в останалата част от веригата – т. нар. асимптотична форма (вж. Приложение1.). Основната величина, характеризираща динамиката на процесите, е времето за преминаване на сигнала през схемата, т.е. закъснението на изходния сигнал спрямо входния. При преход 1→0 (входният сигнал се изменя от U^0 към U^1 , а изходният – от U^1 към U^0) това

време е t_3^{10} , а при преход 0→1 е t_3^{01} . На фиг.35 те са определени на ниво $0,5U_M$, но по принцип е възможно отчитане и на други нива. Основният динамичен параметър – средното закъснение на сигнала t_{3cp} – е:

$$(1) \quad t_{3cp} = \frac{t_3^{01} + t_3^{10}}{2}$$

Като се сравнят времедиаграмите в точките А и В, се вижда, че поради еднаквата форма на двата сигнала, сумата от закъсненията в две схеми – $2t_{3cp}$ – не зависи от нивото на отчитане.

При проектиране на цифрови устройства е необходимо да се знае времето за преминаване на сигнала във всяка верига от елементи. А то е равно на сумата от закъсненията на сигнала във всяка схема от тази верига. В частен случай при четен брой схеми M закъснението на сигнала от входа на първата схема до изхода на последната е:

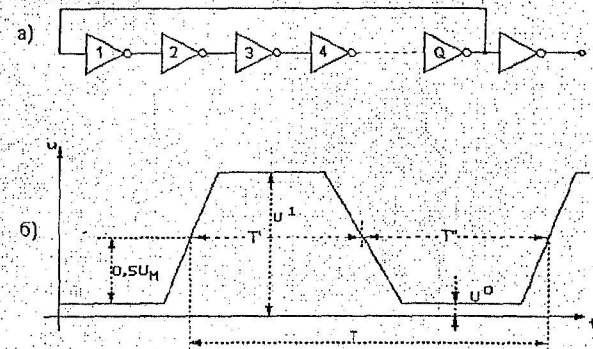


Фиг. 35. Верига от инвертори и закъснения на сигналите в тях

$$(2) \quad t_{3(M)} = \frac{M}{2} t_3^{01} + \frac{M}{2} t_3^{10} = M t_{3cp}$$

На практика дори и при нечетен брой инвертиращи схеми във веригата, за бърза оценка на общото закъснение, се използва произведението на броя на схемите по средното закъснение. При това грешката е сравнително малка, тъй като M е от порядъка на $10+20$.

ИЗМЕРВАНЕ НА ЗАКЪСНЕНИЯТА: От фиг. 35 се вижда, че закъсненията могат да се измерят посредством двулъчев осцилоскоп, като се съпоставят сигналите в две точки, например: за t_3^{10} – напреженията u_A и u_B , за t_3^{01} – u_B и u_V , за t_{3cp} – u_A и u_V . Този метод, обаче, има следния недостатък – сондите на осцилоскопите прибавят своя входен капацитет към капацитета на съответния възел и внасят грешка в измерванията.



Фиг.36. Кръгов генератор (а) и форма на колебанията (б)

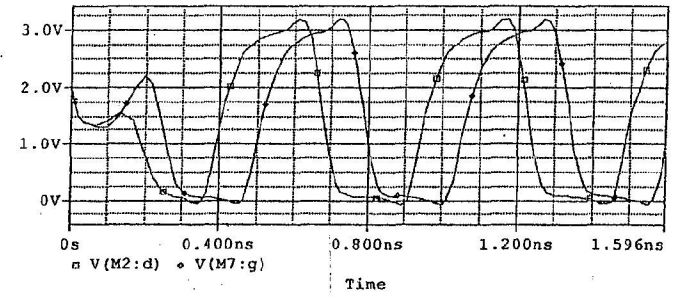
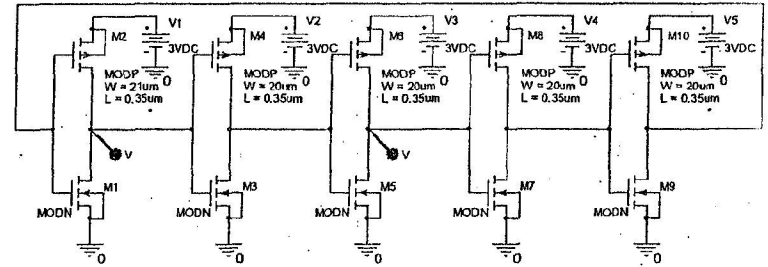
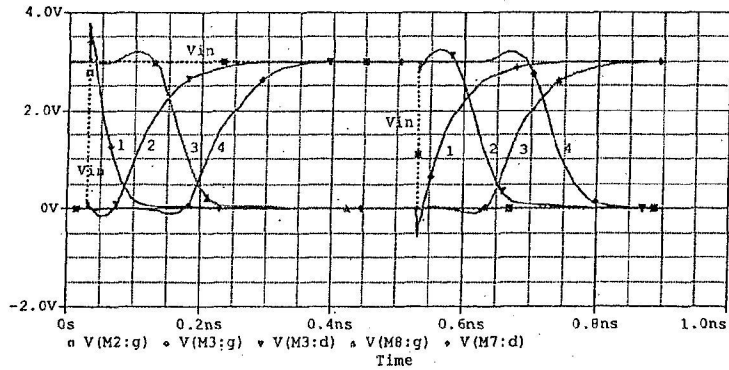
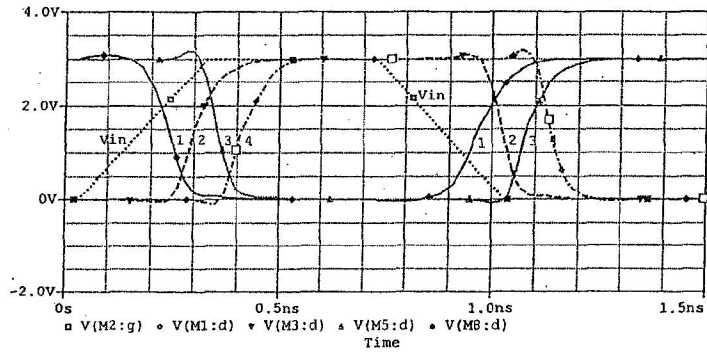
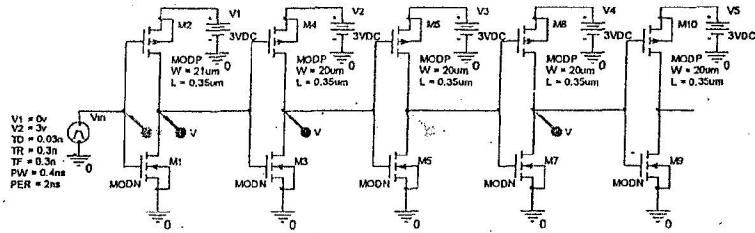
По – добър във всяко отношение е методът базиран на т.нар. кръгов генератор (*ring oscillator*), показан на фиг. 36,а. Нечетен брой инвертори Q ($Q = 2k+1$) са свързани в затворена верига. Вследствие на нечетния брой инверсии на сигнала, възникват колебания. Тяхната форма (фиг.36,б) е еднаква във всеки възел, но се снима от изхода на буферния инвертор. По този начин се премахва влиянието на сондата на осцилоскопа върху точността на измерването. Периодът на колебанията T е равен на удвоеното време за преминаване на сигнала по затворената верига, т.е.

$$(3) \quad T = 2Qt_{3cp}$$

откъдето се изчислява средното закъснение. Допълнително изискване за да се възбудят колебания, е периодът T да бъде по – голям от сумата на двата фронта на сигнала. На практика са необходими поне 5 стъпала, т.е. $Q \geq 5$ (вж. Приложение2).

8.10.08
 Типовая экспонента 1

Эксп. 2



Коментар

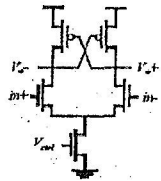
Предимствата на кръговия генератор са, че само с еднолъчев осцилоскоп и без импулсен генератор може точно да се определи средното закъснение на сигнала в изследваната схема. Интересен, макар и неизвестен в литературата е фактът, че формата на сигнала съдържа информация и за закъсненията t_3^{01} и t_3^{10} [Л-х]. Ако те са с различна продължителност, вследствие на нечетния брой инвертори $Q = 2k+1$, двата времеви интервала T' и T'' също ще бъдат различни:

$$(3) \quad \begin{aligned} T' &= (k+1)t_3^{10} + k t_3^{01} \\ T'' &= k t_3^{10} + (k+1)t_3^{01} \end{aligned}$$

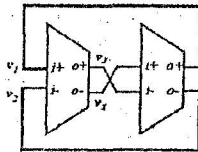
От тази система уравнения се определят

$$(4) \quad \begin{aligned} t_3^{10} &= \frac{1}{Q} [(k+1)T' - kT''] \\ t_3^{01} &= \frac{1}{Q} [(k+1)T'' - kT'] \end{aligned}$$

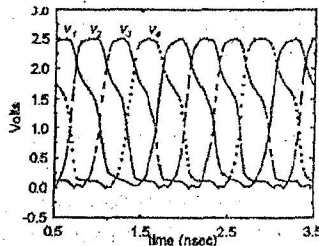
Диференциална логика, диф структура, диф. изходи-в права и инверсна форма/парафазни



(a) delay cell

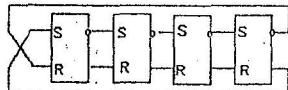


(b) two stage VCO

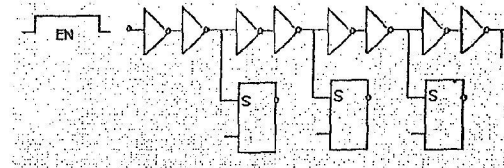


(c) simulated waveforms of 2-stage VCO

Figure 7.85 Differential delay element and VCO topology.



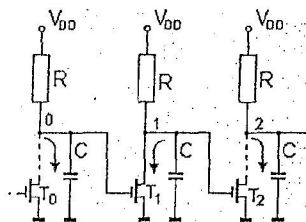
Измерване на много малки времена (TDC - Time-to-Digital Converter)



? Начално установяване + калибровка на закъсненията

Накрая трябва да се отбележи, че в съвременните високоскоростни системи закъсненията на сигналите в схемите са все по-малка част от пълното време за разпространение. В него трябва да се отчитат и закъсненията в съединителните проводници, чийто относителен дял нараства с увеличаване на работните честоти.

ЗАКЪСНЕНИЯ НА СИГНАЛА ВЪВ ВЕРИГА ОТ MOS ИНВЕРТОРИ



Фиг.37. Верига от MOS инвертори с линейни товарни резистори

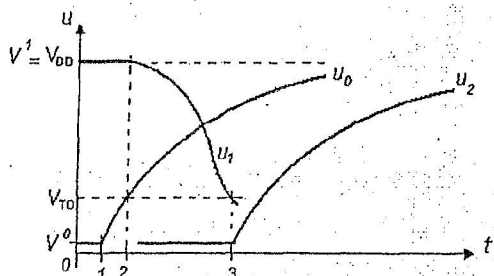
Целта на анализа е определянето на закъсненията при отпушване – t_{30} , запушване – t_{33} , както и средното закъснение t_{3cp} , във функция от параметрите на схемните компоненти (транзистори, резистори, паразитни кондензатори) и захранващото напрежение V_{DD} .

Анализът се провежда при следните предпоставки и допускания:

♦ Веригата е съставена от три еднакви инвертора. Анализът започва от момента на запушване на транзистора T_0 в първото стъпало; ♦♦ Използва се моделът на MOS транзистор, описан в гл. _____. Товарният кондензатор C е сума от собствения кондензатор на дрейна, кондензатора на съединителната шина и входния кондензатор на следващото стъпало

Начално състояние (от 0 до t_1):

T_0 – отпушен, T_1 – запушен, T_2 – отпушен.



В момента t_1 транзисторът T_0 се запушва, изходното му напрежение u_0 започва да расте по експоненциална крива с времеконстанта $\tau = RC$ към захранващото напрежение V_{DD} . В момента t_2 транзисторът T_1 се

отпушва. Следователно интервалът t_{12} е закъснението при отпушване. Токът на T_1 разрежда паразитния кондензатор C , напрежението u_1 се понижава от V_{DD} до V_{T0} и в момента t_3 транзисторът T_2 се запушва. Изходното му напрежение u_2 започва да расте аналогично на u_0 . Интервалът t_{23} е закъснението при запушване.

Определяне на $t_{30} = t_{12}$:

$$u_0(t) = V^0 + (V_{DD} - V_{T0})[1 - \exp(-t/\tau)];$$

$$V_{T0} \approx V^0 + (V_{DD} - V_{T0})t_{12}/\tau$$

$$t_{30} = RC (V_{T0} - V^0) / V_{DD}$$

Определяне на $t_{33} = t_{23}$:

$$u_1(t) = V_{DD} - \frac{1}{C} \int i_1(t) dt; \quad i_1(t) = \frac{k}{2} [u_0(t) - V_{T0}]^2;$$

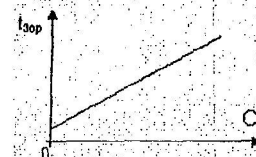
$$u_1(t) \approx V_{DD} - \frac{1}{C} \int \frac{k}{2} (V_{DD} - V_{T0})^2 \frac{t^2}{\tau^2} dt$$

$$V_{T0} \approx V_{DD} - \frac{k}{2C} (V_{DD} - V_{T0})^2 \frac{t_{23}^3}{3\tau^2}$$

$$t_{33} = RC \frac{\sqrt{6}}{\sqrt{kR(V_{DD} - V_{T0})}} = 1,83RC \sqrt{\frac{C}{R}}$$

$$t_{3cp} = RC F(\text{параметри}) = \frac{1}{2} RC \left[(V_{T0} - V^0) / V_{DD} + 1,83 \sqrt{\frac{C}{R}} \right]$$

$$C = C_0 + C_L$$

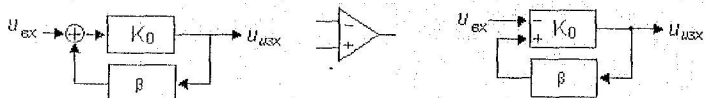


Макар че във всички примери бяха използвани инвертори, по същия начин се изследват и многоходови (напр. с m входа) логически схеми. Те се редуцират в инвертори чрез: ♦ свързване на $m-1$ входа към напрежението U^1 (логическа единица) при входна логика И или към U^0 (логическа нула) при входна логика ИЛИ; ♦♦ свързване на всички m входа в една обща входна точка. Не се допуска входове да се оставят свободни, несвързани (с т. нар. плаващ потенциал), понеже са възприемчиви към нежелани сигнали и шумове)

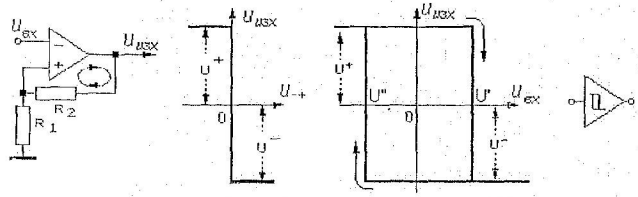
НЕСИМЕТРИЧНИ ТРИГЕРИ

Несиметричните тригери (тригери на Шмит – *Schmitt*) са схеми с две устойчиви състояния, характеризирани се със стойности на изходното напрежение U^0 и U^1 , като преходът между тях се извършва при различни стойности на входното напрежение (U' и U'') според посоката на този преход. С други думи, в предавателната им характеристика има област на хистерезис. По същество, независимо от конкретната реализация, несиметричният тригер се получава въз основа на усилвателна схема обхваната от положителна обратна връзка (ПОВ).

СИНТЕЗ



СИНТЕЗ С ДИФЕРЕНЦИАЛНО СЪПАЛО – ОУ

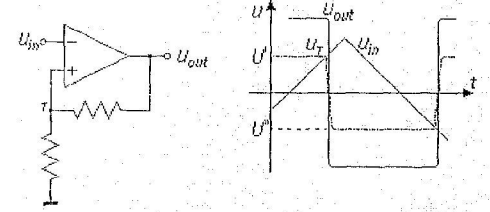


Стойностите на входното напрежение, при които тригерът се превключва (т.нар. прагове на превключване), са:

$$U' = \beta U^+ = \beta U^1 \text{ и } U'' = \beta U^- = \beta U^0,$$

където $\beta = \frac{R_1}{R_1 + R_2}$ е коефициентът на предаване на веригата за обратна връзка.

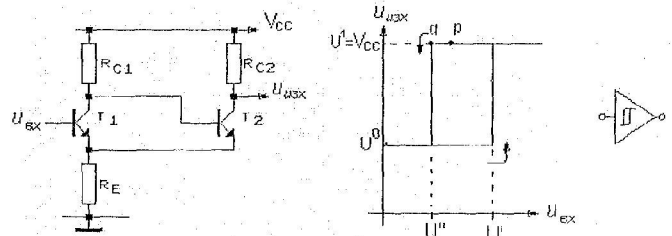
На следващата фигура са показани преходните процеси при входен сигнал с тригонообразна форма.



Напрежението в точка Т определя двата прага U' и U'' , при които изходното напрежение се изменя със скок. То лък от своя страна през веригата на ПОВ променя стойността на прага на превключване – от U' към U'' и от U'' към U' .

Достоинства на схемата: ♦ стабилни стойности на праговете; ♦♦ условието за лавинообразен процес $\beta A_0 > 1$ е лесно изпълнимо ($A_0 = 10^5 \div 10^6$), следователно β , съответно ширината на хистерезиса, могат да се изменят в широки граници; ♦♦ затвореният контур на ПОВ е независим от веригата на входния сигнал.
 ▶ Задачи: ♦ Как стойностите на праговете на превключване U' и U'' могат да се изменят независимо един от друг? ♦♦ Как трябва да се измени свързването на ОУ, за да се получи неинвертирана хистерезисна крива?

ТРИГЕР НА ШМИТ С БИПОЛЯРНИ ТРАНЗИСТОРИ



В типичната схема на несиметричен тригер с биполярни транзистори ПОВ се осъществява през общия емитерен резистор R_E (затова и тази схема понякога се нарича тригер с емитерна връзка). Напреженията в двете състояния са показани на фиг.10.3 като запушеният транзистор е с прекъснатата линия. При нулево входно напрежение T_1 е запушен, а T_2 – наситен, и тогава изходното напрежение (фиг.10.3а) е

(10.2) $U^0 = U_{RE}' + U_{CES} \approx U_{RE}'$
 като

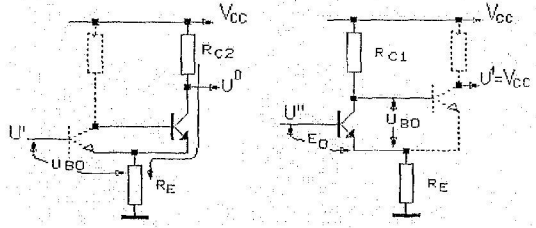
(10.3) $U_{RE}' \approx \frac{R_E V_{CC}}{R_E + R_{C2}}$

е падът на напрежение върху емитерния резистор, а U_{CES} – напрежението колектор-емитер на наситения T_2 . С увеличаване на входното напрежение до стойността на първия праг на преобръщане

(10.4) $U' = U_{RE}' + U_{BE0}$,

транзисторът T_1 се отпушва ($U_{BE0} \approx 0,5V$) и вследствие на ПОВ се развива лавинообразен процес по следната верига:

$$I_{B1} \uparrow \rightarrow I_{C1} \uparrow \rightarrow U_{C1} = U_{R2} \downarrow \rightarrow U_E \downarrow \rightarrow U_{BE1} \uparrow \rightarrow I_{B1} \uparrow.$$



фиг. 10.3а

фиг. 10.3б

В резултат на този процес схемата преминава във второто си състояние: T_1 - наситен, T_2 - запушен, а в изхода се установява напрежение $U^1 \approx V_{CC}$. Напрежението на емитерите е

$$(10.5) \quad U_{RE}^n \approx \frac{R_E \cdot V_{CC}}{R_E + R_{C1}}$$

В момента на превключване, обаче, докато входният сигнал е равен на U^1 , напрежението база – емитер на T_1 нараства със скок от U_{BO} на E_0 ($E_0 \approx 0,7V$). Тъй като $U^1 = U_{BE1} + U_{RE}$, напрежителният пад върху резистора R_E намалява от U_{RE}^n на U_{RE}^m , т.е.

$$\frac{R_E \cdot V_{CC}}{R_E + R_{C2}} > \frac{R_E \cdot V_{CC}}{R_E + R_{C1}}$$

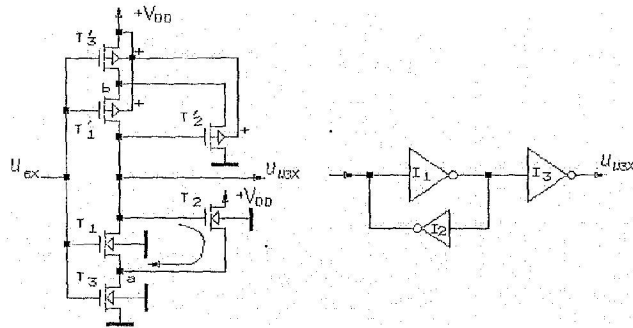
Следователно необходимото условие за стабилност на второто състояние на схемата е

$R_{C1} > R_{C2}$. Когато то е изпълнено, наситеният транзистор T_1 поддържа T_2 надеждно запушен.

При намаляване на входното напрежение процесите се развиват аналогично, но в обратна посока. Превключването се извършва след като T_1 премине от насищане в активен режим (точка p в предавателната характеристика) и напрежението между колектора и емитера му нарастне до стойност U_{BO} (точка q). Тогава T_2 се отпущва и отново протича лавинообразен процес. От фиг.10.3б се вижда, че стойността на втория праг на преобръщане е

$$(10.6) \quad U^m = E_0 + R_E i_E \approx E_0 + R_E \frac{V_{DD} - U_{BO}}{R_E + R_{C1}}$$

CMOS ТРИГЕР НА ШМИТ



фиг. 10.7а

фиг. 10.7б

Схемата на фиг. 10.7а може да се получи от базовия тригер на Шмит като: ♦ биполарните транзистори T_1 и T_2 се заменят с N-каналните MOS транзистори T_1 и T_2 , а емитерният резистор - с аналогичен транзистор T_3 ; ♦♦ вместо товарни резистори се поставя огледална структура от P-канални MOS транзистори (T_1', T_2', T_3'); ♦♦♦ гейтовете на T_1 и T_3 (съответно T_1' и T_3'), се свързват заедно, тъй като по време на лавинообразния процес на преобръщане и двата транзистора трябва да са отпущени; ♦♦♦♦ входният

сигнал, в съответствие с изискванията при изграждане на CMOS схеми, управлява едновременно P и N - каналните входни транзистори.

Действието на тази - на пръв поглед по-сложна схема - е аналогично на действието на основния тригер на Шмит (фиг.10.2). При малко входно напрежение T_1 и T_3 са запущени, P-каналните транзистори T_1' и T_3' са отпущени и през тях положителното захранващо напрежение достига до изхода. Но тъй като не протича никакъв ток, напрежението върху T_1' е нула. Но то всъщност е напрежението гейт - сорс на транзистора T_2' . Следователно T_2' е запушен. От друга страна транзисторът T_2 е отпущен от високото изходно напрежение (равно на захранващото) постъпващо на гейта му. Той поддържа в т.а. високо напрежение ($U_2 = E - V_{th}$), което е пречка за отпущването на T_1 .

Когато входното напрежение расте, първо се отпущва транзисторът T_3 (при $U_{in} = U_{th}$), и токът през него и през T_2 започва да расте, а напрежението в т.а. намалява. Геометричните размери на T_2 и T_3 се подбират така, че когато напрежението в т.а. стане равно на половината от захранващото, транзисторът T_1 да се отпущи. Тогава стойността на входното напрежение е

$$(10.6) \quad U^1 = V_{TN} + \frac{V_{DD}}{2}$$

и представлява първият праг на преобръщане, тъй като в този момент протича ток от захранването през транзисторите T_2 , T_1 , T_3 . Изходното напрежение започва да намалява. Едновременно протичат два лавинообразни процеса. Единият е в затворената верига на ПОВ образувана от T_1 и T_2 и завършва с отпущването на T_1 и запущването на T_2 . Вторият е в аналогичната верига на T_1' и T_2' и завършва със запущването на T_1' и отпущването на T_2' . При това изходното напрежение на схемата става равно на нула.

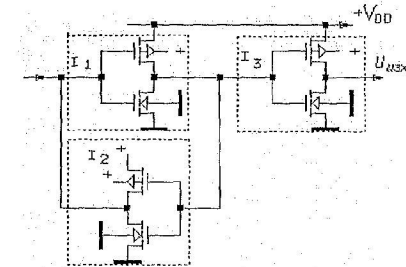
Тъй като схемата е симетрична, когато входното напрежение намалява, второто преобръщане настъпва при $U_{in} = U^m$, което е равно на

$$(10.7) \quad U^m = \frac{V_{DD}}{2} - V_{TP}$$

Бързодействието на тригера всъщност се определя не толкова от ПОВ, колкото от скоростта на изменение на напрежението в изхода на схемата. А тя се ограничават от

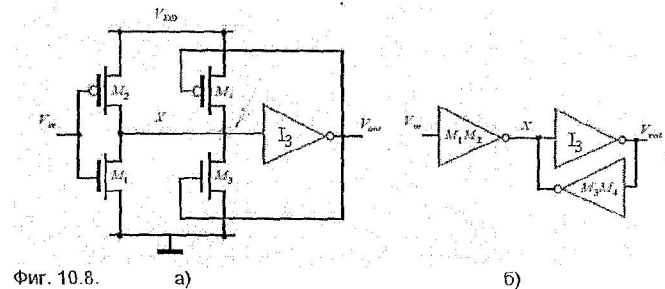
двойките серийно свързани транзистори: T_1' и T_3' - зареждащи - и T_1 и T_3 - разреждащи изходния кондензатор.

Затова обикновено се използва с буфер, съставен от три инвертора (фиг.10.7б). С втория от тях (I_2) се внася допълнителна ПОВ, която увеличават скоростта на преобръщане и стабилизира праговете. Транзисторите в този инвертор имат много по-малки размери в сравнение с всички останали транзистори.



Модерните схеми на Шмит тригер избягват двойките серийно свързани транзистори, както се вижда от следващата фигура. Схемата (фиг. 10.8.а) е съставена от входен инвертор ($M_1 - M_2$) последван от тригер ($M_3 - M_4$ и инвертора I_3), т.е. тя може да се представи и чрез тригера инвертора (фиг. 10.8.б).

Фиг. 10.8. а) б)

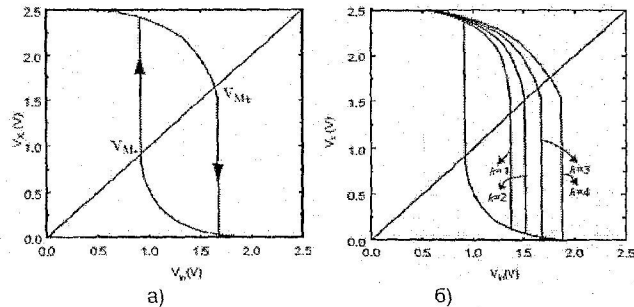


Фиг. 10.8.

а)

б)

Когато входното напрежение нарастне до прага U' или намалее до U'' , напрежението в точка X комутира тригера. Тогава се отпушва M_3 – в паралел с отпушения M_1 – и съответно – M_4 паралелно на M_2 . По този начин прагът U' се премества към U'' , съответно U'' към U' .

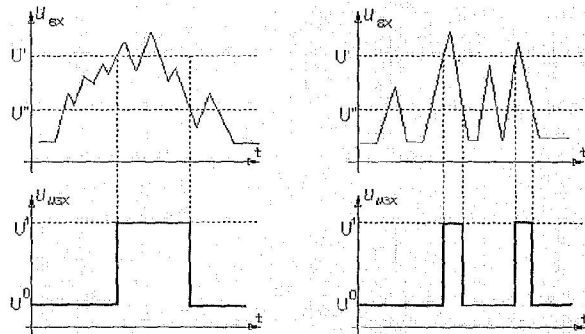


Фиг. 10.9. а) Предавателна характеристика с хистерезис; б) Влияние на размерите на PMOS

ПРИЛОЖЕНИЕ НА НЕСИМЕТРИЧНИТЕ ТРИГЕРИ

Наличието на две устойчиви изходни нива и на два строго фиксирани прага за преход между тях определя приложението на разгледаните схеми. То може да се обобщи като преобразуване на входен сигнал с произволна форма в правоъгълен изходен импулс с точно определени нива и фронтове. Стръмността на фронтовете на изходния сигнал не зависи от формата на входния, а от високата собствена скорост на превключване на тригера, обусловена от ПОВ (фиг. 10.8а). Наред с това, хистерезисът повишава шумозащитеността. Както се вижда, шумовете във входния сигнал, дори и в момента на превключване, не влияят върху изходния сигнал.

► Задача: Каква е максималната амплитуда на входния шум, при която той не се проявява в изхода?



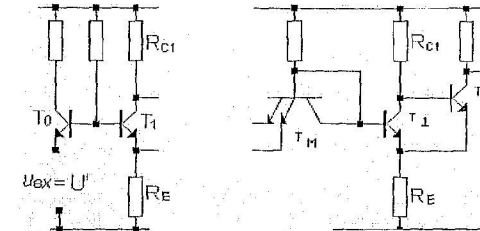
фиг.-10.8а

фиг. 10.8б

Друго приложение на тригера на Шмит е в отделянето от поредица входни импулси само тези от тях, чиято амплитуда е по-голяма от праговото напрежение U' (фиг. 10.8б), т.е. схемата работи като компаратор (прагов детектор, амплитуден дискриминатор).

ДОПЪЛНЕНИЕ 1. СТАБИЛИЗИРАНЕ НА ПРАГОВЕТЕ

Праговете напрежения U' и U'' на биполарния тригер на Шмит не са стабилни, особено по отношение на температурата. Както се вижда от формулите 10.4 и 10.5, те силно зависят от характеристиките база – емитер на транзисторите. Един метод за стабилизиране на първия праг U' е показан по – долу. Ако емитерните преходи на T_0 и T_1 имат еднакви размери, т.е. $U_{BE0} = U_{BE1}$, в момента



на превключване стойността на U' е:

$$U' = -U_{BE0} + U_{BE1} + U_{RE}' = U_{RE}' = U_{RE} = \frac{R_E V_{CC}}{R_E + R_{C1}}$$

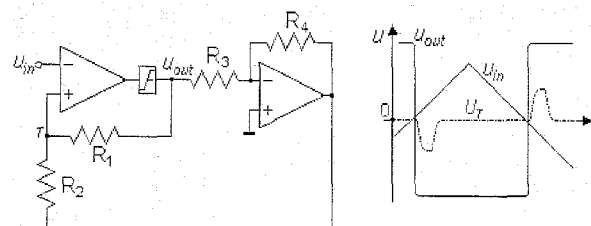
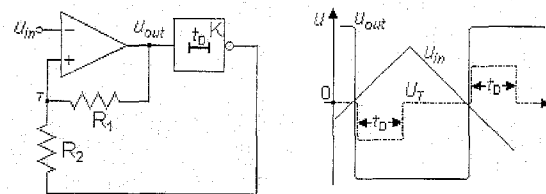
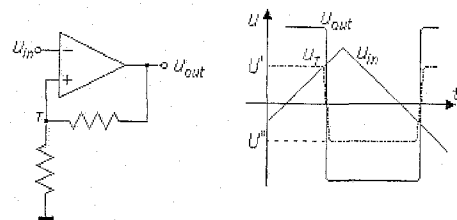
Следователно U' зависи само от захранващото напрежение и отношението на резисторите R_E и R_{C1} . На следващата схема е показана реализация на този метод в TTL тригер на Шмит

ДОПЪЛНЕНИЕ 2. ЛОГИЧЕСКИ СХЕМИ С ХИСТЕРЕЗИС

При включване на тригера на Шмит като входно стъпало на логическите схеми предавателната характеристика на първоначалната схема (фиг. 19.5а) се видоизменя и в нея се появява област на хистерезис (фиг. 10.5б).

В популярната TTL серия 74 има няколко схеми с хистерезис: 7413 (два четириходови елемента И-НЕ), 7414 (шест инвертора) и 74132 (четири двуходови елемента И-НЕ). На фиг. 10.6 е показана принципната схема на един елемент от 74132, като аналогична е структурата и на другите споменати ИС (разлика има в броя на входовете, както и при различните модификации - N, S, LS). Тригерът на Шмит е изграден от транзисторите T_1 и T_2 , а T_3 и T_4 преместват нивата на изходния му сигнал така, че да е възможно правилното управление на T_5 . Колекторният преход на многоемитерния транзистор е шунтиран, поради което всъщност налице е една диодна схема И, съставена от емитерните преходи на T_3 . Срещуположното свързване на тези преходи спрямо емитерния преход на T_1 стабилизира праговете на превключване.

ДИНАМИЧЕН ХИСТЕРЕЗИС

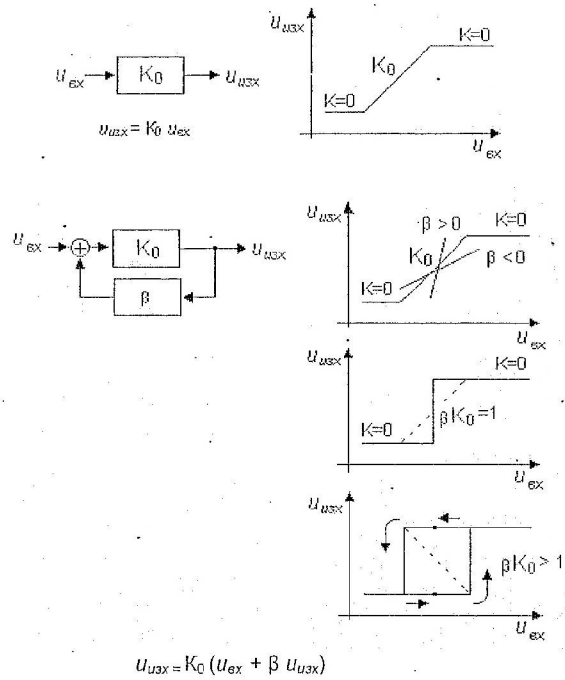


025 2009

ТРИГЕРИ

1. ТЕОРИЯ НА СХЕМИТЕ С ПОВ

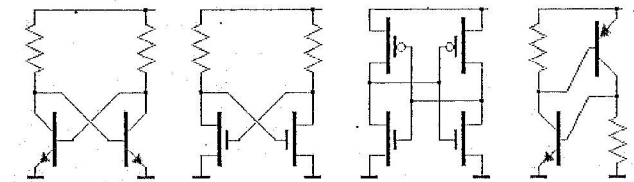
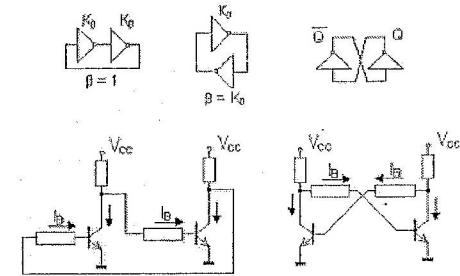
"Компютърният анализ на нелинейността и положителната обратна връзка води до раждането на нови теории, понятия, модели"
[Капица 01]



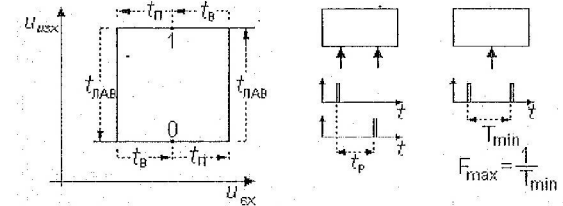
$$K_{СВ} = \frac{u_{изх}}{u_{вх}} = \frac{K_0}{1 - \beta K_0} \rightarrow \text{Свойства: 1. Две устойчиви състояния}$$

2. Лавинообразно превключване
3. Хистерезис

2. БАЗОВИ ТРИГЕРНИ КЛЕТКИ



3. ПРЕХОДНИ ПРОЦЕСИ

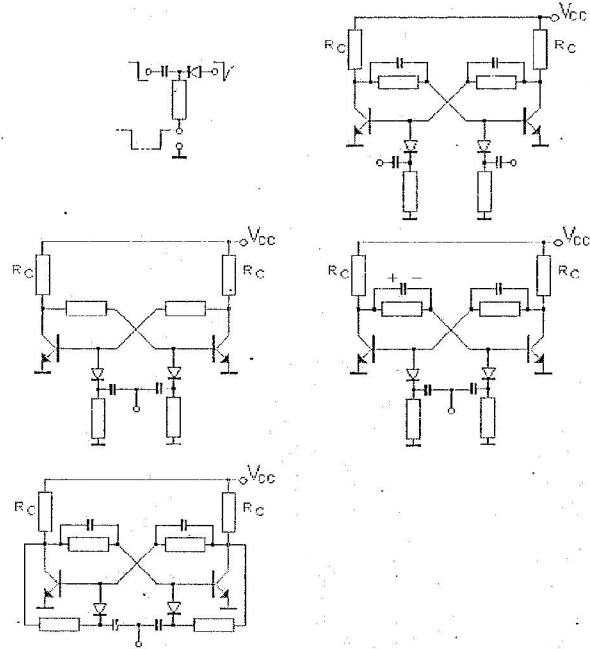


$$t_{\text{ПРЕВКЛЮЧВАНЕ}} = t_{\text{П}} + t_{\text{ЛПВ}} + t_{\text{ЛВ}}$$

Изисквания към пусковите сигнали:

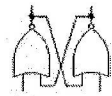
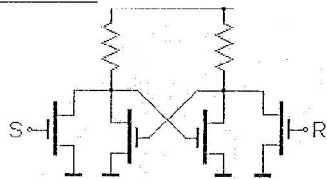
- ♦ полярност и амплитуда
- ♦ разделяне на пусковата верига от веригата на ПОВ

**3.1. ПРЕХОДНИ ПРОЦЕСИ В КЛАСИЧЕСКИ СХЕМИ –
ИМПУЛСНО – ПОТЕНЦИАЛНИ ПУСКОВИ ВЕРИГИ**



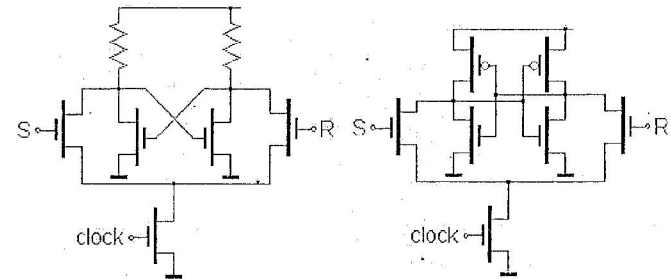
**3.2. ПРЕХОДНИ ПРОЦЕСИ В СЪВРЕМЕНИ СХЕМИ –
ПОТЕНЦИАЛНИ ПУСКОВИ СИГНАЛИ**

АСИНХРОННИ

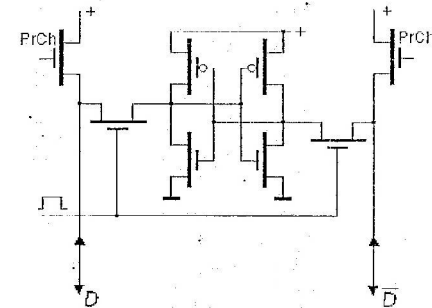


Структурно бързодействие

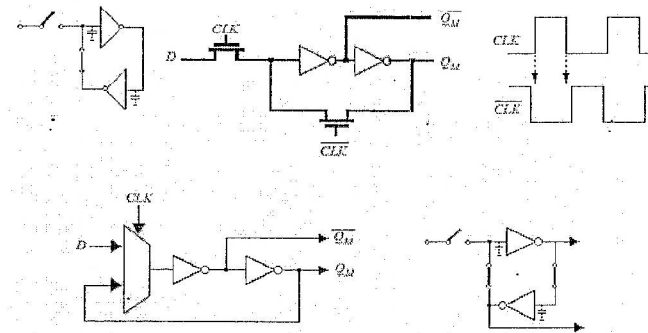
СИНХРОНИЗИРАНИ – сравнени по брой на транзисторите с логическите структури – тези схеми са по-икономични – *gate/transistor level design (budget)*



СТАТИЧНА ПАМЕТ – запис/четене



КВАЗИСТАТИЧНИ (MUX – базирани)



4. МЕТАСТАБИЛНОСТ

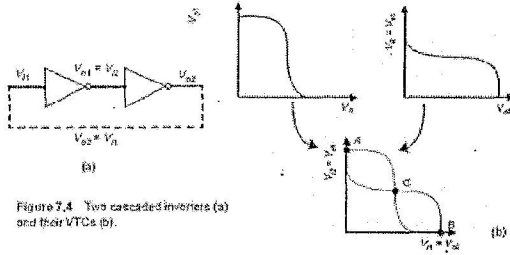


Figure 7.4 Two cascaded inverters (a) and their VTCs (b).

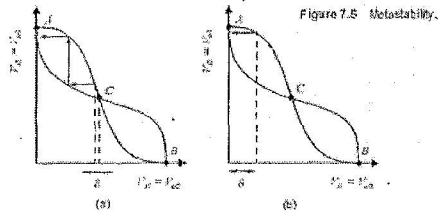


Figure 7.5 Metastability.

$$1) \tau \frac{dU_X}{dt} + U_X = -A_0 U_Y$$

$$2) \tau \frac{dU_Y}{dt} + U_Y = -A_0 U_X$$

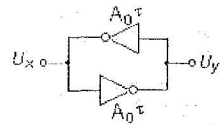
След като извадим 2) от 1) и пренаредим множителите, получаваме:

$$\tau \frac{d(U_Y - U_X)}{dt} = -(U_Y - U_X)(1 - A_0)$$

Нека: $(U_Y - U_X) = z(t) = u_{xy}(t)$, тогава:

$$\tau \frac{dz}{dt} = -(1 - A_0)z$$

$$\frac{dz}{z} = \frac{A_0 - 1}{\tau} dt$$



$$\ln \frac{z}{z_0} = \frac{A_0 - 1}{\tau} t \Rightarrow t = \frac{\tau}{A_0 - 1} \ln \frac{z}{z_0}$$

$$z = U_X = U' - U^0$$

$$z_0 = \Delta U_{(0)} \quad z = z_0 e^{\frac{A_0 - 1}{\tau} t}$$

$$\ln \frac{z}{z_0} = \frac{A_0 - 1}{\tau} t \Rightarrow t = \frac{\tau}{A_0 - 1} \ln \frac{z}{z_0} = \frac{\tau}{A_0 - 1} \ln \frac{U_Y}{\Delta U_{(0)}}$$

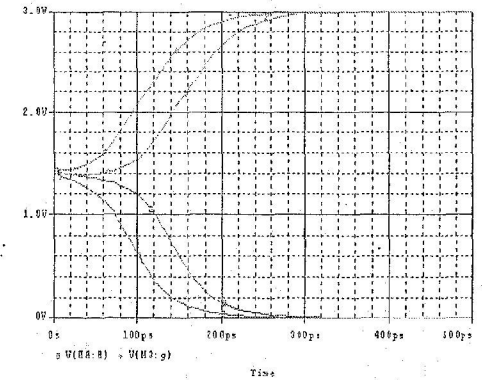
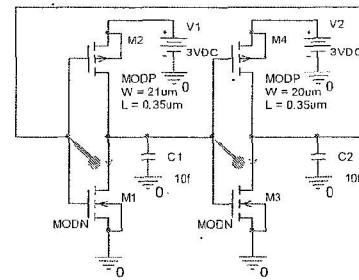
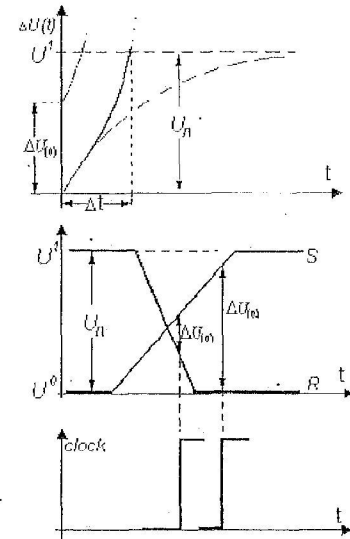
Следователно:

$$(U_Y - U_X)_t = (U_Y - U_X)_0 e^{\frac{A_0 - 1}{\tau} t}$$

$$\Delta U_{(t)} = \Delta U_{(0)} e^{\frac{A_0 - 1}{\tau} t}$$

$$\Delta t = \frac{\tau}{A_0 - 1} \ln \frac{U_Y}{\Delta U_{(0)}}$$

$$\frac{\tau}{A_0} \approx \frac{1}{A_0 J_n} = const$$



$\Delta U = 2mV, 5mV$