

4. ЦИФРОВО-АНАЛОГОВИ И АНАЛОГОВО-ЦИФРОВИ ПРЕОБРАЗОВАТЕЛИ

Когато е необходимо непрекъснат сигнал да се представи в цифров вид, аналоговата входна величина трябва да се преобразува в число. Тази задача се изпълнява от аналогово-цифрови преобразуватели – АЦП (Analog-to-Digital Converters – ADCs). За тях числото Z е пропорционално на входното напрежение U_i съгласно израза

$$Z = U_i / U_{LSB}$$

където U_{LSB} има смисъл на „напрежение, съответстващо на най-малкия разред“ (Least Significant Bit – LSB), т.е. напрежение за $Z = 1$.

За обратното преобразуване на число Z в напрежение U_o се използват цифрово-аналогови преобразуватели – ЦАП (Digital-to-Analog Converters – DACs). Изходното напрежение на ЦАП се записва по следния начин

$$U_o = U_{LSB} \cdot Z,$$

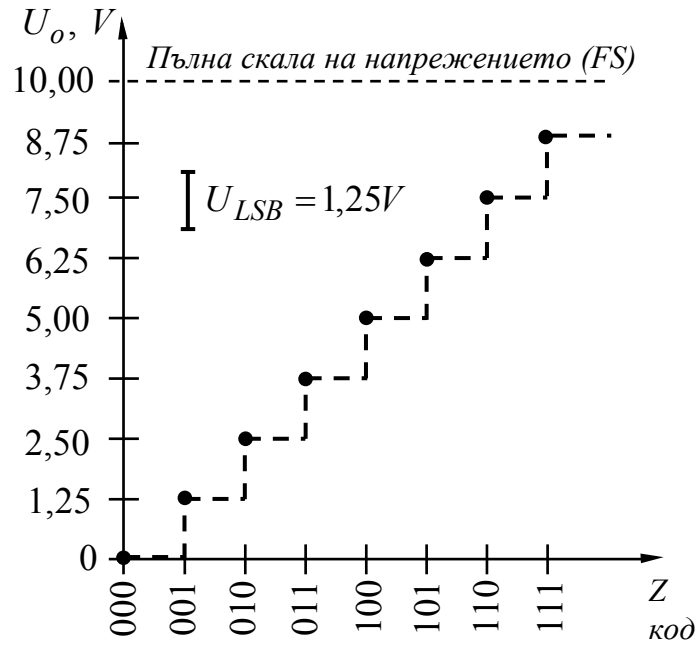
В следващите раздели от тази глава са разгледани най-важните схемотехнични принципи за изграждане на АЦП и ЦАП, както и някои препоръки за избор на конкретни интегрални схеми.

4.1. Предавателна характеристика на цифрово-аналогови преобразуватели и грешки

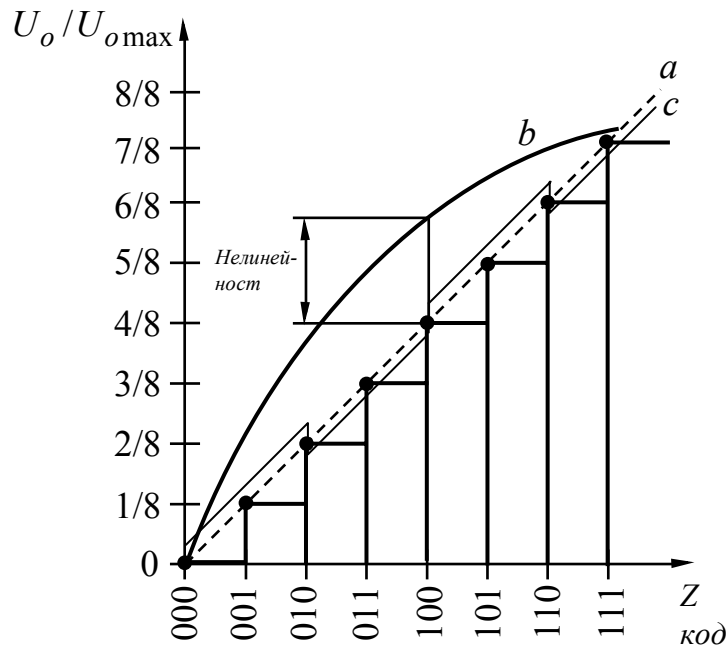
Предавателната характеристика на ЦАП, представена на фиг. 4.1 е прекъснатата функция поради дискретния характер на цифровата стойност Z .

На фиг. 4.2 с прекъснатата линия е показана идеализираната предавателна характеристика на 3-битов ЦАП (крива a) и спрямо нея се специфицират грешките. Некомпенсируемите грешки при ЦАП са т. нар. „грешка от нелинейност“ (крива b) и „грешка от немонотонност“ или „грешка от тегло на разред“ (крива c). Сумарните некомпенсируеми грешки не трябва да надхвърлят $\pm 0,5U_{LSB}$, за да бъде осигурена декларираната разредност на ЦАП.

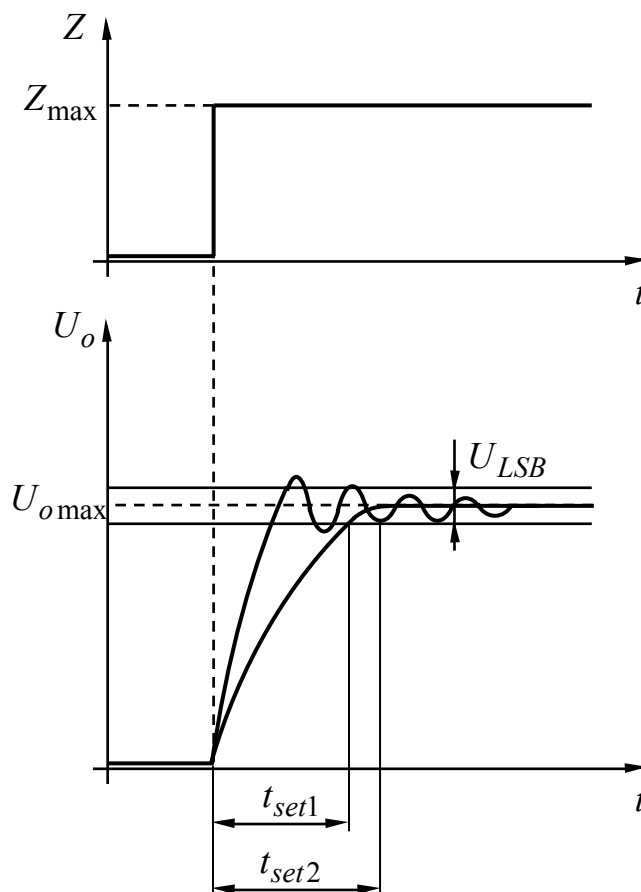
Бързодействието на ЦАП се определя чрез т. нар. време на установяване t_{set} . То се измерва от момента на подаване на възможно максималното число на входа на преобразувателя Z_{max} (при начално състояние $Z = 0$) до момента, в който изходната величина се установи на съответстващата му стойност. За момент на установяване следва да се отчете моментът, в който изходната величина остане в областта, определена от $\pm 0,5U_{LSB}$. На фиг. 4.3 са показани два различни преходни процеса по установяването на изхода на ЦАП. Най-малко време на установяване се постига, когато преходният процес в изхода на ЦАП е критично-апериодичен – t_{set1} .



Фиг. 4.1. Предавателна характеристика на ЦАП при номинална стойност на обхвата на изходното напрежение 0 ... 10V.



Фиг. 4.2. Предавателна характеристика на 3-битов ЦАП.



Фиг. 4.3. Преходен процес при ЦАП.

4.2. Схемотехника на CMOS цифрово-аналогови преобразуватели

4.2.1. ЦАП със сумиране на токове

Тези цифрово-аналогови преобразуватели работят чрез сумиране на токове, които са пропорционални на тежестта на разредите. При двоична бройна система токовете се отнасят помежду си както степените на две. На сумиране подлежат само онези токове, чиито съответстващи разреди са логическа '1'.

На фиг. 4.4 е показана принципна схема за преобразуване на двоично число в пропорционално на него напрежение. Съпротивленията на резисторите се избират така, че при затваряне на ключовете през тях да протича ток съответстващ на теглото на разреда. Всеки от ключовете трябва да бъде затворен тогава, когато в съответния разред се получава логическа единица. Тъй като ОУ чрез резистора R_{FB} е обхванат от ООВ, то инвертираният вход, сумиращ токовете, е с потенциал приблизително нула. При това се изключва взаимното влияние на токовете при сумиране.

При условие, че ключът z_0 е затворен, а останалите ключове са отворени изходното напрежение на преобразувателя се представя във вида

$$(4.1) \quad U_o = U_{LSB} = -U_{ref} \frac{R_{FB}}{16R} = -\frac{1}{16} U_{ref},$$

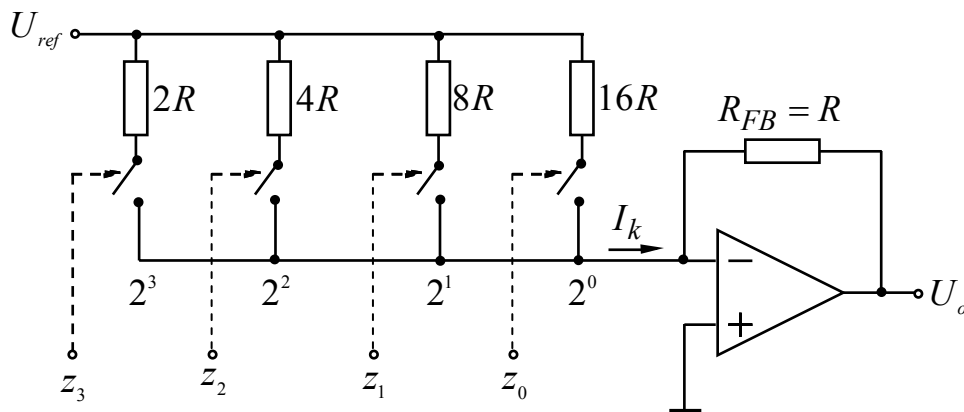
където U_{ref} е опорното напрежение.

В общия случай за изходното напрежение се намира

$$(4.2a) \quad U_o = -\frac{1}{2} U_{ref} z_3 - \frac{1}{4} U_{ref} z_2 - \frac{1}{8} U_{ref} z_1 - \frac{1}{16} U_{ref} z_0.$$

Тогава от горния израз следва

$$(4.2б) \quad U_o = -\frac{1}{16} U_{ref} \underbrace{(8z_3 + 4z_2 + 2z_1 + z_0)}_Z = -U_{ref} \frac{Z}{Z_{max} + 1} \text{ за } 0 \leq Z \leq 15.$$



$$U_o = -U_{ref} \frac{Z}{16}; \quad I_k = \frac{U_{ref}}{R} \frac{Z}{16}$$

Фиг. 4.4. Принципна схема на цифрово-аналогов преобразувател.

4.2.2. ЦАП с двупозиционни ключове

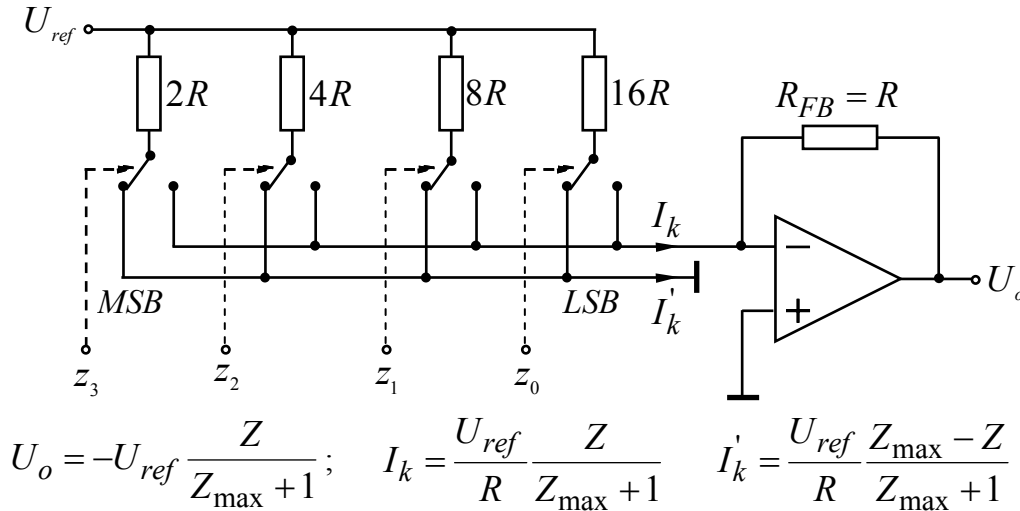
Недостатък на схемата, дадена в предишната точка е, че напрежението върху ключовете значително се различава в отворено и затворено състояние. Докато ключовете са отворени напрежението върху ключовете е приблизително равно на опорното напрежение U_{ref} . Затова трябва при всяка комутация (превключване) на ключовете да се изпълнява презареждане на паразитните кондензатори. Този недостатък може да се избегне, ако в схемата от фиг. 4.4 се използват двупозиционни ключове, които в едното положение се включват към сумирация възел, а в другото положение се включват към маса. В този случай токът протичащ през всеки от резисторите не се променя. Следователно товарът върху източника на опорно напрежение е постоянен. Входното съпротивление на веригата, а следователно товарното съпротивление на източника на опорно напрежение ще има вида

$$(4.3) \quad R_i = 2R \parallel 4R \parallel 8R \parallel 16R = \frac{16}{15} R.$$

Изходното напрежение на схемата има вида

$$(4.4) \quad U_o = -R_{FB}I_k = -R_{FB} \left(\frac{U_{ref}}{2R} z_3 + \frac{U_{ref}}{4R} z_2 + \frac{U_{ref}}{8R} z_1 + \frac{U_{ref}}{16R} z_0 \right) =$$

$$= -U_{ref} \frac{R_{FB}}{16R} \underbrace{(8z_3 + 4z_2 + 2z_1 + z_0)}_Z = -U_{ref} \frac{Z}{Z_{max} + 1}.$$



Фиг. 4.5. Цифрово-аналогов преобразувател с двупозиционни ключове.

4.2.3. ЦАП със сумиране на токовете и с резисторна матрица тип R-2R

При разработването на интегрални ЦАП най-голяма трудност представлява реализацията на високоомни резистори, силно различаващи се по стойност. В предишните две схеми на ЦАП отношението между най-големия и най-малкия резистор е 2^{n-1} пъти, като същевременно грешката при изготвянето на резистора за най-старшия разред трябва да бъде $\Delta R / R < 1 / 2^{n-1}$. Затова в интегралната схемотехника често се използва т. нар. резисторна матрица, която с помощта на последователно делене на напрежение или ток реализира тегловните коефициенти на разредите.

Основният елемент на такава матрица, показан на фиг. 4.6, представлява делител на напрежение, който удовлетворява следните условия:

- когато делителят се натовари със съпротивление R_p входното му съпротивление също трябва да стане равно на R_p , т.е.

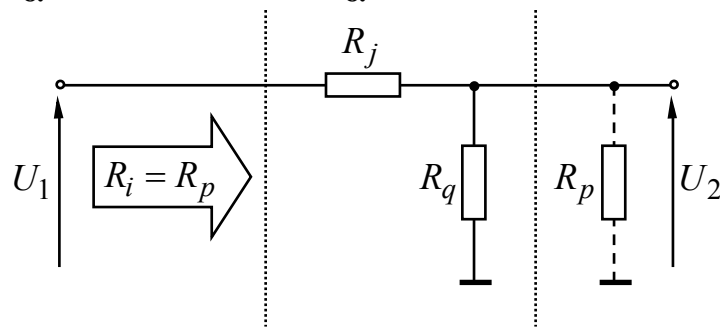
$$R_i = R_p = R_j + (R_q \parallel R_p);$$

- при товар R_p коефициентът на предаване на напрежението има зададена

стойност $\alpha = \frac{U_2}{U_1} = \frac{R_q \parallel R_p}{R_q \parallel R_p + R_j}$.

При изпълнения на тези две условия се получават следните уравнения за съпротивленията

$$(4.5) \quad R_p = \frac{1-\alpha}{\alpha} R_q \quad \text{и} \quad R_j = \frac{(1-\alpha)^2}{\alpha} R_q.$$



Фиг. 4.6. Елемент на резисторна матрица.

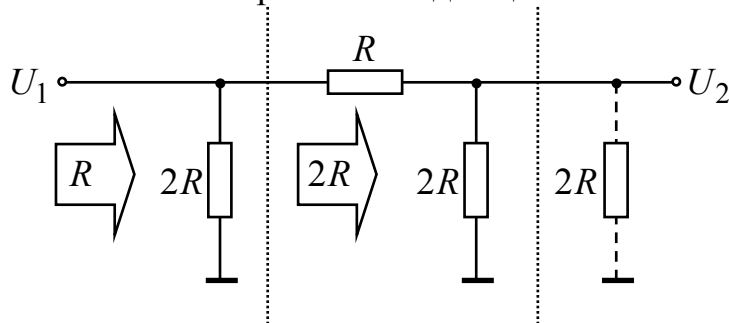
При използването на двоична бройна система се приема $\alpha = 0,5$. Като се избере $R_q = 2R$, то

$$(4.6) \quad R_p = 2R \quad \text{и} \quad R_j = R$$

в съответствие с фиг. 4.7.

Затога в практиката такава матрица се нарича $R-2R$ матрица. Двете ѝ основни свойства могат да бъдат дефинирани по следния начин:

- коефициентът на предаване по напрежение на матрицата от възел към възел е $1/2$;
- характеристичното съпротивление на матрицата е R , а съпротивлението, с което даден възел се натоварва със следващите звена от матрицата, е $2R$.



Фиг. 4.7. Елемент на резисторна $R-2R$ матрица.

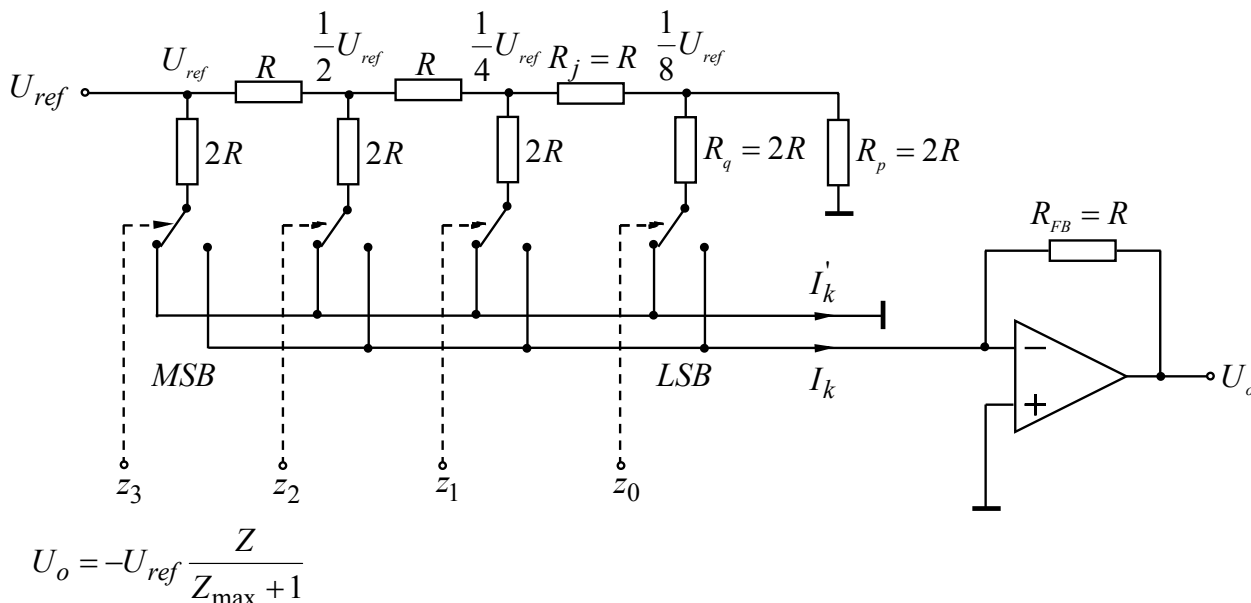
На фиг. 4.8 е показана схемата на 4-разреден двоичен ЦАП със сумиране на токовете и с използването на $R-2R$ матрица.

Токовете се задават от опорното напрежение U_{ref} и токоформиращите резистори. Ключовете превключват формираните токове към точката за сумиране I_k , когато управляващият ги разред е '1', а в противен случай ги отвеждат към маса. Точката на сумиране на токовете е виртуалната нула на операционния усилвател, обхванат от резистора R_F в обратната си връзка и работещ като преобразувател ток в напрежение. Източникът на опорно напрежение U_{ref} е постоянно натоварен с характеристичното съпротивление на матрицата $R_i = 2R \parallel 2R = R$.

Изходното напрежение се определя от израза

$$(4.7) \quad U_o = -R_{FB}I_k = -R_{FB} \left(\frac{U_{ref}}{2R} z_3 + \frac{U_{ref}}{4R} z_2 + \frac{U_{ref}}{8R} z_1 + \frac{U_{ref}}{16R} z_0 \right) =$$

$$= -U_{ref} \frac{R_{FB}}{16R} \underbrace{(8z_3 + 4z_2 + 2z_1 + z_0)}_Z = -U_{ref} \frac{Z}{Z_{max} + 1}.$$



Фиг. 4.8. Двоичен ЦАП със сумиране на токовете, използващ резисторна R - $2R$ матрица.

4.2.4. Двоично-десетични ЦАП

Резисторната матрица в схемата от фиг. 4.8 може да бъде разширявана за преобразуване на двоични числа с произволна дължина. За преобразуването на двоично-десетични числа може да се използва подобна схема, модифицирана в съответствие със схемата от фиг. 4.9. При двоично-десетичните ЦАП разредите могат да се считат разделени на тетради, като вътре във всяка тетрада разредите се отнасят помежду си както степените на две, а тетрадите се отнасят помежду си както степените на десет.

Когато се използва принципът на сумирането на токовете, трябва да се осигурят токове вътре в тетрадите, отнасящи се както степените на две, а за тетрадите – токове отнасящи се както степените на десет.

В схемата от фиг. 4.9 за всички десетични разреди са използвани 4-разредни двоични матрици (по схемите от фиг. 4.5 или фиг. 4.8), които са съединени във верига, в която от декада към декада напрежението се предава с коефициент $\alpha = 1/10$.

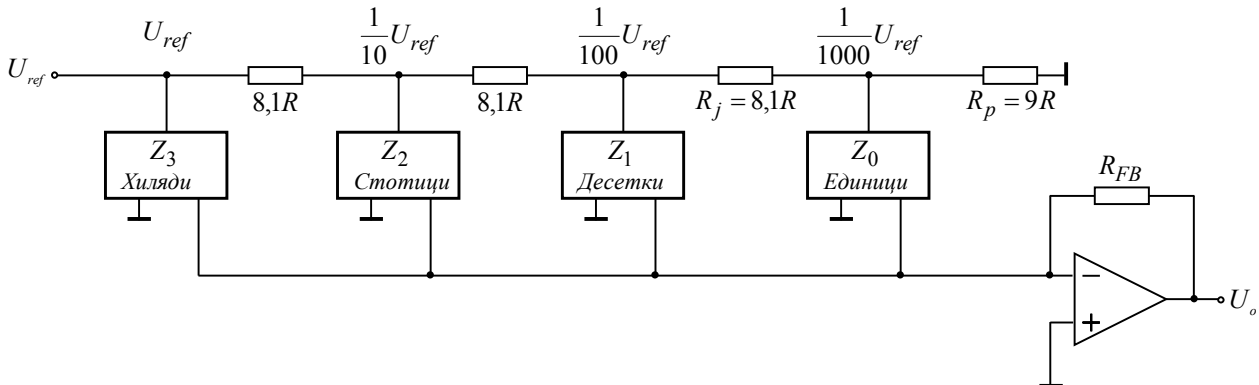
Избирайки R_q да бъде равно на характеристикното съпротивление на тетрадната двоична матрица, т.е. $R_q = R$, чрез формулите за R_j и R_p се получават следните стойности за съпротивленията

$$(4.8) \quad R_j = 8,1R \quad \text{и} \quad R_p = 9R.$$

При тези стойности характеристичното съпротивление на двоично-десетичната резисторна матрица е $0,9R$, а коефициентът на предаване по напрежение на матрицата от възел към възел е $1/10$.

Тогава за схемата на 4-декадния двоично-десетичен ЦАП (фиг. 4.9), използващ във всяка декада резисторна $R - 2R$ матрица, изходното напрежение се определя от израза

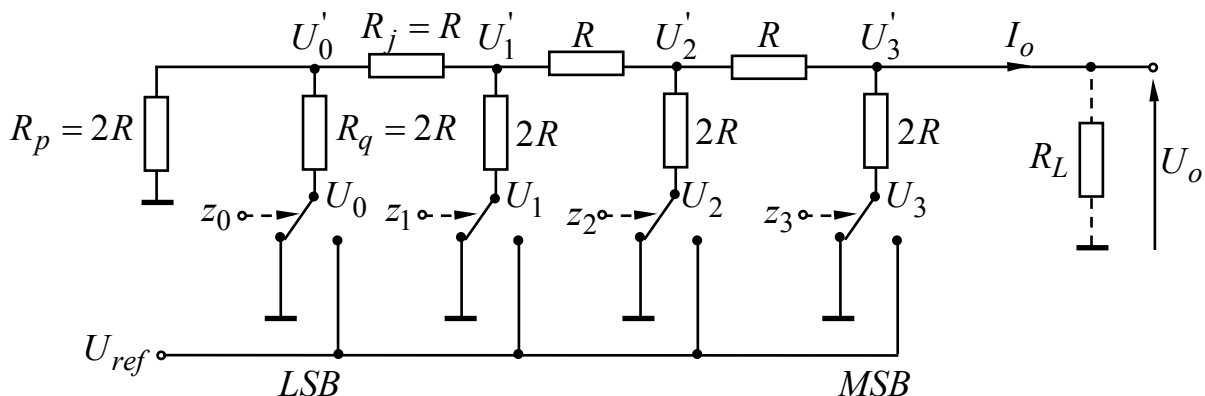
$$(4.9) \quad U_o = -\frac{U_{ref} R_{FB}}{16R} \left(Z_3 + \frac{1}{10} Z_2 + \frac{1}{100} Z_1 + \frac{1}{1000} Z_0 \right).$$



Фиг. 4.9. 4-декаден двоично-десетичен ЦАП, използващ $R-2R$ матрица.

4.2.5. ЦАП със сумиране на напрежения

Тези цифрово-аналогови преобразуватели работят чрез сумиране на напрежения, които са пропорционални на тежестта на числовите разреди. На сумиране подлежат само онези напрежения, чиито съответстващи двоични разреди са 1. Отнасящи се както степените на две напрежения, най-често се получават с помощта на резистивна матрица съгласно нейното първо свойство. ЦАП със сумиране на напреженията с използване на $R-2R$ матрица е показан на фиг. 4.4.



$$U_o = U_{ref} \frac{R_L}{R + R_L} \cdot \frac{Z}{Z_{\max} + 1} = U_{ref} \frac{R_L}{R + R_L} \cdot \frac{Z}{16}$$

Фиг. 4.10. Двоичен ЦАП със сумиране на напреженията, използващ резистивна матрица.

Спрямо схемата от фиг. 4.8 са направени няколко промени. Източникът на опорно напрежение е включен на мястото на сумирация токовете операционен усилвател, а изходът е изведен там, където е опорният източник. За определяне на стойността на изходното напрежение се използва принципът на суперпозицията, който в синтезиран вид гласи: „реакцията на общото въздействие е равна на сумата от реакциите на отделните въздействия”. При определянето на реакцията на изхода спрямо въздействието на даден разред се приема, че разредът е в 1, а останалите разреди са в 0. Поотделно се определя изходната реакция спрямо всеки разред, след което се извършва сумиране за определяне на общата реакция на комплексното въздействие. Тогава при условие, че $R_L = R_p = 2R$ за изходното напрежение се получава

$$(4.10) \quad U_o = \frac{1}{3} \left(U_3 + \frac{1}{2} U_2 + \frac{1}{4} U_1 + \frac{1}{8} U_0 \right) = \frac{2U_{ref}}{3} \cdot \frac{Z}{16} = U_{ref} \frac{Z}{24}.$$

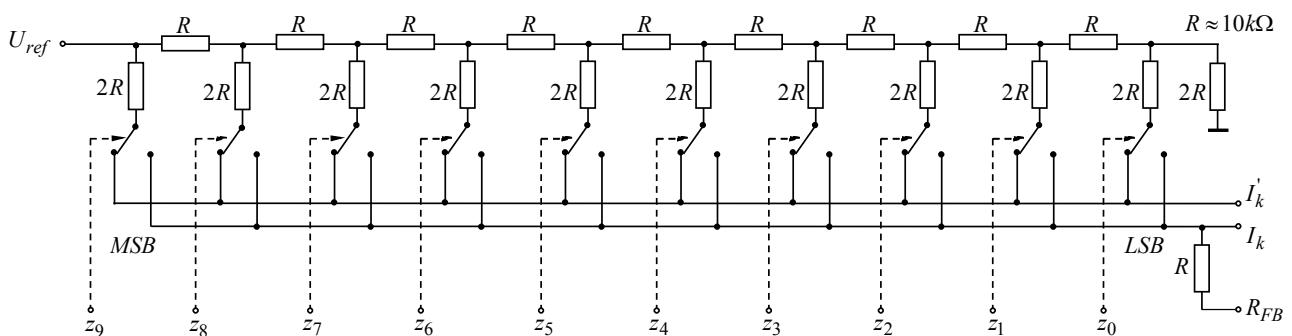
За изходното напрежение в режим на празен ход (при $R_L \rightarrow \infty$) се намира

$$(4.11) \quad U_{o,nx} = U_{ref} \frac{Z}{16}, \quad U_{LSB} = U_{ref} \frac{1}{16}.$$

Тези ЦАП могат да работят в режим на късо съединение в изхода, при което отдават максимален изходен ток:

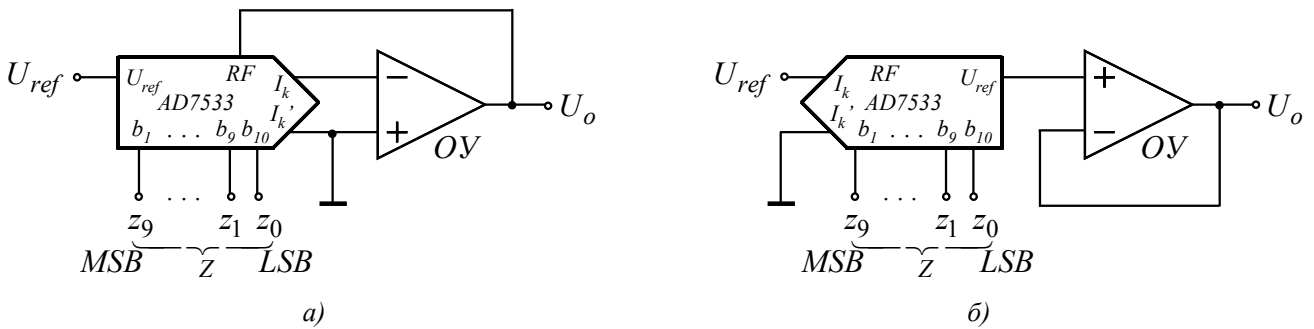
$$(4.12) \quad I_{o,кc} = \frac{U_{ref}}{R} \frac{Z}{16}, \quad I_{LSB} = \frac{U_{ref}}{R} \frac{1}{16}.$$

Типичен представител на този тип ЦАП е 10-разредният AD7533 на Analog Devices (усъвършенствана версия на DAC1020), чиято вътрешна структура е показана на фиг. 13.6.



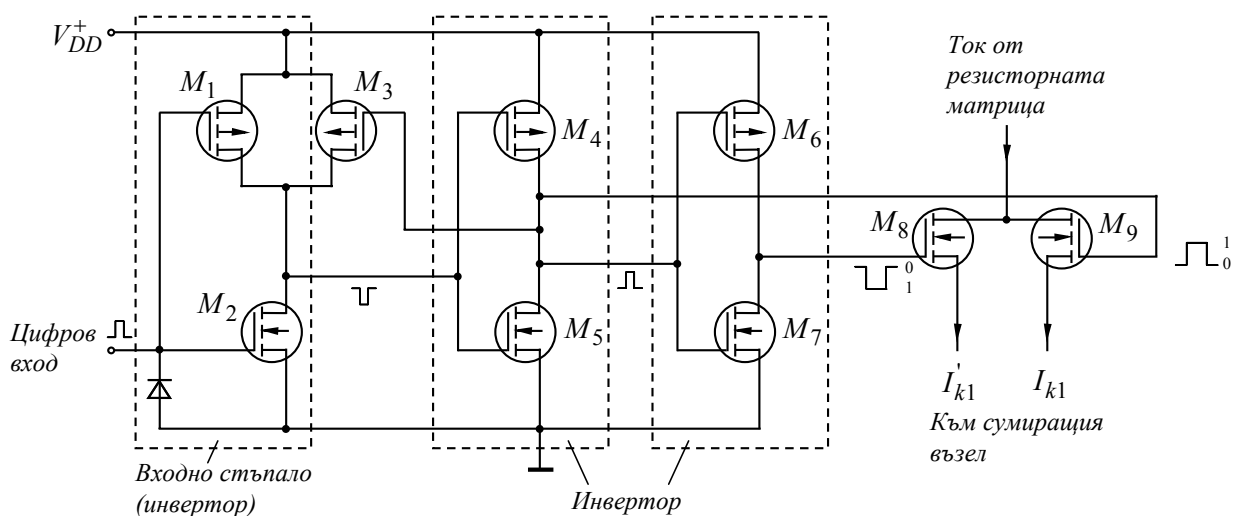
Фиг. 4.4. Вътрешна структура на 10-разредния ЦАП AD7533.

Интегралната схема AD7533 съдържа само резисторната матрица и токовете ключове. В зависимост от необходимостта той може да се включи като ЦАП със сумиране на напреженията или като ЦАП със сумиране на токовете. Допълнително в него е вграден точен резистор със стойност $R_{FB} = R$, който може да бъде ползван от потребителя при свързването на външен операционен усилвател. Основните приложения на ЦАП AD7533 са показани на фиг. 4.12.



Фиг. 4.12. Основни приложения на ЦАП AD7533: а) – ЦАП със сумиране на токовете; б) – ЦАП със сумиране на напреженията, в режим на празен ход на изхода.

На фиг. 4.13 е дадена структурата на един CMOS ключ за ЦАП с резисторна матрица. Входното стъпало на ключа е реализирано с транзисторите M_1 , M_2 и M_3 . Това стъпало осигурява входният импеданс и съвместимостта с логическите нива на TTL и CMOS цифровите схеми, формиращи управляващия цифров код за ЦАП. Входното стъпало управлява два инвертора $M_4 - M_5$ и $M_6 - M_7$, които от своя страна формират управляващите сигнали за електронните ключове, реализирани с M_8 и M_9 . Съпротивлението на ключовете се мащабира по степените на две, като по този начин падът на напрежение върху всеки ключ има една и съща стойност. Например, ключ 1 от фиг. 4.11 е проектиран със съпротивление 20Ω , ключ 2 е със съпротивление 40Ω и т.н. Тогава за опорно напрежение $10V$, токът през първия ключ е $0,5mA$, токът през втория ключ е $0,25mA$ и т.н. При това падът на напрежение върху всеки ключ има стойност $10mV$. По този начин се намалява изходното напрежение на грешката.



Фиг. 4.13. CMOS ключ за ЦАП с резисторна матрица.

4.3. ЦАП за специални приложения

4.3.1. Двуквадрантни ЦАП и ЦАП за обработка на числа със знак

Описаните до тук цифрово-аналогови преобразуватели получават като цифрова стойност числа без знак. Предавателната им характеристика се разполага в един от четирите квадранта на координатната система код – аналогова величина. Такива ЦАП се наричат едноквадрантни.

Ако предавателната характеристика може да се разположи в два квадранта на координатната система, ЦАП се наричат двуквадрантни. Ако цифрово-аналоговият преобразувател може да изработи както положителни, така и отрицателни изходни напрежения, предавателната му характеристика се разполага в два квадранта и той е двуквадрантен. Двуквадрантен е и този ЦАП, при който обработваните от него числа могат да заемат както положителни, така и отрицателни стойности.

Обикновено двоичните числа със знак се представят в допълнителен код $Z_{дон}$, където старшият разред е знаков. Така с n разреда могат да се представят числа в диапазона от -2^{n-1} до $+(2^{n-1} - 1)$. Чрез прибавяне на 2^{n-1} диапазонът се измества от 0 до $+(2^n - 1)$, като числата по-големи от 2^{n-1} се считат за положителни, а числата по-малки от 2^{n-1} – за отрицателни. Средната стойност 2^{n-1} съответства на нулата. Такова представяне на числа със знак чрез положителни числа се нарича “изместен двоичен код”. Например чрез 8 цифрови разреда могат да се представят числа със знак в диапазона от -128 до $+127$. Чрез прибавяне на 128 този диапазон се измества от 0 до 255, като числото 128 съответства на нулата. Прибавянето на 2^{n-1} (за примера 128) може да се извърши просто, само с инвертиране на старшия знаков разред. Съответствието между цифровите и аналоговите величини за някои стойности на цифровия код са дадени в таблица 4.1.

Таблица 4.1. Съответствие между цифровите и аналоговите величини. $U_{LSB} = U_{ref} / 256$

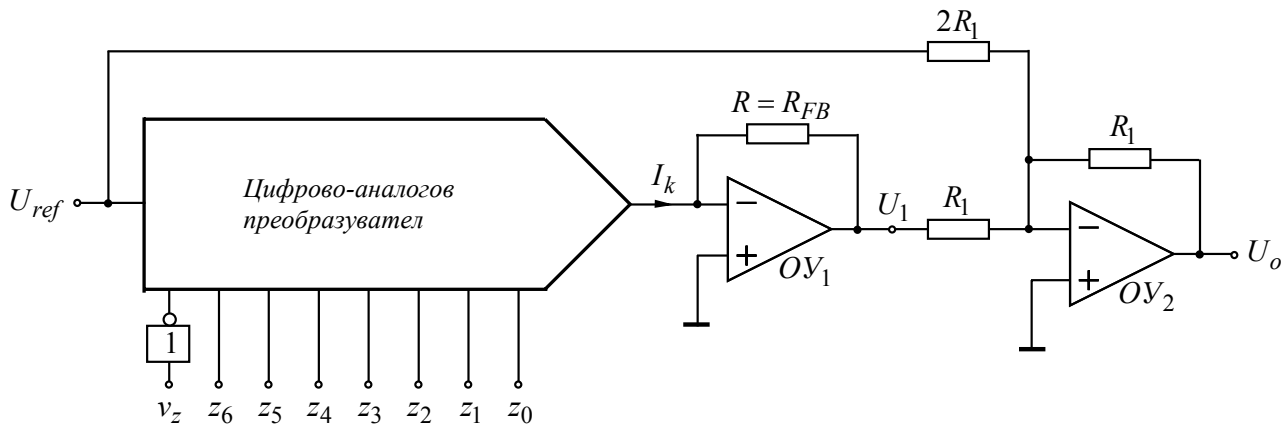
Число	Допълнителен код								Изместен код								Аналог	
	v_z	z_6	z_5	z_4	z_3	z_2	z_1	z_0	z_7	z_6	z_5	z_4	z_3	z_2	z_1	z_0	U_1 / U_{LSB}	U_o / U_{LSB}
127	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-255	127
126	0	1	1	1	1	1	1	0	1	1	1	1	1	1	0	-254	126	
1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	-129	1	
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	-128	0	
-1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	-127	-1	
-127	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	-1	-127	
-128	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-128	

На фиг. 4.14 е показана схема на двуквадрантен 8-разреден ЦАП, преобразуващ числа, представени в допълнителен код.

Получаването на изходно напрежение с правилен знак (двуполярно изходно напрежение) е осъществено като напрежението от ЦАП U_1 се подава към единия вход на двувходов суматор, а на другия вход на суматора се подава опорното напрежение U_{ref} . Тогава за изходното напрежение на суматора се получава

$$(4.13) \quad U_o = -U_1 - \frac{1}{2}U_{ref} = U_{ref} \frac{Z_{don} + 128}{256} - \frac{1}{2}U_{ref} = U_{ref} \frac{Z_{don}}{256},$$

където $128U_{LSB} = \frac{1}{2}U_{ref}$.



$$U_o = U_{ref} \frac{Z_{don}}{256} \quad \text{за} \quad -128 \leq Z_{don} \leq 127$$

Фиг. 4.14. 8-разреден ЦАП за обработка на числа със знак (ЦАП с биполярен изход).

Недостатък на описаната схема е това, че компенсационният ток $U_{ref}/2R_1$ се формира извън ЦАП и поради температурния коефициент на резистора R_1 стабилността е недостатъчна. Формирането на компенсационния ток вътре в ЦАП е възможно само за онези ЦАП, които са с двупозиционни ключове (например AD7533). Такава схема е показана на фиг. 4.15. В нея токът $I_{LSB} = U_{ref}/(256R)$, следователно резисторът R_2 трябва да има стойност:

$$R_2 = \frac{U_{ref}}{I_{LSB}} = 256R.$$

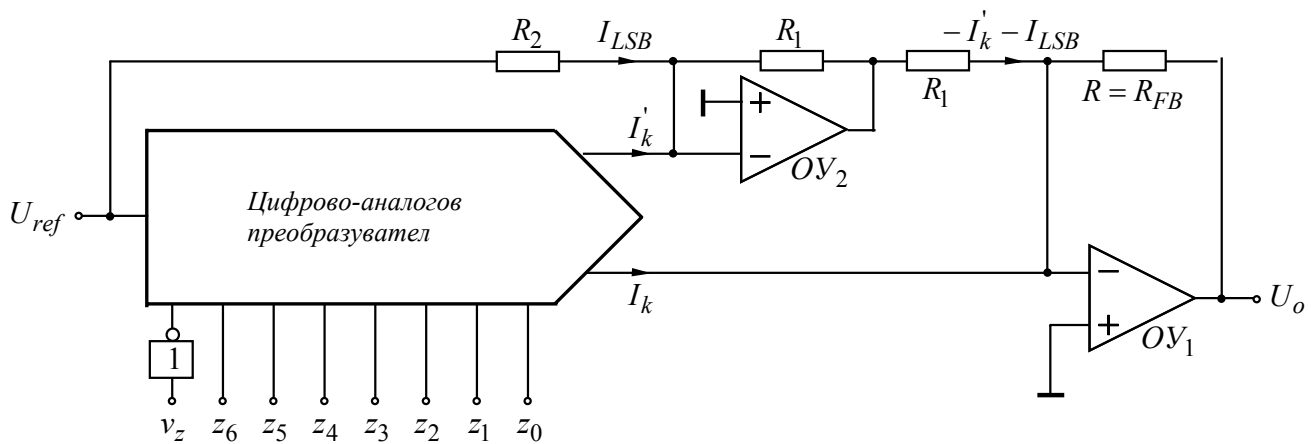
Изходното напрежение на преобразувателя се получава чрез преобразуване на токовете от втория преобразувател, реализиран с OY_1 :

$$(4.14a) \quad U_o = R \left[\underbrace{\frac{U_{ref}}{R} \frac{Z_{don} + 128}{256}}_{I_k} - \underbrace{\frac{U_{ref}}{R} \frac{255 - (Z_{don} + 128)}{256}}_{I_k} - \underbrace{\frac{U_{ref}}{R} \frac{1}{256}}_{I_{LSB}} \right].$$

При условие, че токът I_{LSB} се пренебрегне, формула (4.14a) се опростява и добива вида

$$(4.146) \quad U_o = U_{ref} \frac{Z_{\partial on}}{128}.$$

Сравнението на (4.13) и (4.146) показва, че схемата от фиг. 4.15 се характеризира с двойно по-голям динамичен диапазон на изходното напрежение. За нея напрежението U_o се изменя от $-U_{ref}$ до $+U_{ref}$ при изменение на двоичното число $Z_{\partial on}$ от -128 до 127 .



$$U_o = U_{ref} \frac{Z_{\partial on}}{128} \quad \text{за} \quad -128 \leq Z_{\partial on} \leq 127$$

Фиг. 4.15. 8-разреден ЦАП за обработка на числа със знак с вътрешно формиране на компенсационния ток.

4.3.2. Четириквадрантни и умножителни ЦАП

Четириквадрантни ЦАП са тези, при които предавателната характеристика може да се разполага и в четирите квадранта на координатната система цифров код – аналогова величина. Затова е необходимо, освен възможността за обработка на числа със знак, ЦАП да е способен да изработва както положителни, така и отрицателни изходни напрежения. Показаният на фиг. 4.11 AD7533 е четириквадрантен ЦАП, тъй като може да работи с опорни напрежения с произволна полярност и съответно да изработва разнополярна изходна величина. С допълнителни елементи едноквадрантните и двуквадрантните ЦАП също могат да се преобразуват в четириквадрантни – вж. фиг. 4.14 и фиг. 4.15.

Ако се разгледат внимателно предавателните функции на показаните тук цифрово-аналогови преобразуватели, които се подчиняват на общото уравнение $U_o = U_{LSB}Z$, може да се забележи, че напрежението U_{LSB} представлява произведение от някаква константа (означена в случая с M) и опорното напрежение U_{ref} , т.е. $U_{LSB} = MU_{ref}$. Така общата предавателна функция може да бъде записана във вида $U_o = Z.M.U_{ref}$. Ако вместо опорно напрежение се подаде произволно входно напрежение U_i , то изходното напрежение $U_o = Z.M.U_i$ ще представлява, с коефициент на пропорционалност M , произведение от входното напрежение U_i по число Z .

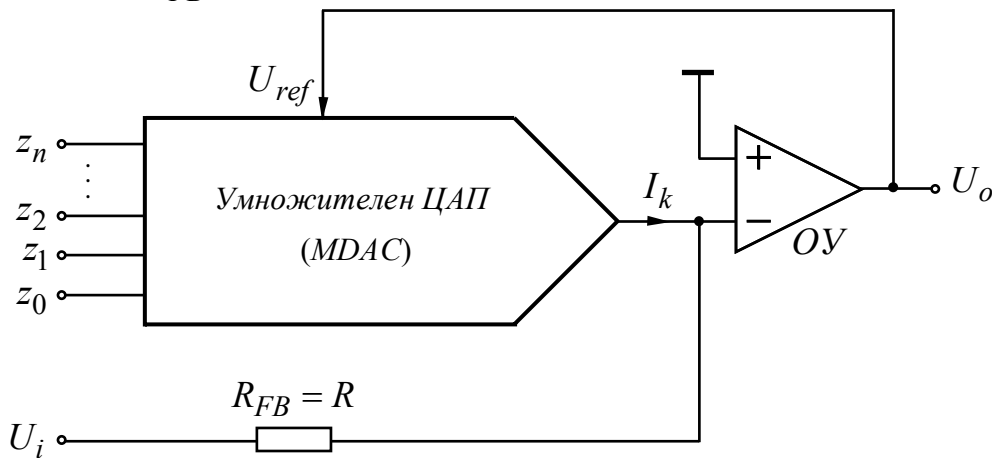
Всички ЦАП, за които може да се изкаже това твърдение, се наричат *умножителни* (Multiplying Digital-to-Analog Converters – MDACs). От определението се разбира, че всички четириквартни ЦАП са умножителни. Те изпълняват следните две условия:

- имат вход за включване на външно опорно напрежение;
- могат да работят с опорно напрежение с произволна полярност.

4.3.3. ЦАП за делене на напрежение

Едно от приложенията на четириквартните ЦАП е за реализация на електронни схеми за делене на входно аналогово напрежение на зададено число. Примерна схема за делене на напрежение е показана на фиг. 4.16. При нея във веригата на ООБ на ОУ е свързан четириквартен ЦАП. Обратната връзка се затваря като изходното напрежение на схемата се подава към входа на опорното напрежение на ЦАП, т.е. $U_{ref} = U_o$. При условие, че ОУ се приеме за идеален, изходният ток I_k от ЦАП е равен на тока във входната верига на схемата, т.е.

$$(4.15a) \quad I_k = -\frac{U_i}{R_{FB}}$$



$$U_o = -U_i \frac{R}{R_{FB}} \frac{Z_{\max} + 1}{Z}$$

Фиг. 4.16. ЦАП за делене на напрежение.

От своя страна за изходният ток на ЦАП се намира

$$(4.15б) \quad I_k = \frac{U_{ref}}{R} \frac{Z}{Z_{\max} + 1}$$

Въз основа на горните формули за изходното напрежение на схемата се намира

$$(4.16) \quad U_o = U_{ref} = I_k R \frac{Z_{\max} + 1}{Z} = -U_i \frac{R}{R_{FB}} \frac{Z_{\max} + 1}{Z} = -U_i \frac{Z_{\max} + 1}{Z}$$

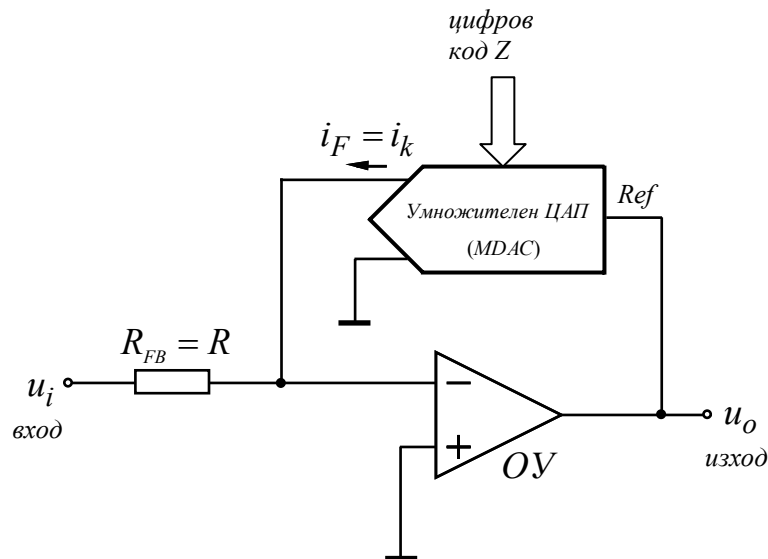
4.3.4. Програмируеми усилватели с умножителни ЦАП

Основната схема на програмируем усилвател с умножителен ЦАП е представена на фиг. 4.17а. В нея ОУ е обхванат от паралелна ООВ по напрежение чрез ЦАП с токов изход (вж. фиг. 4.11). Управляващият цифров код Z се подава към адресните входове на ЦАП. В зависимост от стойността на кода Z се получава ток $i_F = i_k$ с различна големина (като $i_k = \frac{u_o}{R} \frac{Z}{Z_{\max} + 1}$). В резултат

на това се променя дълбочината на ООВ, а оттам и стойността на коефициента на усилване по напрежение на схемата.

При условие, че ОУ и ЦАП се приемат за идеални елементи, коефициентът на усилване по напрежение е

$$(4.17) \quad A_U = \frac{u_o}{u_i} \approx -\frac{Z_{\max} + 1}{Z}.$$



Фиг. 4.17а. Програмируем усилвател с умножителен ЦАП.

В случай, че се избере 8-битов ЦАП коефициентът на усилване по напрежение на схемата може да варира от единица (при $Z_{\max} = 255$) до 256 (при $Z = 1$). При $Z = 0$ ОУ остава без ООВ и в усилвателната схема може да настъпи насищане по напрежение.

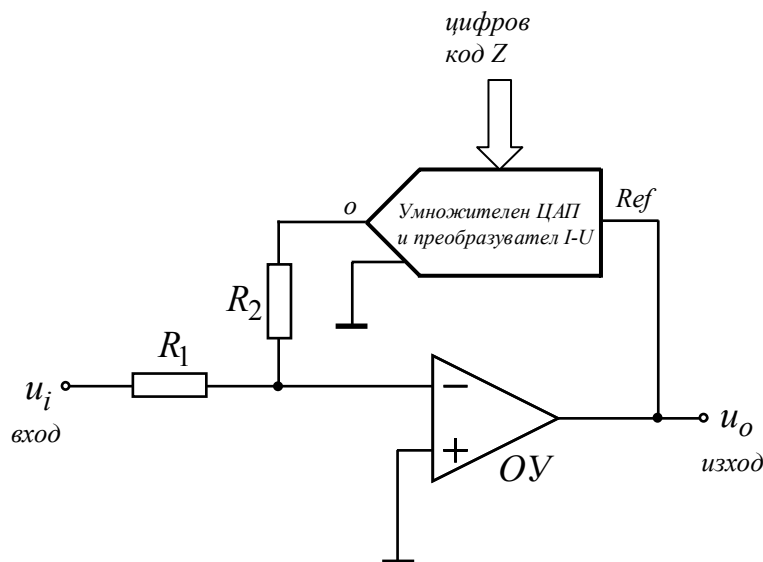
Коефициентът на усилване по напрежение на схемата за реален умножителен ЦАП има вида

$$(4.18) \quad A'_U = \frac{u_o}{u_i} \approx -\frac{Z_{\max} + 1}{(Z + \varepsilon_z)(1 + \delta_R)},$$

където ε_z е грешката от установяване на цифровия код или $\pm 1/2LSB$, $\delta_R = \Delta R/R$ е стойността на относителният толеранс на резисторите в матрицата R-2R на ЦАП.

Например, ако грешката от нелинейност е 0,2% за целия обхват или $\pm 1/2LSB$, тогава при коефициент на усилване 16 цифровият код ще варира от 15,5 до 16,5. Това означава, че реалната стойност на коефициента на усилване съгласно (4.18) ще варира от $|A_{U1}| = 256/15,5 = 16,51$ до $|A_{U2}| = 256/16,5 = 15,51$, като грешката от установяване ще бъде в границите $\pm 3\%$. За по-големите коефициенти на усилване грешката ще има съответно по-големи стойности.

Когато трябва да се получат коефициенти на усилване със стойности различни от тези, дефинирани с формула (4.18) може да се използва схемата от фиг. 4.17б. В нея ОУ е обхванат от паралелна ООВ чрез резисторния делител $R_1 - R_2$ и ЦАП с напрежителен изход (вж. фиг. 4.8). Отношението на резисторите R_1/R_2 формира мащабен коефициент на схемата, който може да бъде със стойности по-малки или по-големи от единица.



Фиг. 4.17б. Програмируем усилвател с умножителен ЦАП и преобразувател на ток в напрежение.

При условие, че ОУ и ЦАП се приемат за идеални коефициентът на усилване на схемата се намира

$$(4.19) \quad A_U = \frac{u_o}{u_i} \approx -\frac{R_2}{R_1} \frac{Z_{\max} + 1}{Z}$$

4.3.5. Променливи съпротивления с умножителни ЦАП

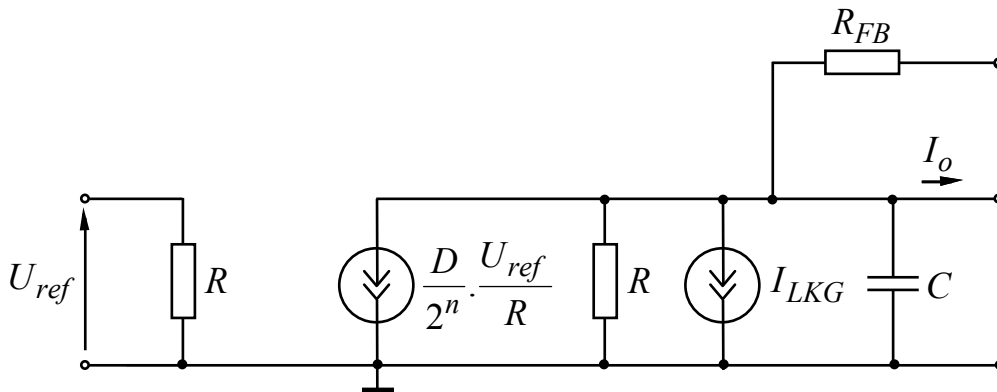
Въз основа на принципната схема от фиг. 4.11 се получава еквивалентната електрическа схема на четириквadranten двоичен ЦАП със сумиране на токовете, показана на фиг. 4.18а. В нея изходната верига е представена с зависим източник на ток, управляван от опорното напрежение и десетичната стойност

на цифровия код D . Освен това паралелно на зависимия източник на ток е свързан един независим източник I_{LKG} , който моделира сумарната стойност на тока на утечка на отворен ключ. Изходният импеданс е моделиран в схемата с резистора R и кондензатора C . Еквивалентното входно съпротивление се определя от резистора R .

От анализа на схемата за еквивалентния изходен ток се получава:

$$(2.19) \quad I_o = \frac{D}{2^n} \cdot \frac{U_{ref}}{R} + I_{LKG},$$

където n е разредността на ЦАП.



Фиг. 4.18а. Еквивалентна електрическа схема на ЦАП с R-2R матрица.

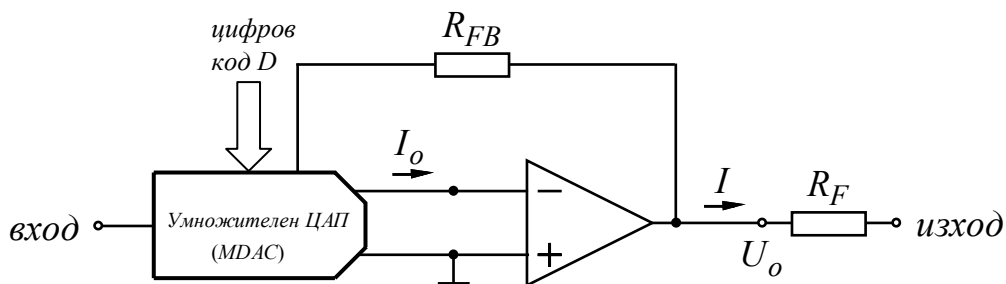
При условие, че $I_{LKG} \rightarrow 0$, формула (2.19) се опростява и добива вида:

$$(2.20) \quad I_o = \frac{D}{2^n} \cdot \frac{U_{ref}}{R}.$$

Тогава за проходното съпротивление на схемата от фиг. 4.18а се намира

$$(2.21) \quad R_{DAC} = \frac{U_{ref}}{I_o} = \frac{2^n}{D} R.$$

От горната формула се вижда, че при изменение на цифров код D от 1 до $2^n - 1$ проходното съпротивление R_{DAC} се променя от $2^n R$ до $\frac{2^n}{2^n - 1} R$.



Фиг. 4.18б. Примерна схема на променливо съпротивление на базата на ЦАП с допълнителен преобразувател на ток в напрежение и резистор R_F .

Когато променливо съпротивление на базата на ЦАП с R-2R матрица се свързва във верига на ООВ на ОУ, например при реализация на програмируем интегратор за управляем активен филтър, стъпално на изхода на ЦАП се включват преобразувател на ток в напрежение и допълнителен резистор. Примерна схема на такова променливо съпротивление е показана на фиг. 4.18б. Еквивалентният изходен ток има вида:

$$(2.22) \quad I = \frac{U_o}{R_F} = \frac{R_{FB}}{R} \cdot \frac{D}{2^n} \cdot \frac{U_{ref}}{R_F}.$$

При условие, че $R_{FB} = R$ за тока се получава:

$$(2.23) \quad I = \frac{D}{2^n} \cdot \frac{U_{ref}}{R_F}.$$

Тогава за проходното съпротивление на схемата от фиг. 4.18б се намира

$$(2.21) \quad R_{DAC} = \frac{2^n}{D} R_F.$$

Примерни умножителни ЦАП, подходящи за реализация на променливи съпротивления са AD5425, AD7533, AD7547, AD7943, AD7534, AD5554 и AD5547.

4.3.6. Специализирани интегрални схеми на ЦАП

Анализът на достъпните литературни източници и информационни материали на производители на аналогови и смесени (аналогово-цифрови) интегрални схеми показва изключително голямо разнообразие от ЦАП с различни параметри и област на приложение. В таблица 4.2 са дадени някои често използвани монолитни интегрални схеми на ЦАП. Те са групирани според разредността n . Подреждането във всяка група е по азбучен ред в зависимост от производителя. При това някои от ЦАП са едноканални, а други съдържат 2, 4 или 8 преобразувателя на един чип. Освен това за някои от ЦАП управляващият цифров код се подава в сериен вид (1 bit = serial), а за други се използва паралелен вход.

Таблица 4.2. Цифрово-аналогови преобразуватели.

Тип ИС	Производител	Канали	Време на установяване	Захранващо напрежение	Вътрешен опорен източник	Вход	Изход
8-разредни							
AD5300	Analog D.	1	4μs	+ 3,3V	–	1 bit	Rail ⁽¹⁾
AD7303	Analog D.	2	2μs	+ 3,3V	–	1 bit	Rail
AD7305	Analog D.	4	1μs	+ 3,3V	–	8 bit	Rail
MAX 517	Maxim	1	7μs	+ 5V	–	1 bit	Rail
MAX 548	Maxim	2	5μs	+ 3,3V	–	1 bit	Rail
TLV5621	Texas I.	4	10μs	+ 3,3V	–	1 bit	Напрежение
TLV 5628	Texas I.	8	10μs	+ 3,3V	–	1 bit	Напрежение
12-разредни							
AD5320	Analog D.	1	10μs	+ 3,3V	–	1 bit	Rail

AD7390	Analog D.	1	70 μ s	+ 3,3V	–	1 bit	Rail
AD7392	Analog D.	1	70 μ s	+ 3,3V	–	12 bit	Rail
AD7394	Analog D.	2	70 μ s	+ 3,3V	–	1 bit	Rail
DAC7615	Burr B.	4	10 μ s	+ 5V	–	12 bit	Напрежение
DAC7625	Burr B.	4	10 μ s	+ 5V	–	1 bit	Напрежение
LTC 1453	Lin. Tech.	1	20 μ s	+ 3,3V	1,2V	1 bit	Rail
LTC 1454	Lin. Tech.	2	20 μ s	+ 3,3V	1,2V	1 bit	Rail
LTC 1458	Lin. Tech.	4	20 μ s	+ 3,3V	1,2V	1 bit	Rail
MAX 530	Maxim	1	30 μ s	+ 5V	2V	12 bit	Напрежение
MAX 531	Maxim	1	30 μ s	+ 5V	2V	1 bit	Напрежение
MAX 527	Maxim	4	3 μ s	+ 5V	–	12 bit	Напрежение
MAX 537	Maxim	4	3 μ s	+ 5V	–	1 bit	Напрежение
MAX 5253	Maxim	4	20 μ s	+ 3,3V	–	1 bit	Напрежение
TLC5616	Texas I.	1	3 μ s	+ 5V	–	1 bit	Напрежение
TLV 5613	Texas I.	1	1 μ s	+ 3,3V	–	8 bit	Напрежение
TLV 5614	Texas I.	4	3 μ s	+ 3,3V	–	1 bit	Напрежение
16-разредни							
AD1856	Analog D.	1	2 μ s	+ 5V	Вътрешен	1 bit	Напрежение
DAC716	Burr B.	1	10 μ s	+ 15V	10V	1 bit	Напрежение
LTC1650	Lin. Tech.	1	4 μ s	+ 5V	–	1 bit	Напрежение
MAX 541	Maxim	1	1 μ s	+ 5V	–	1 bit	Напрежение

Забележка: ⁽¹⁾ Изход: Rail = Rail-to-Rail.

4.4. Основни принципи за изграждане на аналогово-цифрови преобразуватели

Предназначението на аналогово-цифровите преобразуватели е да извършват преобразуване на входно напрежение в пропорционално на него двоично число. Съществува голямо разнообразие от АЦП, при това класификацията им може да бъде извършена по редица признаци: метод за изграждане, разредност, работна честотна лента, технология за реализация, брой канали (брой АЦП върху една ИС), приложна област и др. Според метода на изграждане най-общо се различават

- паралелни АЦП (word at a time),
- тегловни АЦП (digit at a time) и
- преброителни АЦП (level at a time).

При паралелния метод входното напрежение едновременно се сравнява с $2^n - 1$ напрежения и се определя между кои две нива то се намира. Резултатът се получава на един такт. По този метод се изграждат най-бързите АЦП с време на преобразуване до няколко наносекунди, но със сравнително ниска разредност n и голям брой активни и пасивни елементи.

При тегловния метод резултатът не може да се получи на един такт. При тях на всеки такт се определя един разред от двоичното число. Първоначално се определя стойността на най-старшия разред, като входното напрежение се сравнява с опорното напрежение. Ако входното напрежение е по-голямо от опорното, най-старшият разред получава стойност „1” и от входното напрежение се

получава опорното напрежение. Следва установяване в единица на следващия разред като се премерва неговото тегло и т.н. Резултатът се получава на толкова такта, колкото е разредността на двоичното число и колкото са опорните напрежения. По този метод се реализират по-голяма част от АЦП с разредност 10 ... 12 бита и време за преобразуване до 10 μ s .

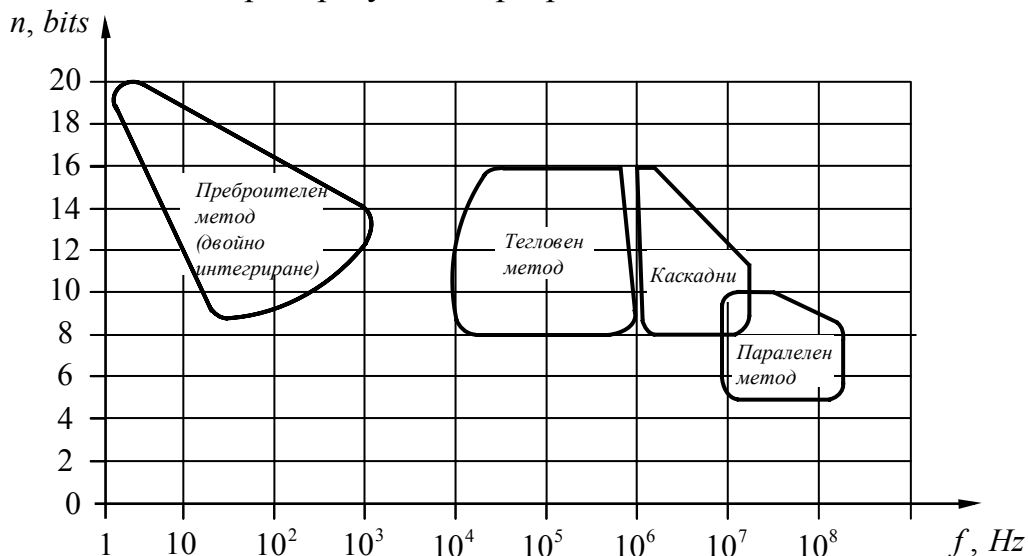
Най-простият метод е преброителният метод за преобразуване. При него двоичното число се получава чрез преброяването на количеството напрежения U_{LSB} , съдържащи се във входното напрежение. Резултатът се получава за максимално 2^n такта, когато трябва да се получи максимално число 2^n съответстващо на максималното входно напрежение от работния обхват. По този метод се изграждат сравнително бавни, но високоразредни АЦП.

В таблица 4.3 са дадени хай-важните характеристики на всеки от методите за изграждане. На практика често се използва комбинация от различните методи.

Таблица 4.3. Сравнение на различните методи за аналогово-цифрово преобразуване.

Метод	Брой тактове за преобразуване	Брой на опорните напрежения	Забележка
Паралелен метод	1	$2^n - 1$	малко време за преобразуване и голям брой елементи
Тегловен метод	n	n	
Преброителен метод	до 2^n	1	сравнително бавни, но високоразредни

На фиг. 4.19 са илюстрирани възможностите на АЦП по отношение на типичната честота на преобразуване и разредността n .



Фиг. 4.19. Честота на преобразуване и разредност на АЦП.

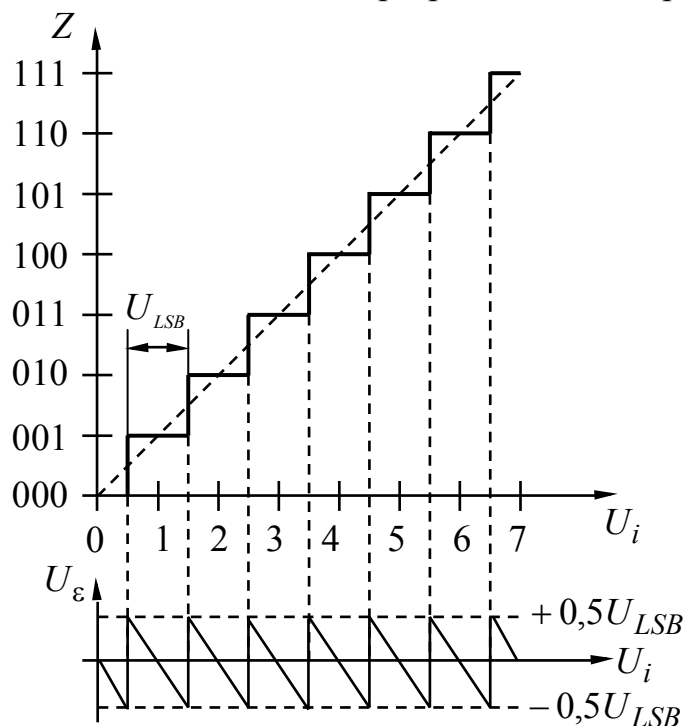
Освен посочените по-горе методи съществува и отделен клас АЦП, които

работят с междинно преобразуване на входното напрежение в параметър на друг сигнал. Например преобразуване на напрежение в честота, коефициент на запълване, фаза и др. След което при тези АЦП се извършва измерване на междинния параметър.

4.5. Предавателна характеристика на аналогово-цифрови преобразуватели и грешки

Типична реална и идеализирана предавателна характеристика на 3-битов АЦП е представена на фиг. 4.20. Първото и последното стъпало в динамичния диапазон са двойно по-малки от останалите. Некомпенсируемите грешки при АЦП са същите както при ЦАП (вж. т. 4.1). Допълнително при АЦП възникват „грешка от квантоване” и „апертурна грешка”.

Поради ограничената разредност на числото при аналогово-цифровото преобразуване възниква систематична грешка, наречена „грешка от квантоване” (грешка от дискретизация). На фиг. 4.20 са показани предавателна характеристика на аналогово-цифров преобразувател и грешката от квантоване U_ε . Както се вижда, грешката от квантоване се простира в рамките на $\pm 0,5U_{LSB}$. Тази грешка може да се разглежда и като въвеждане на допълнителен шум в информацията и влошаване на отношението сигнал/шум. От литературните източници е известно, че при синусоидална форма на преобразуваното напрежение отношението сигнал/шум SN от АЦП може да се опише с уравнението $SN[dB] = n \cdot 6dB + 1,8dB \approx n \cdot 6dB$, където n е разредността на преобразувателя.

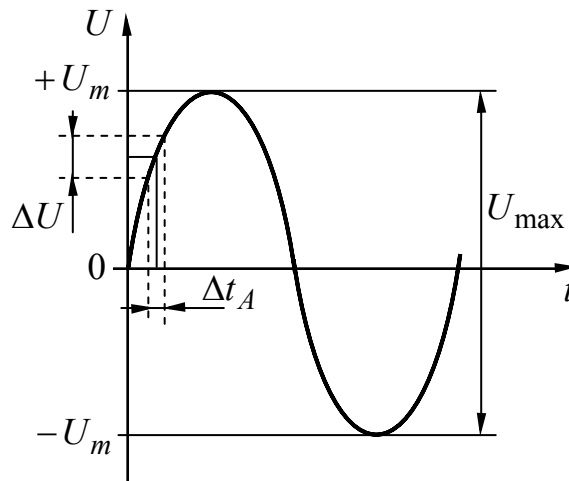


Фиг. 4.20. Предавателна характеристика на АЦП и грешка от квантоване.

При работата на аналогово-цифровите преобразуватели възниква и една друга грешка, наречена апертурна грешка (Apertur-Jitter), която има динамичен характер. Тя се обуславя от факта, че АЦП притежават ограничено време на преобразуване t_A , през което входното напрежение може да се промени. При започване на преобразуването входното напрежение ще има една стойност, а при завършването – друга. Тогава измерената цифрова стойност ще бъде неопределена по време в рамките на времето на преобразуване, т.е. ще съответства на моментна стойност на входното напрежение, намираща се между началото и края на аналогово-цифровото преобразуване.

Времето на преобразуване е изключително важен параметър на АЦП. Ако се приеме, че входният сигнал е синусоидален, с максимална честота f_{\max} и се развива в целия диапазон на аналогово-цифровото преобразуване, то $U_{\max} = 2U_m$ (фиг. 4.21). Сигналят има най-голяма скорост при преминаването през нулата: $\left. \frac{dU}{dt} \right|_{t=0} = U_m \omega_{\max}$ ($\omega_{\max} = 2\pi f_{\max}$). Оттук промяната на входното напрежение е $\Delta U = U_m \omega_{\max} \Delta t_A$. За съхраняване разредността на АЦП тази промяна не трябва да бъде по-голяма от напрежението U_{LSB} , т.е.

$$(4.20) \quad \Delta t_A < \frac{U_{LSB}}{U_m \omega_{\max}} = \frac{U_{LSB}}{\frac{1}{2} U_{\max} \omega_{\max}}.$$



Фиг. 4.21. Възникване на апертурна грешка в АЦП.

Това уравнение задава минималното необходимо време на преобразуване, което трябва да притежава използваният аналогово-цифров преобразувател, за да може да работи с необходимата точност при честотата f_{\max} на сигнала. Условието трудно се изпълнява при високи честоти. Например, нека е необходимо 8-разредно преобразуване $U_{LSB}/U_{\max} = 1/255$ при максимална честота на сигнала 10MHz . От формула (4.20) се изчислява, че времето на преобразуване на използвания АЦП трябва да е по-малко от 125ps – едно невъзможно изискване за съществуващите АЦП.

Решение на този проблем е използването на аналогова памет S/H (Sample/Hold – проба и задържане) преди АЦП, която да задържи (или запомни) дадена моментна стойност на сигнала, докато трае нейното преобразуване. В този случай необходимото максимално време на преобразуване на АЦП се определя от теоремата за дискретизацията (теорема на Найкуист или Котелников). Тя изисква честотата, с която се извършва преобразуването, да бъде най-малко два пъти по-висока от f_{\max} . В конкретния пример периодът на дискретизация съгласно тази теорема ще бъде $50ns$, т.е. при използването на схема S/H употребяваният АЦП трябва да има време на преобразуване по-малко от $50ns$, което е около 400 пъти по-голямо от необходимото време на преобразуване без използване на схема S/H .

4.6. Схемотехника на аналогово-цифрови преобразуватели

4.6.1. Паралелен метод за аналогово-цифрово преобразуване

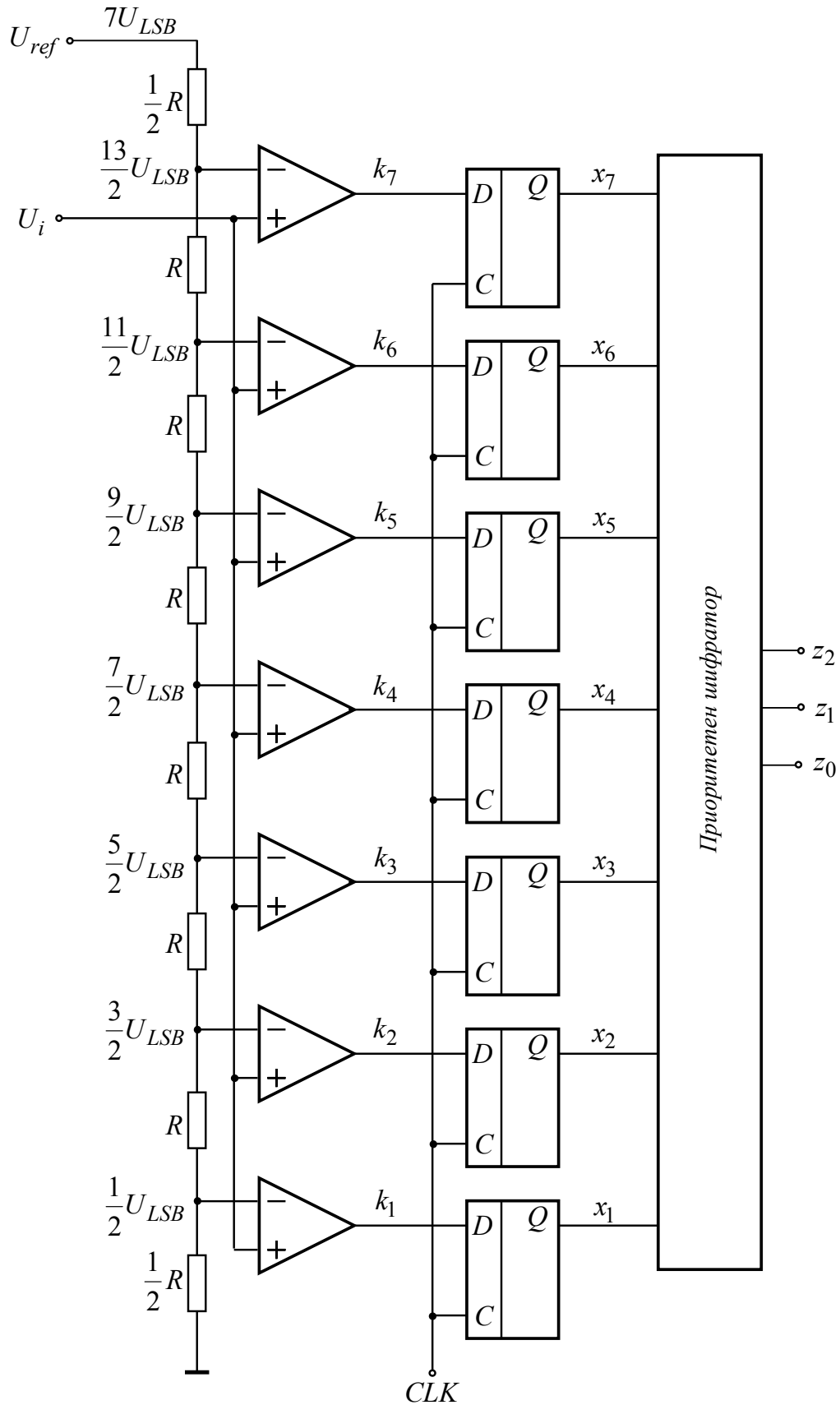
Паралелният аналогово-цифров преобразувател (Flash – Converter) изисква изграждането на $2^n - 1$ опорни напрежения, съответстващи на стъпалата в предавателната характеристика. Най-лесно това се постига с един опорен източник на напрежение и резисторен делител. Тогава в междинните точки на делителя се получават необходимите $2^n - 1$ опорни напрежения.

Така получените опорни напрежения се сравняват с входното напрежение чрез $2^n - 1$ на брой аналогови компаратори. Накрая изходните показания на компараторите се преобразуват в необходимия цифров код. Съществуват схемни решения, при които за възприемане на препълване се поставя и допълнителен компаратор.

На фиг. 4.22 е показан 3-разреден паралелен АЦП. Тъй като първото стъпало в предавателната характеристика е $0,5U_{LSB}$, първият резистор е $0,5R$. Последният резистор е $0,5R$ поради факта, че последното стъпало в предавателната характеристика на АЦП е също $0,5U_{LSB}$ и за да се работи с опорно напрежение, $U_{ref} = (2^n - 1)U_{LSB}$. При подаване на входно напрежение U_i сработват онези компаратори, чиито опорни напрежения са по-малки от U_i .

Изходите на компараторите дават числото в термометричен код (вж. таблица 4.4). Преобразуването в двоичен код се извършва с приоритетен шифратор. При използването на компаратори от усилвателен тип преди шифратора се поставят запомнящи тригери, тактувани по фронт на тактовия сигнал CLK , които стробират едновременно изходната информация от компараторите. Това се налага поради неедновременното установяване на компараторите и произтичащата от това опасност да се изработи грешна информация на изхода за времето на преходния процес. Запомнящи тригери не се поставят, ако се използват компаратори от тригерен тип, притежаващи допълнителен стробиращ

вход. Приоритетността на шифратора осигурява преобразуване на изходната информация според най-старшия сработил компаратор.



Фиг. 4.22. 3-разреден паралелен аналогово-цифров преобразувател.

Например, при подаване на входно напрежение U_i в диапазона от $2,5U_{LSB}$ до $3,5U_{LSB}$, то компаратори k_1 , k_2 и k_3 се установяват в логическа „1”, а компаратори от k_4 до k_7 остават в състояние „0”. По фронта на тактовия сигнал CLK тези състояния постъпват на входа на приоритетния шифратор и в изхода му се получава число 3.

Предавателната функция на АЦП, показана на фиг. 4.22 се определя от следния израз

$$(4.21) \quad Z = \frac{U_i}{U_{LSB}} = 7 \frac{U_i}{U_{ref}} = Z_{max} \frac{U_i}{U_{ref}},$$

където $U_{LSB} = \frac{U_{ref}}{7}$, а $Z_{max} = 7$.

Таблица 4.4. Състояния на паралелния АЦП (фиг. 4.22) в зависимост от входното напрежение.

Входно напрежение	Състояние на компараторите							Двоично число			Десетичен еквивалент
	k_7	k_6	k_5	k_4	k_3	k_2	k_1	z_2	z_1	z_0	
$U_i < 0,5U_{LSB}$	0	0	0	0	0	0	0	0	0	0	0
$0,5U_{LSB} < U_i < 1,5U_{LSB}$	0	0	0	0	0	0	1	0	0	1	1
$1,5U_{LSB} < U_i < 2,5U_{LSB}$	0	0	0	0	0	1	1	0	1	0	2
$2,5U_{LSB} < U_i < 3,5U_{LSB}$	0	0	0	0	1	1	1	0	1	1	3
$3,5U_{LSB} < U_i < 4,5U_{LSB}$	0	0	0	1	1	1	1	1	0	0	4
$4,5U_{LSB} < U_i < 5,5U_{LSB}$	0	0	1	1	1	1	1	1	0	1	5
$5,5U_{LSB} < U_i < 6,5U_{LSB}$	0	1	1	1	1	1	1	1	1	0	6
$6,5U_{LSB} < U_i$	1	1	1	1	1	1	1	1	1	1	7

В таблица 4.5 са показани някои широко използвани 8- и 10- разредни паралелни аналогови цифрови преобразуватели на *Analog Devices*, *Datel*, *Maxim* и др.

Таблица 4.5. Паралелни аналогово-цифрови преобразуватели.

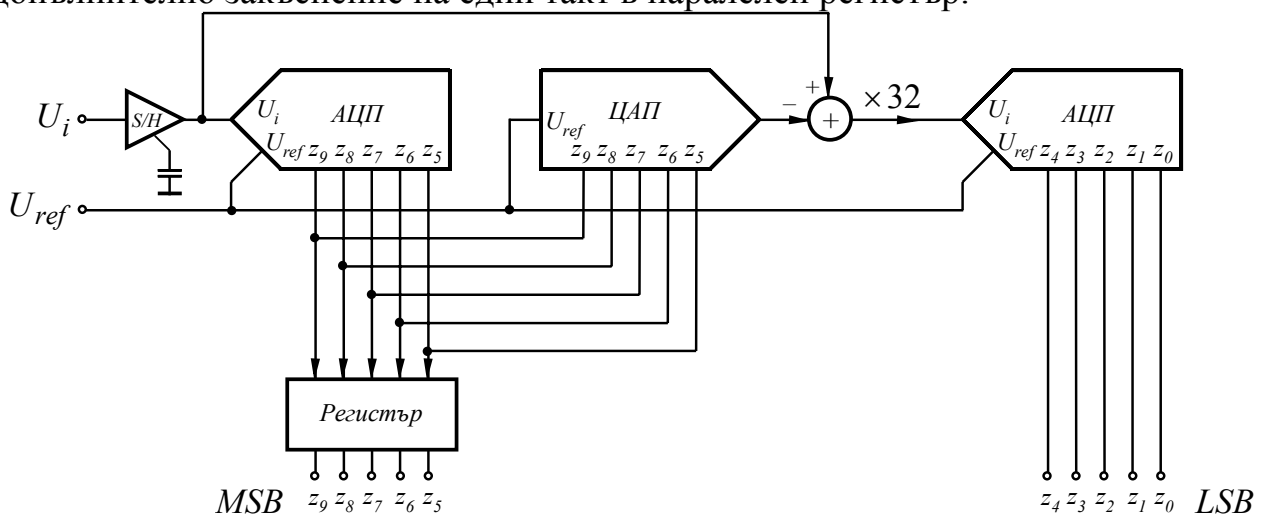
Тип ИС	Производител	Честота на преобразуване	Захранващо напрежение	Мощност	Входен капацитет	Apertur Jitter	Логическа фамилия
8-разредни							
AD9057	Analog D.	120 MHz	+5 V	200 mW	2 pF	5 ps	CMOS
AD9283	Analog D.	475 MHz	+3,3 V	80 mW	2 pF	5 ps	CMOS
HI 3026	Harris	140 MHz	+ 5V	360 mW	21 pF	10 ps	TTL
MAX 104	Maxim	1000 MHz	±5V	3500 mW			ECL
MAX 1114	Maxim	150 MHz	-5,2 V	2200 mW	10 pF	5 ps	ECL
MAX 1150	Maxim	500 MHz	-5,2 V	5500 mW	15 pF	2 ps	ECL
MAX 1151	Maxim	750 MHz	-5,2 V	5500 mW	15 pF	2 ps	ECL
TDA8718	Philips	600 MHz	-5,2 V	990 mW	5 pF		ECL
TDA8793	Philips	100 MHz	+ 3,3V	150 mW	2 pF		CMOS
CXA 1276	Sony	500 MHz	-5,2 V	2800 mW			ECL

SPT7710	SPT	150 MHz	-5,2 V	2200 mW	10 pF	5 ps	ECL
SPT7750	SPT	500 MHz	-5,2 V	5500 mW	15pF	2 ps	ECL
SPT7760	SPT	1000 MHz	-5,2 V	5500 mW	15 pF		ECL
10-разредни							
AD 9020	Analog D.	60 MHz	±5V	2800 mW	45 pF	2 ps	TTL
AD 9060	Analog D.	75 MHz	±5V	2800 mW	45 pF	5 ps	ECL
TDA8762	Philips	80 MHz	+ 5V	380 mW	5 pF	5 ps	CMOS

4.6.2. Модифициран паралелен метод за аналогово-цифрово преобразуване

Недостатък на паралелния метод е необходимостта от голям брой компаратори в АЦП, чийто брой се увеличава експоненциално с увеличаване на дължината на думата. Така например за 10-разреден преобразувател са необходими $2^{10} - 1 = 1023$ компаратора. Техният брой може да се намали чрез комбиниране на паралелния и тегловния метод за преобразуване.

Пример на 10-разреден модифициран паралелен АЦП е показан на фиг. 4.23. Първото преобразуване се извършва с 5-разреден паралелен АЦП, като се получават старшите 5 разряда на числото. Резултатът представлява грубо квантоване на входното напрежение. С помощта на 5-разреден ЦАП се извършва обратно преобразуване на цифровата стойност в аналогово напрежение, което се изважда от входното напрежение. Резултантната величина е остатъчно напрежение в рамките на един дискрет на първия АЦП. Остатъчното напрежение се усилва 32 пъти и се запомня в аналогова памет (схема следене-запомняне – S/H). След това то се подлага на второ аналогово-цифрово преобразуване за получаване на младшите 5 разряда на числото. Докато трае преобразуването на младшите разреди за поредния отчет, в първия АЦП се извършва преобразуване на старшите разреди за следващия отчет. Окончателният общ резултат за един отчет закъснява на един такт, но честотата на дискретизация остава същата както и при паралелния метод. За да се компенсира закъснението на младшите разреди, старшите разреди се подлагат на допълнително закъснение на един такт в паралелен регистър.



Фиг. 4.23. 10-разреден паралелно-тегловен аналогово-цифров преобразувател от конвейерен тип.

Необходимо условие за правилно извършване на преобразуването е първият АЦП и ЦАП да имат точността на 10-разредни преобразуватели (разредността на цялото преобразуване). Докато трае второто преобразуване, входното напрежение трябва да остава непроменено, което обуславя необходимостта от наличието на аналогова памет във входа. Всъщност модифицираният паралелен метод извършва „претегляне” на разредите по групи спрямо входното напрежение, затова този той се нарича още „конвейерен” или „паралелно-тегловен” метод на преобразуване (Half-Flash - Converter, Two-Step Flash-Converter, Pipeline Converter).

В таблица 4.6 са показани някои широко използвани 8-, 10-, 12- и 16-разредни паралелно-тегловни аналогово-цифрови преобразуватели от конвейерен тип на *Analog Devices*, *National*, *Maxim* и др.

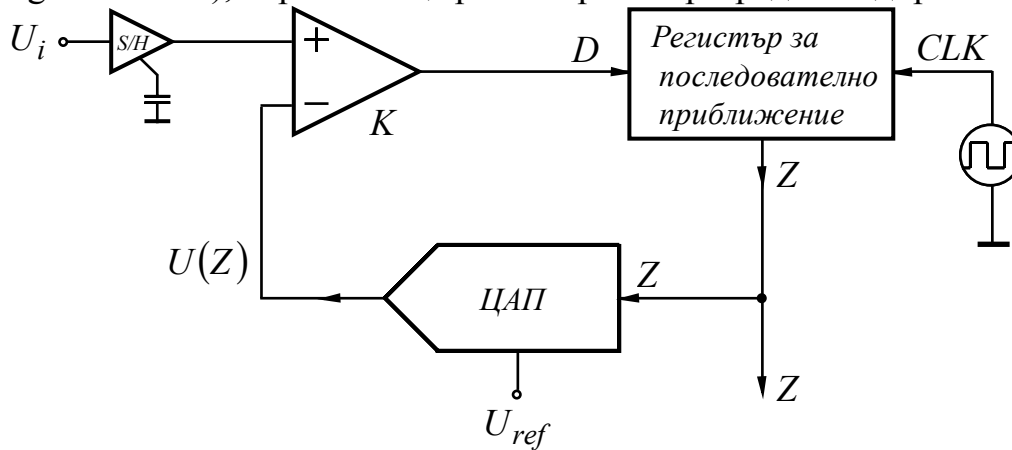
Таблица 4.6. Паралелно-тегловни АЦП от конвейерен тип.

Тип ИС	Производител	Честота на преобразуване тах	Захранващо напрежение	Мощност	Опорно напрежение	Логическа фамилия
8-разредни						
AD9289	Analog D.	400 MHz	+ 3,3V	550 mW	+ 0,5V	BiCMOS
AD9281	Analog D.	245 MHz	+ 3,3V	70 mW	+ 1V	BiCMOS
AD9280	Analog D.	300 MHz	+ 3,3V	100 mW	+ 1V	BiCMOS
AD9480	Analog D.	50 MHz	+ 3,3V	700 mW	+1V	CMOS
AD9288	Analog D.	475 MHz	+ 3,3V	156 mW	+1,25V	CMOS
LTC1406	Lin. Tech.	200 MHz	+ 5V	150 mW	—	
ADC1173	National	15 MHz	+ 3V	40 mW	—	CMOS
CXA3256	Sony	120 MHz		340 mW		CMOS
SPT7734	SPT	40 MHz	+ 5V	170 mW	—	TTL
TLC5540	Texas I.	40 MHz	+ 5V	85 mW	—	CMOS
10-разредни						
AD9051	Analog D.	60 MHz	+ 5V	600 mW	+ 2,5V	BiCMOS
AD9218	Analog D.	300 MHz	+ 3,3V	400 mW	+ 1,25V	BiCMOS
AD9410	Analog D.	200 MHz	+ 5V	800 mW	Вътрешен	BiCMOS
AD9601	Analog D.	700 MHz	+ 1,8V	340 mW	+1,25V	CMOS
ADS824	Burr B.	70 MHz	+ 5V	315 mW	Вътрешен	CMOS
ADS 325	Datei	20 MHz	+ 5V	135 mW	—	CMOS
HI5767-6	Harris	60 MHz	+ 5V	310 mW	2,5 V	CMOS
MAX 1164	Maxim	100 MHz	+ 5V		Вътрешен	
ADC 10321	National	20 MHz	+ 5V	100 mW		CMOS
SPT7871	SPT	100 MHz	±5V	1300 mW	±1 V	TTL
12-разредни						
AD9220	Analog D.	60 MHz	+ 5V	310 mW	+ 1V	CMOS
AD9272	Analog D.	100 MHz	+ 1,8V	1,56 W	Вътрешен	CMOS
AD9222	Analog D.	325 MHz	+ 1,8V	750 mW	Вътрешен	CMOS
AD9230	Analog D.	100 MHz	+ 1,8V	380 mW	+1,25V	CMOS
ADS 803	Burr B.	5 MHz	+ 5V	120 mW	—	CMOS
ADS 808	Burr B.	75 MHz	+ 5V	670 mW	Вътрешен	CMOS
HI 5764	Harris	40 MHz	+ 5V	225 mW	—	CMOS
HI 5808	Harris	10 MHz	+ 5V	300 mW	3,5 V	CMOS
HI 5865	Harris	65 MHz	+ 3V	450 mW		CMOS
ADC 12281	National	20 MHz	+ 5V	400 mW	—	CMOS
CLC952	Natinal	41MHz	±5V	660 mW	2,4 V	BiCMOS
CLC5956	National	65 MHz	+ 5V	615 mW	Вътрешен	Bipolar

MAX 1172 SPT7935	Maxim SPT	30 MHz 20 MHz	$\pm 5V$ $+ 3,3V$	1100 mW 75 mW	— —	TTL CMOS
16-разредни AD9446 LTC2208	Analog D. Lin. Tech.	100 MHz 130 MHz	$+ 5V$ $+ 3,3V$ $+3,3 V$	2300 mW 1250 mW	— —	CMOS CMOS

4.6.3. Тегловен метод за аналогово-цифрово преобразуване

На фиг. 4.24 е показан АЦП, който работи по тегловния метод (метод на последователното приближение). Той се състои от компаратор K , който сравнява входното напрежение с изходното напрежение от ЦАП $U(Z)$. Разрядността на цифрово-аналоговия преобразувател определя разрядността на аналогово-цифровото преобразуване. Цифровата информация за ЦАП се определя от специален регистър за последователно приближение (Successive Approximation Register – SAR), наричан още регистър за поразредно кодиране.



Фиг. 4.24. Аналогово-цифров преобразувател, работещ по тегловния метод.

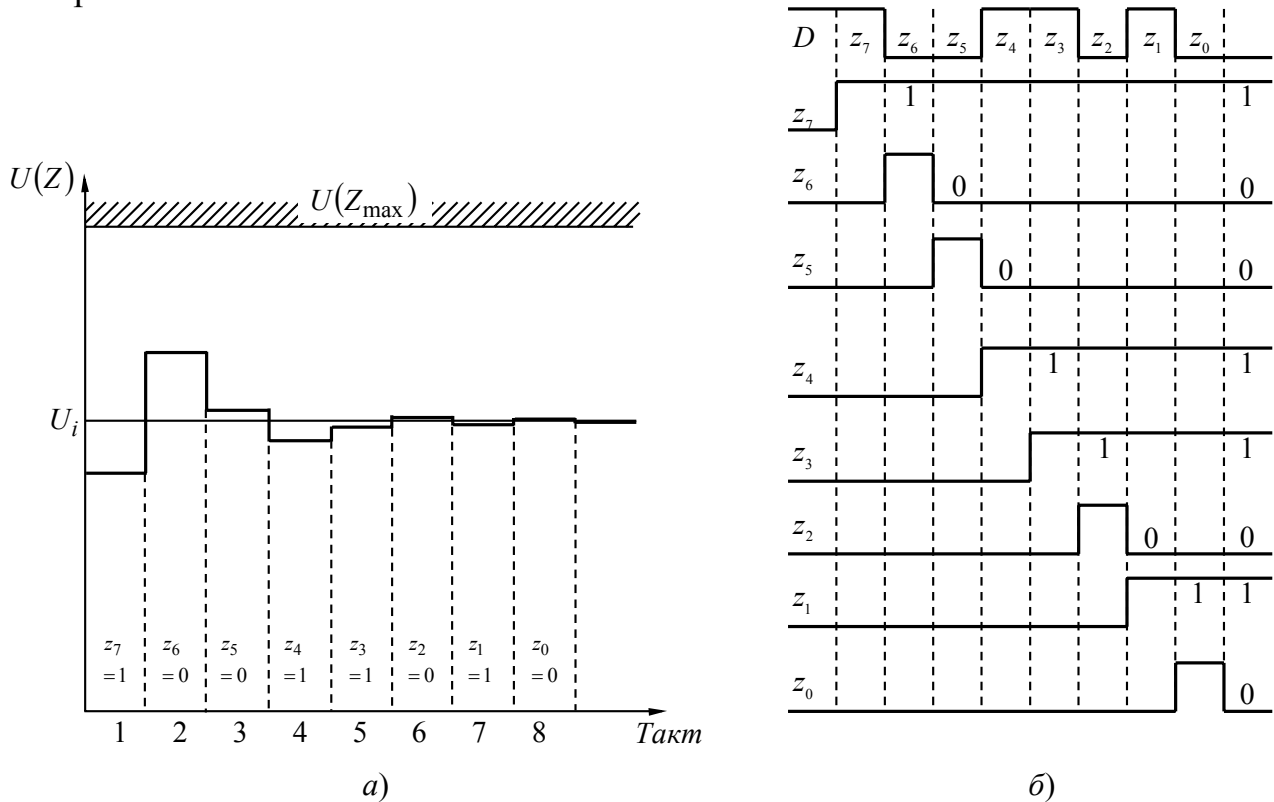
Процесът на измерване започва като в най-старшият разред се записва 1, а във всички останали разреди се записва нула. ЦАП изработва на изхода си напрежение, съответстващо на половината от работния диапазон. Компараторът K сравнява напрежението от входа и това от ЦАП. Ако входното напрежение е по-голямо, разредът се оставя в 1, а ако е по-малко – разредът се нулира. Следва установяване в 1 на следващия разред. Неговото тегло е $1/4$ от диапазона на преобразуване. Компараторът отново извършва сравняване и изработва сигнал за оставянето в 1 или свалянето в 0 на „претегления“ разред. Преминва се към обработка на следващия по-младши разред и т.н. Накрая числото Z на входа на ЦАП съответства на входното напрежение:

$$(4.22a) \quad U(Z) = U_{ref} \frac{Z}{Z_{max} + 1} = U_i$$

следователно,

$$(4.22b) \quad Z = (Z_{max} + 1) \frac{U_i}{U_{ref}}.$$

За илюстриране на принципа на действие на 8-разреден АЦП на фиг. 4.25а и фиг. 4.25б са дадени времедиаграмите на изходното напрежение на ЦАП $U(Z)$ спрямо входното напрежение U_i и състоянията на числото Z в рамките на едно измерване.



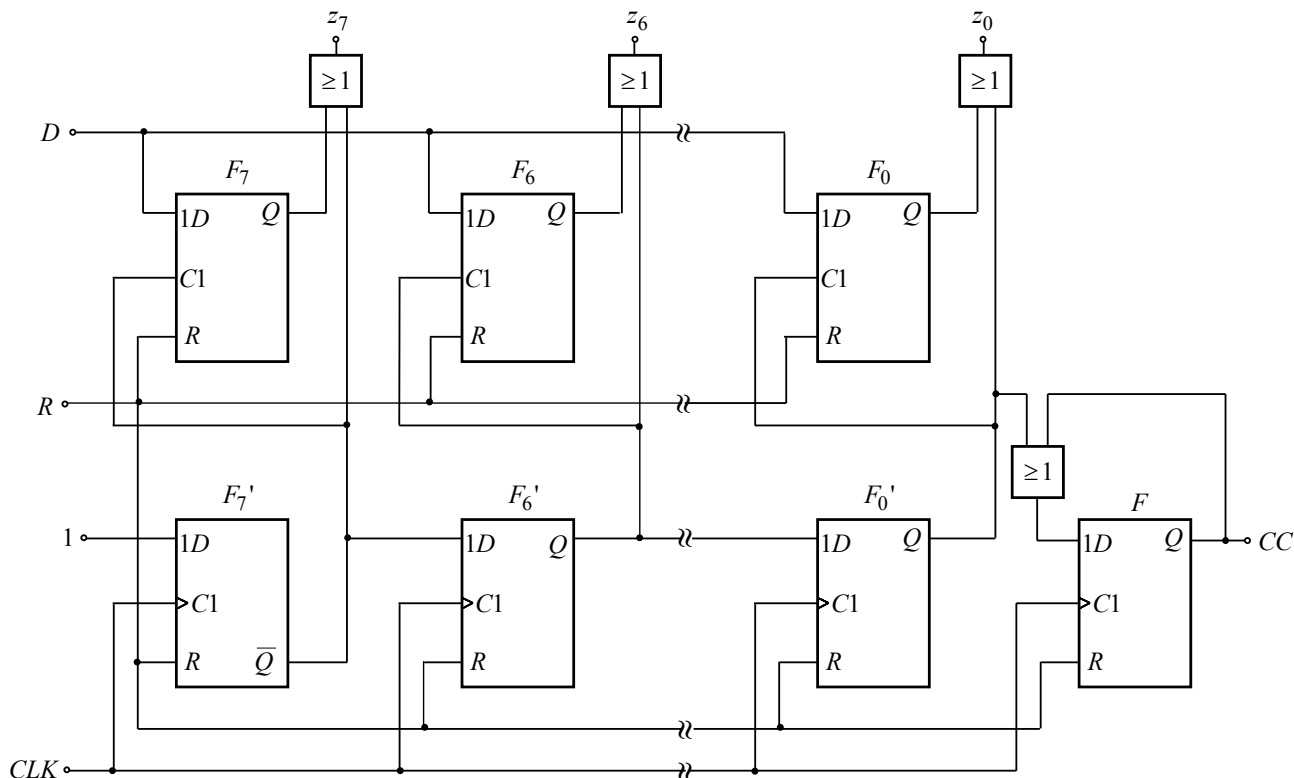
Фиг. 4.25. Времедиаграми на процеса на примерно преобразуване: а) – напрежение $U(Z)$; б) – двоично число Z .

Ако входното напрежение е U_i , докато трае преобразуването се промени, преди компаратора се включва аналогова памет (S/H схема), така че състоянията на всички разреди да се определят от една стойност на входната величина.

На фиг. 4.26 е показана вътрешната структура на 8-разреден регистър за последователно приближение. В схемата на регистър за последователно приближение тригерите $F_0...F_7$ превключват по нивото на сигнала, постъпващ към входа $1D$, а тригерите $F'_0...F'_7$ превключват по фронта на такта CLK . Процесът на преобразуване започва, като на входовете за нулиране R на всички тригери се подава единица. В резултат на това на изхода \bar{Q} на тригера F'_7 се получава единица, а в изходите означени с Q на $F_0...F_7$ и $F'_0...F'_6$ се получава нула. Тогава в най-старшия разред z_7 се записва 1, а във всички останали разреди $z_0 ... z_6$ се записва нула.

Накрая на всяко преобразуване (след установяване на най-младшия разред z_0) на изхода (Conversion Complete – CC) на тригера означен с F се получава

логическа „1”. В таблица 4.7 са дадени състоянията на разредите на регистъра за всички осем такта на едно примерно преобразуване.



Фиг. 4.26. Примерна структура на 8-разреден регистър за последователно приближение.

Таблица 4.7. Състояния на разредите на регистър за последователно приближение.

Такт	R	D	z ₇	z ₆	z ₅	z ₄	z ₃	z ₂	z ₁	z ₀	CC
0	1	D ₇	1	0	0	0	0	0	0	0	0
1	0	D ₇	D ₇	1	0	0	0	0	0	0	0
2	0	D ₆	D ₇	D ₆	1	0	0	0	0	0	0
3	0	D ₅	D ₇	D ₆	D ₅	1	0	0	0	0	0
4	0	D ₄	D ₇	D ₆	D ₅	D ₄	1	0	0	0	0
5	0	D ₃	D ₇	D ₆	D ₅	D ₄	D ₃	1	0	0	0
6	0	D ₂	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	1	0	0
7	0	D ₁	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	1	0
8	0	D ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	1

В таблица 4.8 са дадени някои основни каталожни данни за АЦП, използващи тегловния метод на фирмите *Analog Devices*, *AMD*, *National Semiconductor* и др.

Таблица 4.8. Аналогово-цифрови преобразуватели, работещи по тегловния метод.

Тип ИС	Производител	Канали	Време на преобразуване	Захранващо напрежение	Мощност	Вътрешен опорен източник	Изход
8-разредни MAX 1110	Maxim	8	20 μs	+ 3,3V	0,5 mW	2V	1 bit
MAX1111	Maxim	4	20 μs	+ 3,3V	0,5 mW	2V	1 bit
TLC0820	Texas I.	1	2,5 μs	+ 5V	7,5 mW	—	8 bit

TLV0831	Texas I.	1	13 μ s	+ 3,3V	2,5 mW	Да	1 bit
TLV0838	Texas I.	8	13 μ s	+ 3,3V	2,5 mW	—	1 bit
12-разредни							
AD 7858	Analog D.	8	5 μ s	+ 3,3V	15 mW	2,5 V	1 bit
AD 7896	Analog D.	1	10 μ s	+ 3,3V	10 mW	—	1 bit
ADS 1286	Burr B.	1	50 μ s	+ 5V	3 mW	—	1 bit
ADS 7834	Burr B.	1	2 μ s	+ 5V	15 mW	2,5 V	1 bit
ADS 7825	Burr B.	8	2ps	+ 5V	10 mW	2,5 V	12 bit
HI 5810	Harris	1	10 μ s	+ 5V	30 mW	—	12 bit
LTC 1401	Lin. Tech.	1	5 μ s	+ 3,3V	15 mW	—	1bit
LTC 1404	Lin. Tech.	1	1,5 μ s	+ 5V	75 mW	2,4 V	1 bit
LTC 1412	Lin. Tech.	1	0,3 μ s	+ 5V	150 mW	2,5 V	12 bit
MAX 146	Maxim	8	6 μ s	+ 3,3V	5 mW	2,5 V	1 bit
MAX 191	Maxim	1	10 μ s	+ 5V	15 mW	4V	12 bit
MAX 1240	Maxim	1	6 μ s	+ 3,3V	5 mW	2,5 V	1 bit
MAX 1246	Maxim	4	6 μ s	+ 3,3V	5 mW	2,5 V	1 bit
ADC12041	National	1	4 μ s	+ 5V	35 mW	—	12 bit
ADC12130	National	2	9 μ s	+ 3,3V	15 mW	—	1 bit
ADC12138	National	8	9 μ s	+ 3,3V	15 mW	—	1 bit
ADC12662	National	2	0,6 μ s	+ 5V	200 mW	—	12 bit
TLV2543	Texas I.	11	10 μ s	+ 3,3V	8 mW	—	1 bit
TLV5619	Texas I.	1	1 μ s	+ 3,3V	4 mW	—	12 bit
16-разредни							
AD 976	Analog D.	1	10 μ s	+ 5V	80 mW	2,5 V	16 bit
AD 977	Analog D.	1	10 μ s	+ 5V	80 mW	2,5 V	1 bit
ADS 7821	Burr B.	1	10 μ s	+ 5V	80 mW	2,5 V	16 bit
ADS 7825	Burr B.	4	25 μ s	+ 3,3V	50 mW	2,5 V	16 bit
LTC 1605	Lin. Tech.	1	10 μ s	+ 5V	55 mW	2,5 V	1/8 bit
MAX 195	Maxim	1	12 μ s	+ 5V	20 mW	—	1 bit

Забележка: 1 bit = означава сериен изход на АЦП.

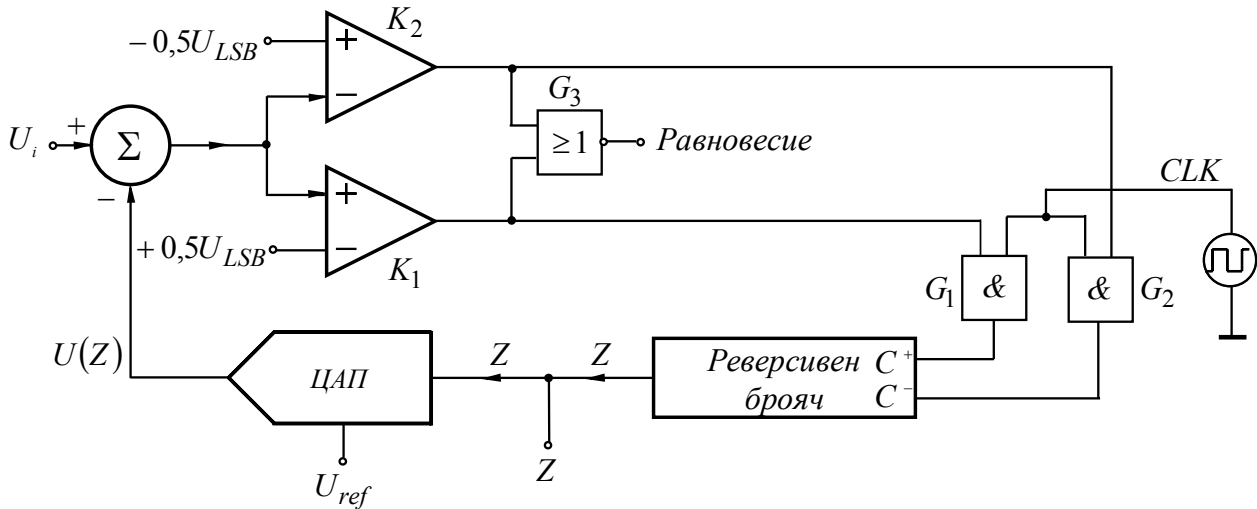
4.6.4. Преброителен метод за аналогово-цифрово преобразуване

Аналогово-цифровите преобразуватели, работещи по този метод, използват прости средства и достигат висока точност. Времето за преобразуване при тях е значително по-голямо от АЦП, използващи паралелния и тегловния метод. Типичните стойности на времето за преобразуване обикновено са в границите от 1 до 100 μ s. За много практически случаи обаче това е напълно достатъчно. Затова преброителният метод е широко разпространен и е реализиран в множество схеми на АЦП. По-съществените от тях са разгледани в следващите подточки.

Компенсационен аналогово-цифров преобразувател

На фиг. 4.27 е показана принципна схема на компенсационен АЦП. Тази схема се получава от АЦП, разгледан в предишната подточка. Основната разлика е в това, че тук вместо регистър за последователно приближение се използва брояч, като по този начин значително може да се опрости схемата за управление. За илюстрация на принципа на работа на компенсационния АЦП на фиг. 4.28 са показани времедиagramите на хода на входното напрежение U_i и компенсиращото го напрежение $U(Z)$, изработено в изхода на цифрово-

аналоговия преобразувател. Освен тях на фиг. 4.28 е показано и нивото на сигнала в изхода на логическия елемент G_3 .



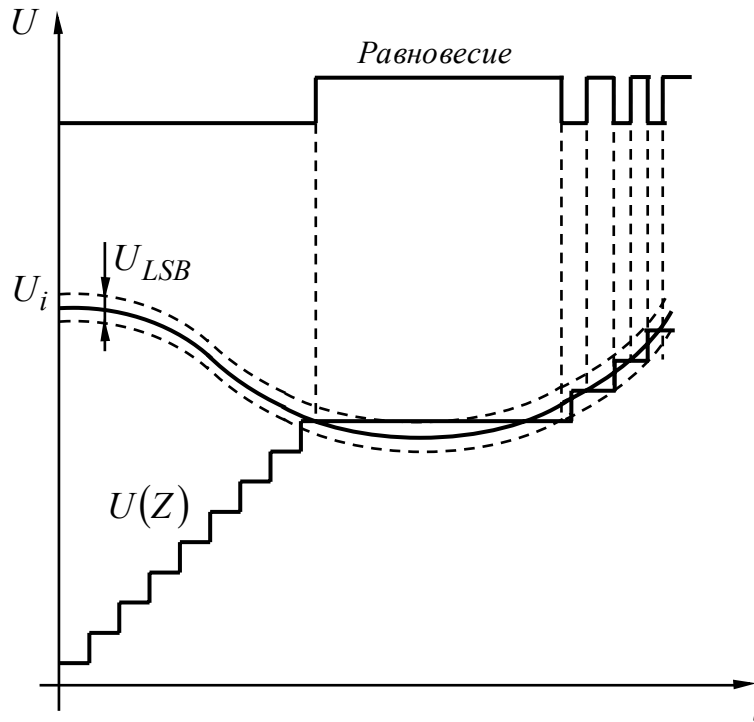
Фиг. 4.27. Компенсационен аналогово-цифров преобразувател.

С помощта на изчисления от входното напрежение се изважда компенсиращото напрежение, като получената разлика се подава на компараторите K_1 и K_2 , които имат опорни напрежения, съответно $+0,5U_{LSB}$ и $-0,5U_{LSB}$.

Ако разликата $U_i - U(Z)$ е по-голяма от $+0,5U_{LSB}$, сработва компараторът K_1 и се разрешава електронната врата G_1 , която пропуска импулсите от тактовия генератор към сумиращия вход C^+ на реверсивния брояч. Той увеличава съдържанието си (числото Z се увеличава). В резултат на което $U(Z)$ се приближава към входното напрежение. Ако разликата $U_i - U(Z)$ е по-малка от $-0,5U_{LSB}$, сработва компараторът K_2 и се разрешава електронната врата G_2 , която пропуска импулсите към изваждащия вход C^- на реверсивния брояч. Тогава компенсиращото напрежение $U(Z)$ намалява, отново догонвайки входното напрежение U_i . Така чрез нарастване или намаляване на числото Z , подадено към входа на ЦАП, изходното му напрежение непрекъснато следи промяната на входното напрежение. Затова тези АЦП се наричат още преобразуватели от следящ тип (Tracking ADC).

Когато разликата $U_i - U(Z)$ се установи в границите $\pm 0,5U_{LSB}$, електронните врати G_1 и G_2 са затворени и не пропускат импулси към брояча. Това е равновесният режим, при който напрежението $U(Z)$ е достигнало U_i . Тогава подаденият на входа на ЦАП цифров код Z съответства на U_i . Това състояние се регистрира с логическия елемент G_3 , който се установява в единица, тъй като в изходите на двата компаратора има логическа нула.

Примерни интегрални схеми на 10-разредни компенсационни АЦП са ADC856, ZN433 и др.



Фиг. 4.28. Процес на следене на входното напрежение при компенсационен АЦП.

Двухактно-интегриращ аналогово-цифров преобразувател

Вторият представител на преброятелния метод за аналогово-цифрово преобразуване е двухактно-интегриращият АЦП (Dual-Slope ADC), работещ с уравнивяване на заряда върху кондензатор. На фиг. 4.29 е показана структурна схема на АЦП, а на фиг. 4.30 са дадени времедиаграми илюстриращи принципа на работа. В режим на покой ключовете S_1 и S_2 са отворени, а ключът S_3 е затворен. Изходното напрежение на интегратора е равно на нула.

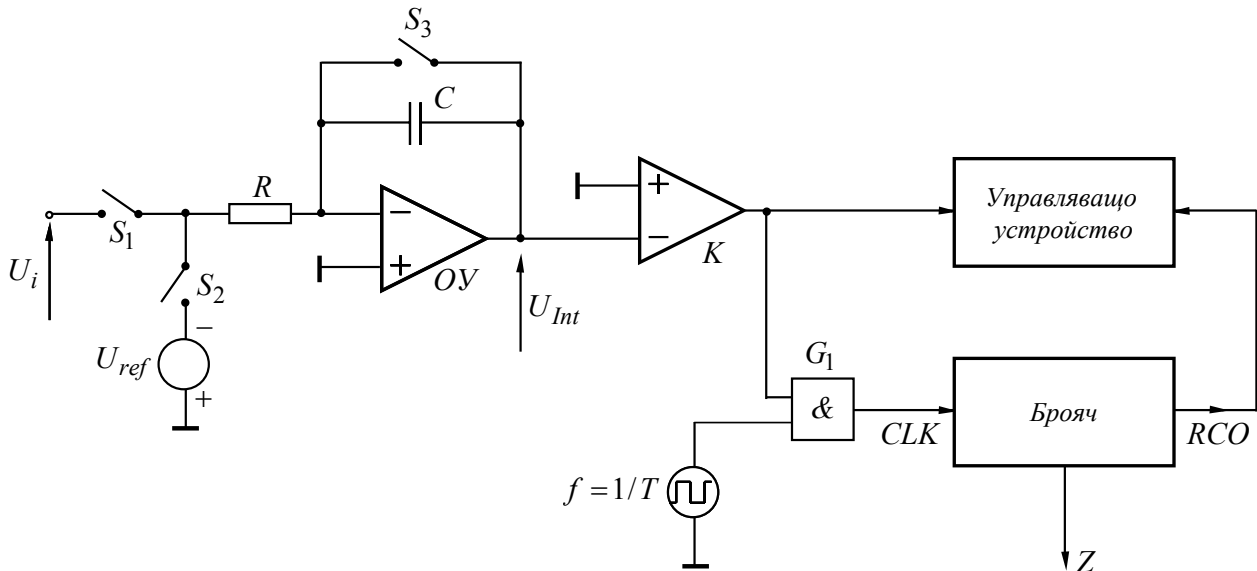
Когато започва измерване, ключът S_3 се отваря, а S_1 се затваря. При това входното напрежение U_i се интегрира. За положително входно напрежение в изхода на интегратора напрежението е отрицателно, а в изхода на компаратора K се получава логическа единица. В този случай електронната врата G_1 е отворена и пропуска импулси от тактовият генератор към брояча. Краят на първата фаза (такт) t_1 се достига, когато след $Z_{\max} + 1$ бита броячът се нулира. След изтичане на времето за интегриране t_1 в изхода на интегратора се получава

$$(4.23) \quad U_{Int}(t_1) = -\frac{1}{\tau} \int_0^{t_1} U_i dt,$$

където $\tau = RC$ е времеконстанта на интегратора.

След изтичане на времето за интегриране t_1 за определяне на двоичното число Z , ключът S_1 се отваря, а S_2 се затваря. По този начин към входа на интегратора се подава опорно напрежение U_{ref} с полярност обратна на поляр-

ността на входното напрежение. В такъв случай изходното напрежение на интегратора намалява, както е показано на фиг. 4.30. Втората фаза (такт) на интегриране завършва, когато напрежението U_{Int} достига нула. След това компараторът сработва, като в изхода му се получава логическа нула. В резултат на това електронната врата се затваря и броячът спира. Броят тактови импулси отчетени от брояча за време t_2 е пропорционален на входното напрежение.



Фиг. 4.29. Двухактно-интегриращ аналогово-цифров преобразувател.

Връзката между входното напрежение U_i и резултатът Z може да се намери директно, ако използва факта че първият такт на интегриране започва от $0V$ и вторият такт завършва при $0V$, тогава

$$(4.24) \quad U_{Int}(t_1) = -\frac{1}{\tau} \int_0^{t_1} U_i dt - \frac{1}{\tau} \int_0^{t_2} U_{ref} dt = 0.$$

При условие, че входното напрежение е постоянно от горната формула се получава

$$(4.25a) \quad -\frac{U_i t_1}{\tau} - \frac{U_{ref} t_2}{\tau} = 0 \text{ или}$$

$$(4.25b) \quad -\frac{1}{\tau} U_i (Z_{max} + 1) T - \frac{1}{\tau} U_{ref} Z T = 0,$$

където $t_1 = (Z_{max} + 1)T$ и $t_2 = ZT$.

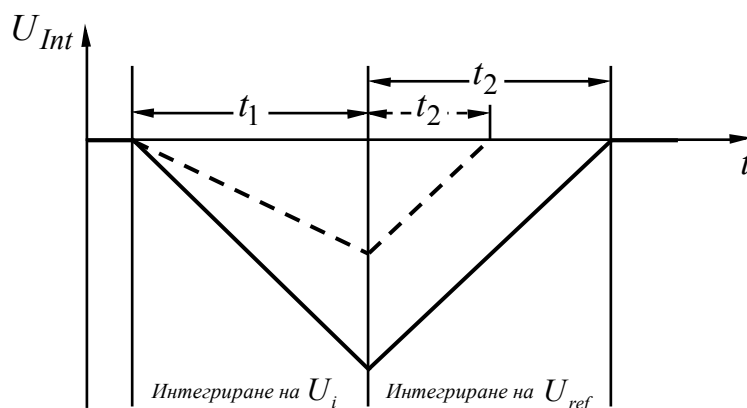
В формула (4.25b) се вижда, че времеконстантата $\tau = RC$ и периодът на тактовия генератор T не влияят на резултата. Тогава се получава

$$(4.25v) \quad U_i (Z_{max} + 1) + U_{ref} Z = 0.$$

Решаването на горното уравнение спрямо числото Z води до следния резултат

$$(4.25г) \quad Z = -\frac{U_i}{U_{ref}}(Z_{max} + 1).$$

От формула (4.25г) следва, че съществената особеност на двойно-интегриращите АЦП е, че тактовата честота $f = 1/T$ и времеконстантата $\tau = RC$ не влияят на резултата. Достатъчно е само да останат непроменени в интервала от време $t_1 + t_2$. Затова с принципа на двойното интегриране може да се достигне точност до $0,01\% = 100 \text{ ppm}$.



Фиг. 4.30. Времедиаграми на хода на изходното напрежение на интегратора при различни входни напрежения за двукратно-интегриращите АЦП.

Друга особеност на двукратно-интегриращите АЦП е, че прилагайки интегриране, като резултат се получава цифровата стойност на осреднената входна величина за времето t_1 . Затова проникнало във входа променливо напрежение ще отслабва толкова по-силно, колкото по-висока е неговата честота. Променливо напрежение, честотата на което е целочислено кратна на $1/t_1$, се потиска напълно. Затова е целесъобразно времето t_1 да бъде избрано кратно на периода на доминиращо в устройството смущение – например мрежовата честота. По този начин могат да се потиснат всички мрежови смущения.

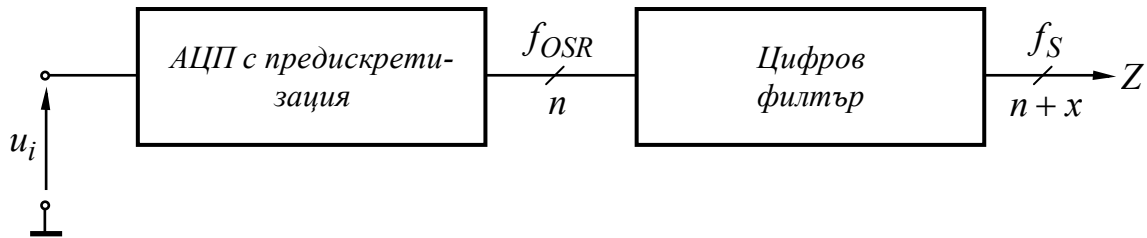
Двукратно-интегриращите АЦП намират широко приложение в цифровите волтметри, а също така и в системи за събиране и обработка на информация, където са необходими преобразувателни модули с разрешаваща способност от 10 до 16 разряда. Там, където не е необходимо високо бързодействие, този способ осигурява висока точност при сравнително неголяма апаратна част и висока шумоустойчивост.

Управляващото устройство в схемата на двукратно-интегриращият АЦП може да се изгради на базата на стандартните цифрови схеми, но в последно време за тази цел масово се използват специализирани интегрални схеми и дори микроконтролери.

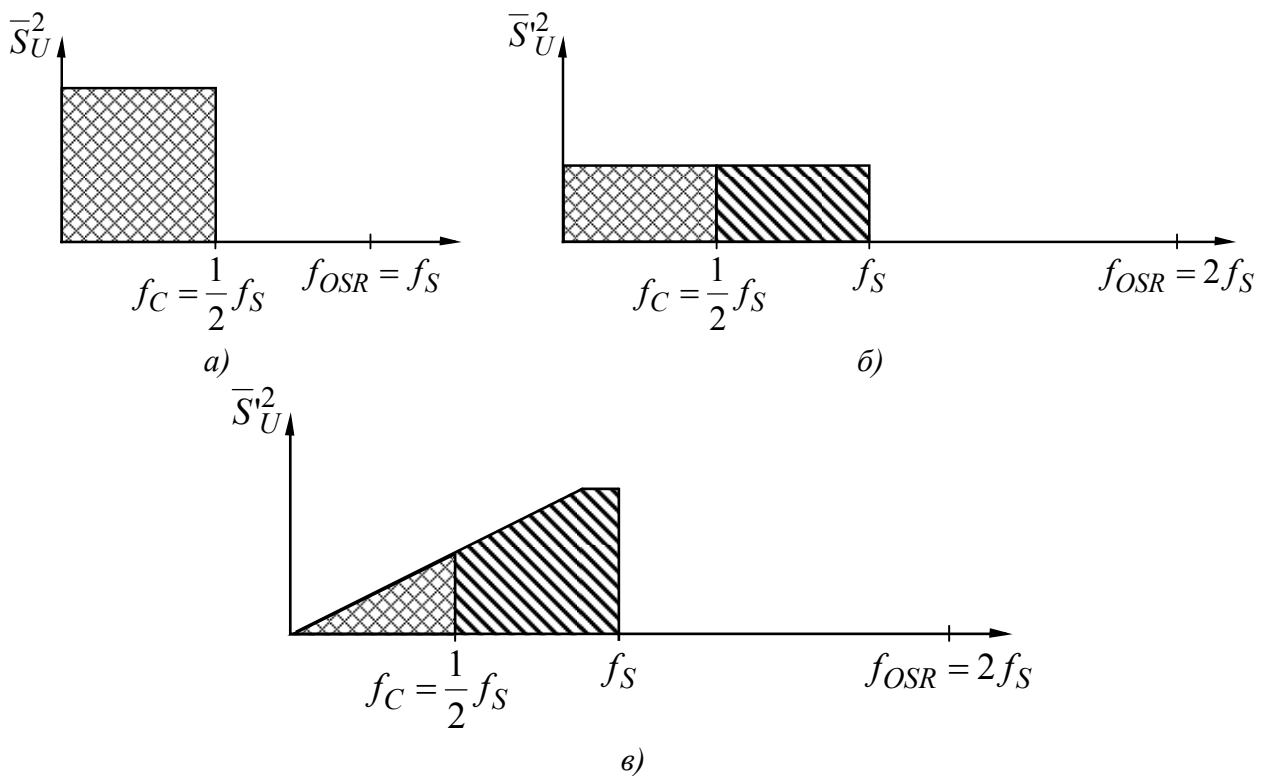
Сигма-делта аналогово-цифров преобразувател

Предискретизация

За всеки АЦП разредността може да се увеличи чрез използване на по-висока честота на дискретизация (преобразуване) f_S отколкото е необходима, като след преобразуването се използва нискочестотен цифров филтър за ограничаване на честотната лента до предварително зададена стойност, както е показано на фиг. 4.31.



Фиг. 4.31. АЦП с предискретизация и последващ нискочестотен цифров филтър за увеличаване на разредността.



Фиг. 4.32. Плътност на шумово напрежение за АЦП: а) – без предискретизация; б) – с два пъти предискретизация; в) – с два пъти предискретизация + формиране на характеристиката.

При предискретизация (oversampling) шумът от квантоване $\bar{e}_N^2 = U_{LSB}^2 / 12$ се разпределя върху по-широка честотна област, като плътността на шумовото напрежение може да се определи от формулата

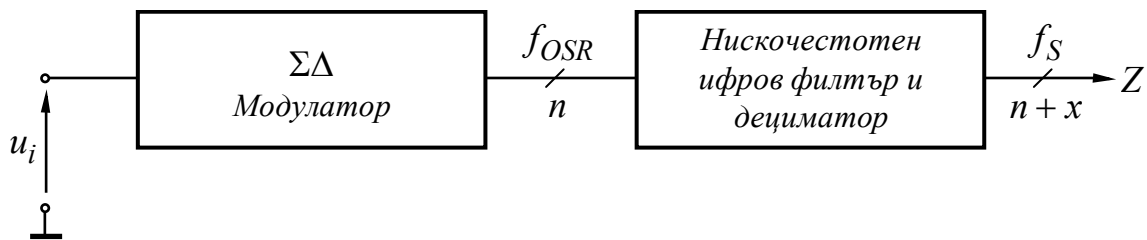
$$(4.26) \quad \bar{S}_U^2 = \frac{U_{LSB}^2}{12 \cdot OSR(f_S/2)} = \frac{U_{LSB}^2}{6 f_{OSR}},$$

където $f_{OSR} = OSR \cdot f_S$ е честота на предискретизация, а OSR е коефициент на предискретизация.

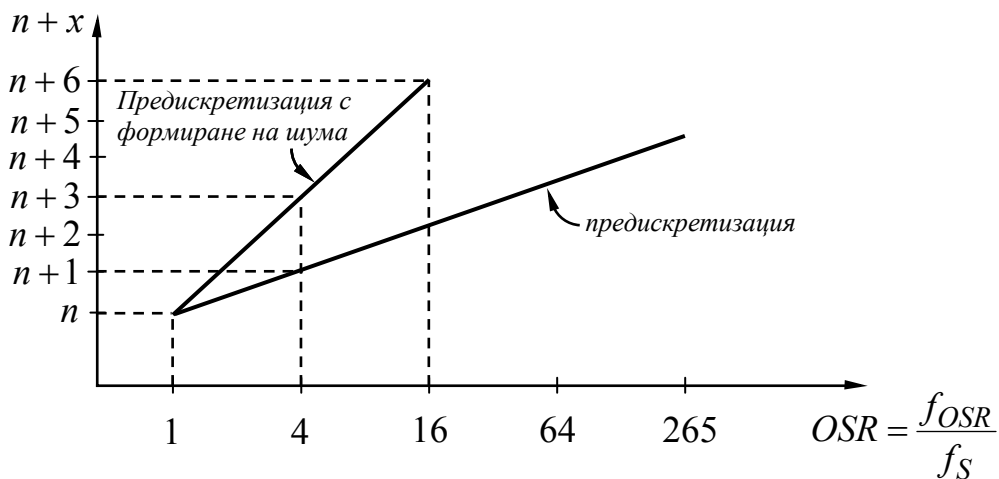
На фиг. 4.32а е показана плътността на шумовото напрежение за АЦП без предискретизация с ширина на честотната лента ограничена до лентата на $f_C = 1/2 f_S$ на входния сигнал u_i . При предискретизация на сигнала с честота $f_{OSR} = 2 f_S$ ($OSR = 2$), т.е. при удвояване на честотата на дискретизация (фиг. 4.32б) плътността на шумовото напрежение \bar{S}_U^2 се намалява два пъти, а ширината на честотната лента се увеличава два пъти.

Структура и принцип на работа на сигма-делта преобразувател

Третият представител на преброятелния метод е т.нар. сигма-делта или делта-сигма (Sigma-Delta – $\Sigma\Delta$ или Delta-Sigma – $\Delta\Sigma$) АЦП, основаващ се на компенсиране на входната аналогова величина с еталонна величина в интегратор. Блоквата схема на сигма-делта преобразувател е показана на фиг. 4.33. Най-общо този вид аналогово-цифрови преобразуватели се състоят от $\Sigma\Delta$ модулатор с предискретизация и последващ



Фиг. 4.33. Блокова схема на сигма-делта преобразувател.



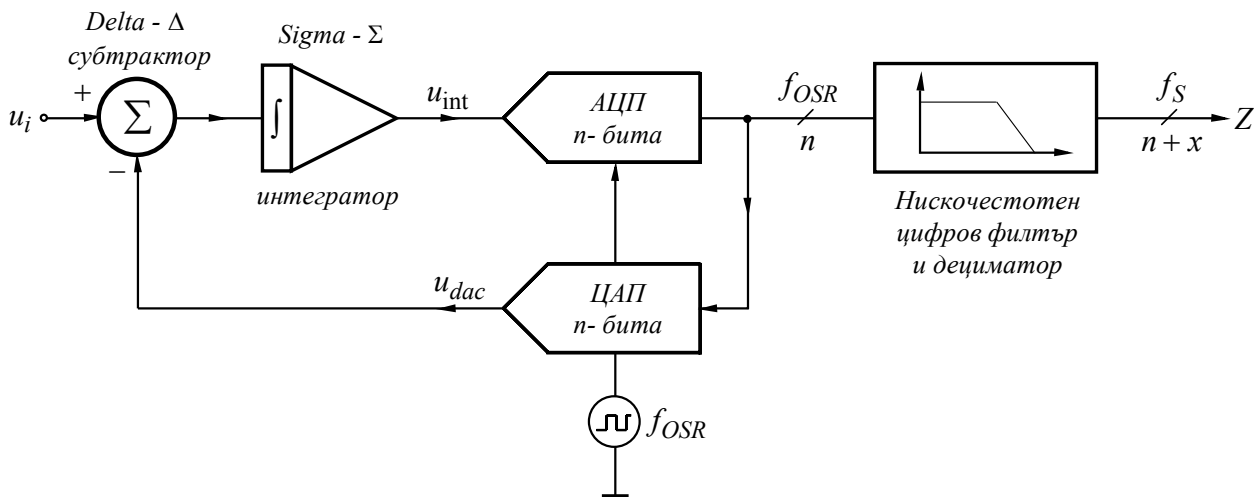
Фиг. 4.34. Зависимост на разредността n (или $n+x$) от коефициента на предискретизация OSR при обикновена предискретизация и предискретизация с формиране на шума.

нискочестотен цифров филтър за ограничаване на работната честотна лента и дециматор. Основното предимство на сигма-делта преобразувателите е, че не само $\Sigma\Delta$ модулаторът работи с честота на дискретизация f_{OSR} по-голяма от честотата f_S , но и осигурява по-ниско ниво на шумовете чрез допълнително

формиране на характеристиката на плътността на шумовото напрежение. За сигма-делта преобразувателите шумът от квантоване е не просто равномерно разпределен и преместен към по-високи честоти, но и високочестотните съставки са премахнати от действието на нискочестотния цифров филтър.

На фиг. 4.34 е представена в графичен вид зависимостта на разредността на сигма-делта преобразувателите от коефициента на предискретизация OSR при генериране на допълнителни битове x чрез предискретизация и чрез предискретизация с допълнително формиране на шума. Както се вижда от фиг. 4.34 при четворно увеличаване на честотата на дискретизация само един бит се добавя при обикновена предискретизация, докато при предискретизация с формиране на шума се получават три допълнителни бита.

Вътрешната структура на сигма-делта преобразувател е показана на фиг. 4.35.



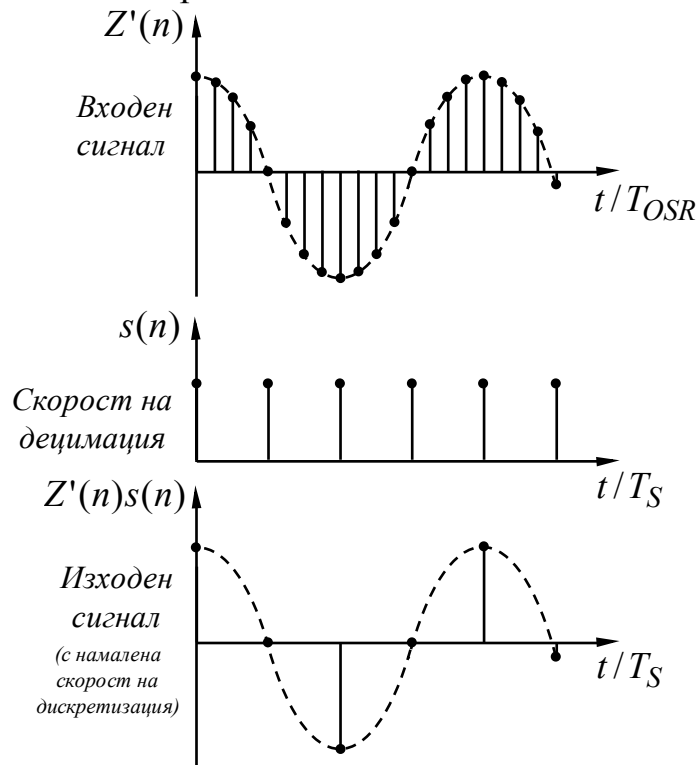
Фиг. 4.35. Вътрешна структура на сигма-делта преобразувател от първи ред.

Първата част от преобразувателя е $\Sigma\Delta$ модулаторът, който преобразува моментната стойност на входното напрежение в съответно на него двоично число, представляващо поредица от нули и единици. Тактовата честота с която работи модулаторът е равна на f_{OSR} . n -разредният ЦАП се управлява от изходното двоично число на АЦП. Полученото от ЦАП напрежение u_{dac} се изважда от входното напрежение u_i . Най-малко след n -такта на сигнала с честота f_{OSR} възстановеното напрежение от ЦАП ще бъде приблизително равно на входното напрежение или разликата между двете напрежения ще бъде равна на нула. Тогава се счита, че е завършило преобразуването на входното напрежение в пропорционално на него двоично число. Броят на интеграторите и субтракторите в схемата определя реда на $\Sigma\Delta$ модулатора.

Втората част от преобразуването е нискочестотен цифров филтър и дециматор, работещ с тактова честота f_S . Предназначението на нискочестотния филтър е да ограничи честотната лента до f_S и да потисне високочестотните шумове, които се получават при формиране на характеристиката на шума от

$\Sigma\Delta$ модулатора. Окончателното ограничаване на скоростта на дискретизация се осъществява от дециматор, работещ с коефициент на понижение равен на OSR . На фиг. 4.36 е показан примерен процес на децимация за дискретизиран по време и квантуван ниво сигнал $Z'(n)$. Както се вижда от фиг. 4.36 при децимацията скоростта на дискретизация на входния сигнал е намалена с коефициент 4 чрез управляващия цифров сигнал $s(n)$. В резултат на това изходният сигнал $Z'(n)s(n)$ се получава дискретизиран с по-ниска честота, т.е. двоичните числа Z се появяват на по-големи интервали. Това позволява изходният сигнал да бъде квантуван по ниво с $n + x$ бита. Децимацията може да се разглежда още като метод, при който излишната информация за сигнала въведена чрез предискретизацията се премахва.

Много често в съвременните сигма-делта преобразуватели функцията децимация се съчетава с цифровата филтрация. Това води до увеличаване на ефективността на изчислителния процес.



Фиг. 4.36. Примерни времедиаграми илюстриращи процеса на децимация за дискретизиран сигнал.

Предавателната функция на спрямо шума в сигма-делта преобразувателя от фиг. 4.35 може да се определи от шумовия модел, показан на фиг. 4.37.

При липса на шум предавателната функция има вида

$$(4.27a) \quad A_{F,ADC}(p) = \frac{U_{ADC}}{U_i} = -\frac{1}{1 + p\tau},$$

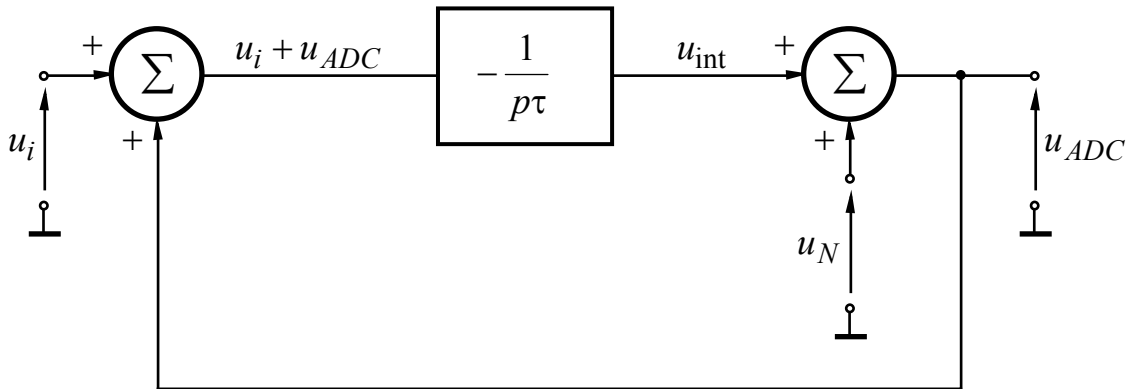
където $f_C = 1/2\pi\tau$ е граничната честота.

Времеконстантата τ на интегратора трябва да бъде избрана така, че да не

ограничава работната честотна лента на сигнала u_i .

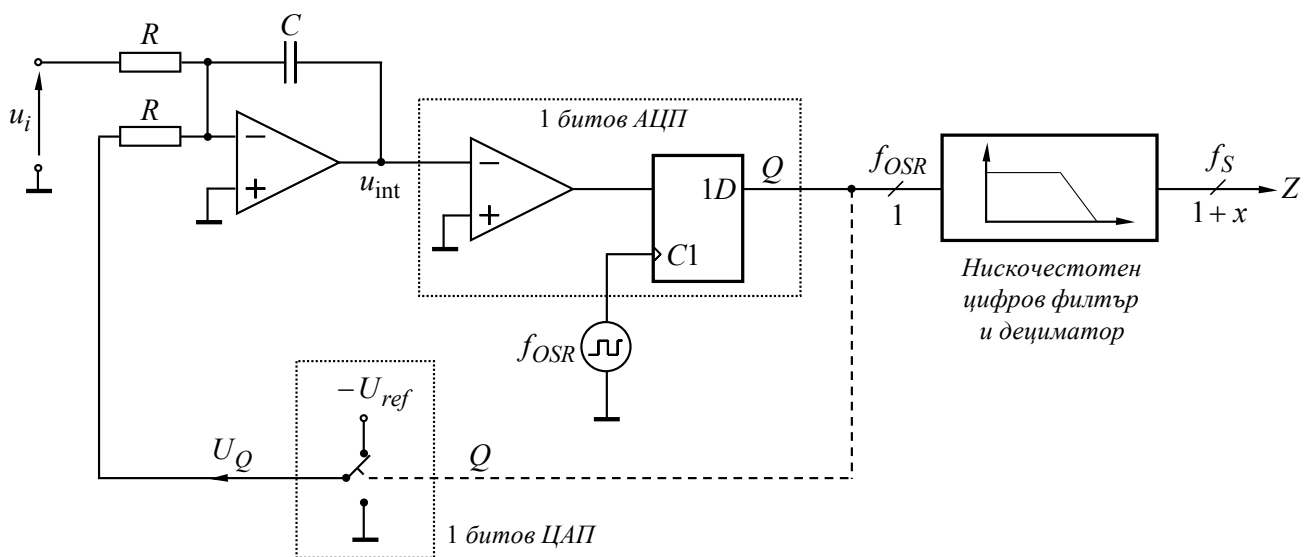
Както се вижда от формула (4.27) предавателната функция на преобразувателя е от първи ред и съгласно честотния критерий на Боде съответната схема ще бъде безусловно устойчива. Предавателната функция на преобразувателя спрямо шума е също от първи ред, но от високочестотен тип:

$$(4.27б) A_{F,N}(p) = \frac{U_{ADC}}{U_N} = \frac{p\tau}{1 + p\tau} \approx p\tau \text{ за } p\tau \ll 1.$$



Фиг. 4.37. Шумов модел на сигма-делта преобразувател.

В графичен вид плътността на шумовото напрежение от честотата за сигма-делта преобразувател от първи ред е показана на фиг. 4.32в. Както се вижда от характеристиката нивото на шума е по-малко в работната област (до честотата f_C) спрямо шума в АЦП, използващ само предискретизация (вж. фиг. 4.32б). Нивото на шума за сигма-делта преобразувател се увеличава със скорост приблизително $+20dB/dec$, като за честота $f_C = f_S/2$ шумът достига стойността на шума в схема на АЦП, за която е приложена само предискретизация.



Фиг. 4.38. Опростена схемна реализация на сигма-делта преобразувател.

При използване на верижно съединение на два или три интегратора може да

се подобри отношението сигнал/шум и да се получат допълнителни битове, т.е. да се увеличи разредността на АЦП. При въвеждане на допълнителни интегратори и субтрактори за шумовия модел се получава схема с многоконтурна ООВ. Формирането на допълнителни обратни връзки изисква обаче по-сложна методика за проектиране така че да се осигури стабилност на целия контур.

Опростена схемна реализация на сигма-делта преобразувател с еднобитов АЦП и ЦАП е показана на фиг. 4.38. Еднобитовият АЦП съдържа компаратор и синхронен тригер. Ако изходното напрежение на интегратора u_{int} е отрицателно тригерът се установява в единица ($Q=1$) и отрицателното опорно напрежение $-U_{ref}$ ще се подаде към входа на интегратора чрез еднобитовия ЦАП. В резултат на това изходното напрежение на интегратора ще се променя в положителна посока. Подобно на двойно-интегриращите преобразуватели схемата на сигма-делта преобразувателите съдържа каскадно свързани интегратор и компаратор. За разлика от двойно-интегриращите преобразуватели в схемата от фиг. 4.38 входното напрежение u_i е постоянно включено към интегратора. За n -разреден АЦП (вж. фиг. 4.35) в процеса на измерване на входното напрежение u_i след n -такта (n е разредността на АЦП и ЦАП), токът u_i/R следва

да се изравни с тока $\frac{U_{ref}}{R} \frac{Z}{Z_{max} + 1}$, т.е.

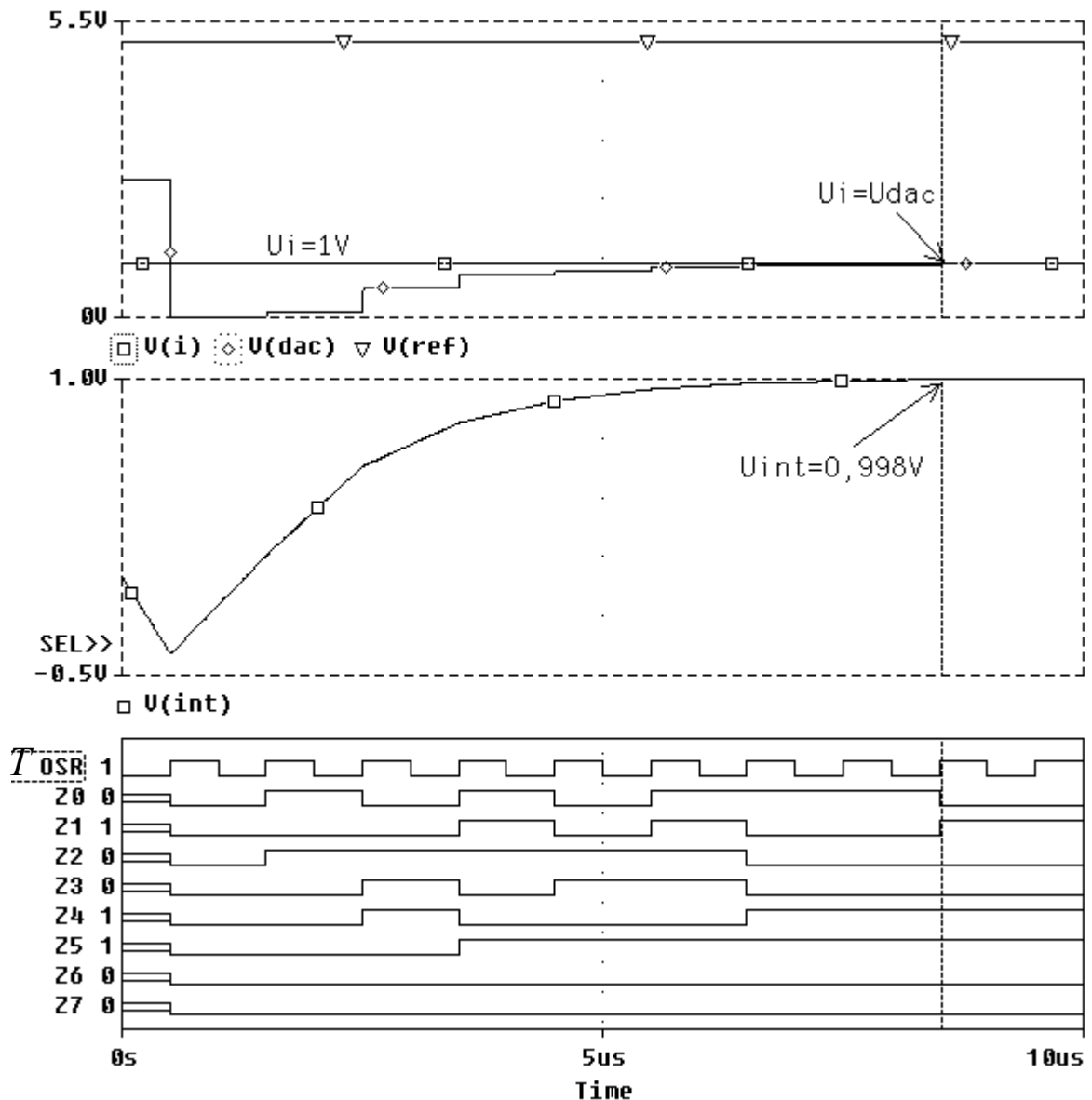
$$(4.29) \quad \frac{u_i}{R} + \frac{U_{ref}}{R} \frac{Z}{Z_{max} + 1} = 0.$$

Тогава за двоичното число Z се получава

$$(4.30) \quad Z = \frac{u_i}{U_{ref}} (Z_{max} + 1),$$

където Z_{max} е максималното число, съответстващо на входно напрежение приблизително равно на опорното напрежение U_{ref} .

За илюстрация на по-горе представения анализ на фиг. 4.39 са показани времедиаграми от симулационно тестване с OrCAD PSpice A/D на 8-разреден $\Sigma\Delta$ модулатор, реализиран въз основа на схемата от фиг. 4.35. $\Sigma\Delta$ модулаторът е изпълнен с 8-разреден ЦАП, 8-разреден АЦП, неинвертиращ интегратор с времеконстанта равна на $2\mu s$ и субтрактор с един инвертиращ и един неинвертиращ вход. Опорното напрежение за ЦАП и АЦП е избрано $+5,12V$, а честотата на предисктеризация е $1MHz$. На входа на схемата е подадено постоянно напрежение $u_i = +1V$. Както се вижда от времедиаграмите на фиг. 4.39 изходното напрежение u_{dac} на ЦАП достига стойността на входното напрежение след 8-такта на тактовия сигнал. При това разликата между изходното напрежение на ЦАП и входното напрежение е в рамките на $\pm 0,5U_{LSB}$. Изходното напрежение на интегратора нараства по линеен закон на всеки такт на тактовия сигнал, като след 8 периода достига приблизително входното напрежение u_i .



Фиг. 4.39. Примерни времедијаграми на 8-битов $\Sigma\Delta$ модулатор.

Основните предимства на сигма-делта преобразувателите в сравнение с двойно-интегриращите АЦП са:

- голяма линейност;
- голямо увеличение на разредността чрез формиране на шума при пре-дискретизация;
- използване на обикновен нискочестотен аналогов филтър във входа на схемата тъй като се работи с висока честота на дискретизация.

Някои често използвани сигма-делта преобразуватели са дадени в таблица 4.9, а някои аналогово-цифрово преобразуватели подходящи за седем-сегментни дисплеи са дадени в таблица 4.10.

Таблица 4.9. Сигма-делта преобразуватели със сериен и SPI интерфейс.

Тип	Производител	Разредност	Скорост на преобразуване	Захранващо напрежение	Интерфейс за връзка
AD1870	Analog Dev.	16 бита	44kS/s	+5V	сериен
AD1871	Analog Dev.	24 бита	96kS/s	+5V	сериен
AD7782	Analog Dev.	24 бита	20S/s	+3,3V	SPI
HI7190	Intersil	24 бита	10-2000kS/s	+5V	SPI
LTC2444	Linear Tech.	24 бита	13-7000kS/s	+5V	SPI
MAX1402	Maxim	18 бита	20-4800kS/s	+5V	SPI
ADS1224	Texas I.	24 бита	120S/s	+3,3V	сериен
ADS1605	Texas I.	26 бита	5000kS/s	+5V	16 бита

Таблица 4.10. АЦП за седемсегментни дисплеи в цифрови волтметри.

Тип	Производител	Технология	Разредност	Скорост на преобразуване	Захранващо напр.	Интерфейс
TLC7136	Intersil	2-интегриране	3,5 цифри	3S/s	+9V	LCD
TLC7117	Microchip	2-интегриране	3,5 цифри	3S/s	+5V	LED
TLC7129	Microchip	2-интегриране	4,5 цифри	2S/s	+9V	LCD
MAX1491	Maxim	$\Sigma\Delta$	3,5 цифри	2,5S/s	+3,3V	LCD
MAX1495	Maxim	$\Sigma\Delta$	4,5 цифри	2,5S/s	+3,3V	LCD
MAX1499	Maxim	$\Sigma\Delta$	4,5 цифри	5S/s	+3,3V	LED

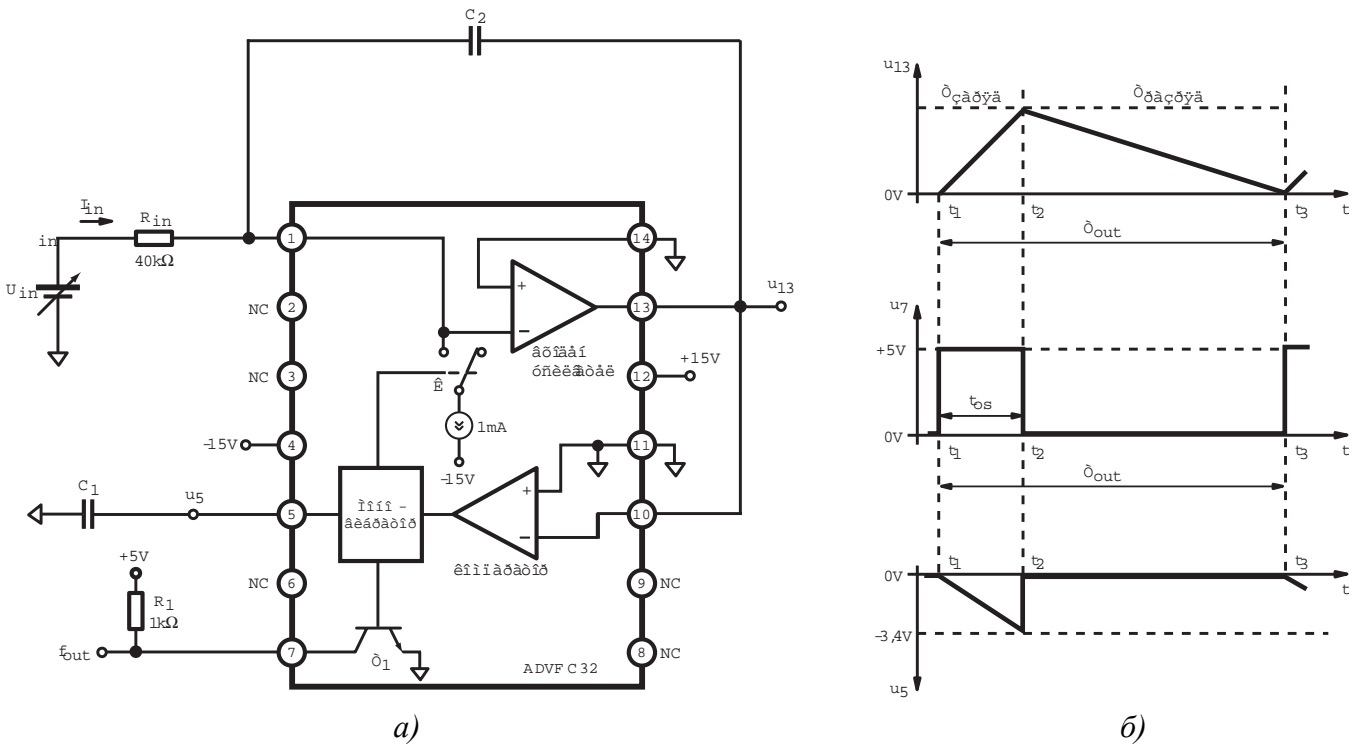
Съществуват редица специализирани интегрални схеми със смесено действие, в които се включва и сигма-делта преобразувател. По този начин се подобрява стабилността на работата и се улеснява проектирането на сложни устройства и системи. Освен това се премахва и необходимостта от добавяне на външни дискретни елементи за установяване на режима на работа. Примерна интегрална схема в която е включен сигма-делта преобразувател е мостовия преобразувател AD7730 на Analog Devices. На фиг. 8.20 (вж. т. 8.3.2) е показана примерна на електронна схема с ИС AD7730, която може да се използва за усилване и преобразуване на слаби аналогови сигнали, получени директно от измервателен мост (например тензорезисторен мост). В схемата на AD7730 най-общо е включен входен аналогов мултиплексор, буфер, програмируем усилвател и 24-разреден сигма-делта преобразувател.

4.6.5. АЦП с преобразуване на напрежение в честота

Съществува една голяма група аналогово-цифрови преобразуватели, които извършват междинно преобразуване на входната аналогова величина в друга и след това измерват междинната величина. Най-често се среща междинно преобразуване в честота. Макар че съществуват много начини за преобразуване на напрежение в честота, най-голямо разпространение е получил начинът с уравнивяване на заряд.

За да се схване по-ясно същността и приложимостта на АЦП с междинно преобразуване на напрежение в честота, е разгледана структурата и принципа на работа на конкретен преобразувател на напрежение в честота (voltage-to-frequency converter) с уравнивяване на заряда, реализиран с ИС ADVFC32 (от Analog Dev.). Основната схема на свързване с ADVFC32 и времедиаграмите илюстриращи преобразуването са показани, съответно на фиг. 4.40а и фиг.

4.40б.



Фиг. 4.40. Преобразувател на напрежение в честота: а) - принципна схема с ADVFC32; б) – времедиаграми на процеса на примерно преобразуване.

В началото на процеса на измерване през резистора R_{in} протича ток I_{in} пропорционален на постъпилото входно напрежение U_{in} . Ако изходът на компаратора е в единица, се пуска моновибратор, изработващ импулс с калибрирана продължителност $t_{os} = (C_1 + 44 pF) \cdot 6,7 k\Omega$ (в ИС ADVFC32 продължителността на импулса t_{os} може да се задава чрез капацитета C_1). Сигналят от моновибратора затваря ключа K , свързващ източник на ток $I = 1mA$ към инвертиращия вход на интегратора за времето на импулса t_{os} . При това се “внося” заряд в кондензатора C_2 :

$$Q_{вн.} = (1mA - I_{in})t_{os}.$$

Изходното напрежение на интегратора (извод 13) нараства по линеен закон до момента t_2 , когато настъпва края на импулса от моновибратора. След края на импулса ключа K се отваря, тогава интегриращият кондензатор започва да се разрежда от входното напрежение и изходът на интегратора тръгва към нулата. Когато тя се достигне (в момента t_3), моновибраторът се запуска отново. Входното напрежение е “изнесло” заряд:

$$Q_{изн.} = I_{in}(T_{out} - t_{os}).$$

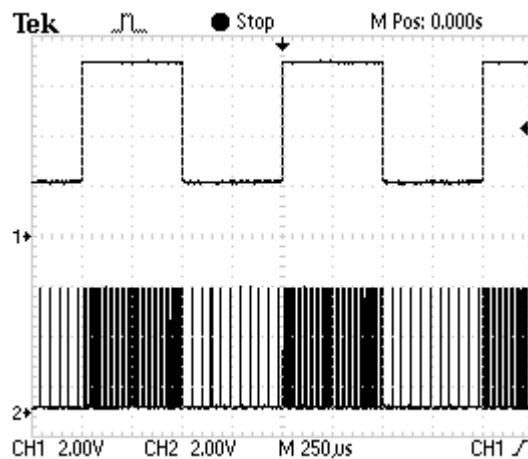
Приравнявайки внесения с изнесения заряд, т.е. $Q_{вн.} = Q_{изн.}$, се получава (4.31a) $(1mA - I_{in})t_{os} = I_{in}(T_{out} - t_{os})$, тогава за изходната честота се намира

$$(4.31б) f_{out} = \frac{1}{T_{out}} = \frac{I_{in}}{1mA \times t_{os}} = \frac{U_{in} / R_{in}}{1mA \times t_{os}}$$

Тъй като R_{in} , t_{os} и тока от опорния източник са константи, изходната честота f_{out} е пропорционална на входното напрежение U_{in} . На фиг. 4.40б са дадени напрежението в изхода на интегратора, напрежението от моновибратора и напрежението върху кондензатора C_1 . Необходимо е да се отбележи, че продължителността на импулсите в изходния сигнал остава постоянна, а напрежението U_{in} изменя честотата на повторението им. В предавателното уравнение не присъства капацитетът C_2 – той е предназначен само да интегрира зарядния и разрядния ток, но неговата стойност трябва да се подбира такава, че за целия диапазон на U_{in} интеграторът да не влиза в насищане.

Например за $C_1 = 330pF$, $C_2 = 1nF$ и $R_{in} = 40k\Omega$ при изменение на напрежението от $0V$ до $10V$ изходната честота f_{out} се променя от 0 приблизително до $100kHz$.

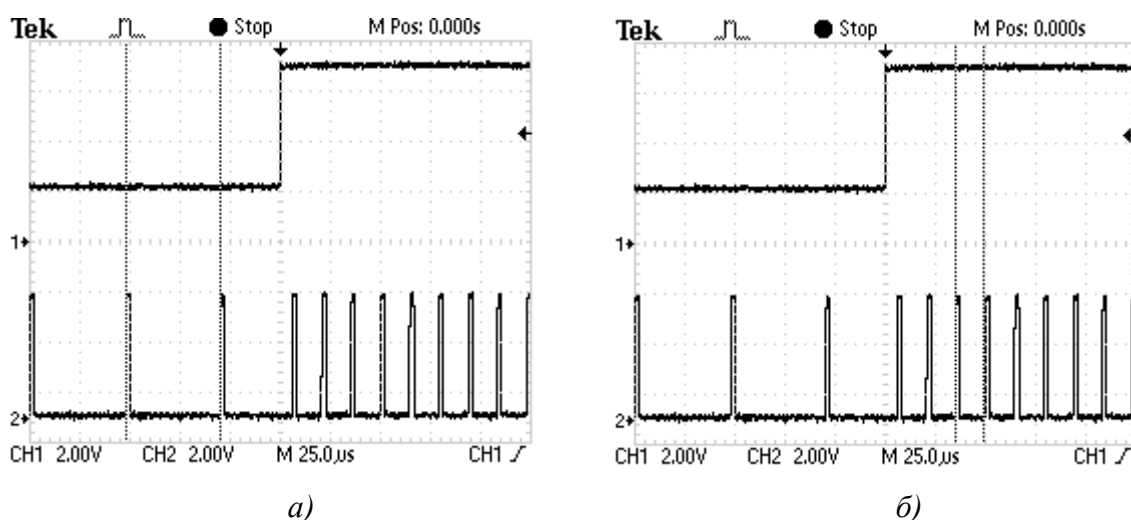
Получената от преобразуването честота може да се преобразува в двоично число чрез използването на цифров честотомер. Този начин на аналогово-цифрово преобразуване се прилага предимно в случаите, когато е необходимо галванично разделяне на аналоговите от цифровите вериги. Получената честота лесно се прехвърля между двете изолирани части най-често чрез оптрон или високочестотен трансформатор.



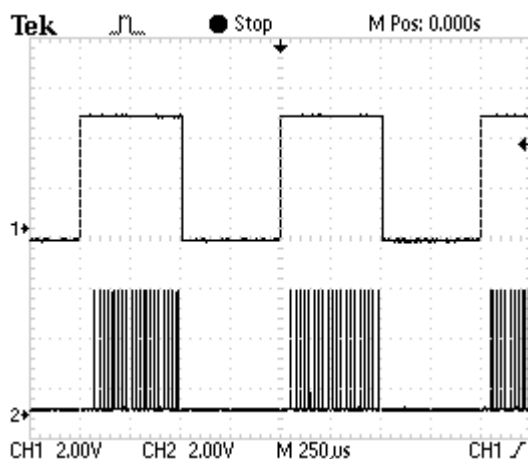
Фиг. 4.41. Входен и изходен сигнал на честотен манипулатор, реализиран въз основа на схемата от фиг. 4.40.

Освен за реализация на аналогово-цифрови преобразуватели монолитните преобразуватели на напрежение в честота се използват и като честотни манипулатори или FSK (frequency shift keying) модулатори (вж. т. 10.3.2). За целта към входа на схемата от фиг. 10.34 вместо постоянно напрежение се подава правоъгълен сигнал. При това на изхода за ниските нива на входния сигнал (например логическа “0”) се получава периодичен сигнал с правоъгълна форма и ниска честотата. При високите нива на входния сигнал (например логическа

“1”) се получава периодичен сигнал с висока честота. Важно е да се отбележи, че продължителността на импулсите t_{os} е една и съща, както за нискочестотния така и за високочестотния сигнал. На фиг. 4.41 са дадени примерни времедиаграми на входен и изходен сигнал за схемата от фиг. 4.40 при $C_1 = 330 pF$, $C_2 = 1 nF$ и $R_{in} = 40 k\Omega$. Входният сигнал е с правоъгълна форма и коефициент на запълване 0,5. Ниските нива на входния сигнал са със стойности $2V$, а високите нива са със стойности $7V$. При това на изхода (извод 7 на ADVFC32) се получава честотно манипулиран сигнал, като за входно напрежение $2V$ честотата на изходния сигнал е приблизително $20 kHz$ (фиг. 4.42a), а за напрежение $7V$ честотата е приблизително равна на $70 kHz$ (фиг. 4.42б).



Фиг. 4.42. Времедиаграми на входен и изходен сигнал: а) – с фиксиран период $50 \mu s$ за нискочестотния сигнал; б) – с фиксиран период $14,3 \mu s$ за високочестотния сигнал.



Фиг. 4.43. Входен и изходен сигнал на амплитуден манипулатор, реализиран въз основа на схемата от фиг. 4.40.

При условие, че към входа на схемата от фиг. 4.40 се подаде правоъгълен сигнал с нива на напрежението $0V$ и $5V$ на изхода се получава амплитудно манипулиран сигнал. На фиг. 4.43 са дадени примерни времедиаграми на входен и изходен амплитудно манипулиран сигнал за схемата от фиг. 4.40 при

$C_1 = 330\text{ pF}$, $C_2 = 1\text{ nF}$ и $R_{in} = 40\text{ k}\Omega$. За нулеви нива на входния сигнал на изхода на схемата няма генерации. При нива 5 V на входния сигнал на изхода се получава периодичен правоъгълен сигнал с честота приблизително равна на 50 kHz .

В таблица 4.11 са дадени някои основни каталожни данни на интегрални преобразуватели на напрежение в честота.

Таблица 4.4. Преобразуватели на напрежение в честота.

Тип ИС	Производител	Обхват на входното напрежение	Честотна лента
AD537	Analog D.	$\pm 11\text{ V}$... 150 kHz
ADVFC32	Analog D.	+ 10 V	... 500 kHz
AD650	Analog D.	+ 11 V	... 1000 kHz
AD7741	Analog D.	+ 2,5 V	... 3072 kHz
VFC320	Texas I.	+ 10 V	... 1000 kHz
VFC110	Texas I.	+ 10 V	... 4000 kHz
LM331	National	+ 10 V	... 100 kHz
NE566	Philips	+ 5 V	... 1000 kHz

