

1. АНАЛОГОВИ ЕЛЕКТРОННИ КЛЮЧОВЕ И МУЛТИПЛЕКСОРИ. ЦИФРОВИ ПОТЕНЦИОМЕТРИ. ПРИЛОЖЕНИЕ

В процеса на проектиране на аналогово-цифрови (смесени) електронни схеми често се използват многоканални аналогови електронни ключове, мултиплексори и CMOS цифрови потенциометри. Този тип електронни елементи представляват аналогово-цифрови монолитни интегрални схеми, чиято функция в смесените схеми е да променят съпротивлението в даден клон от верига. При това управляващото двоично число за аналоговите ключове се формира от допълнителна цифрова електронна схема, например микроконтролер.

1.1. Аналогови електронни ключове

Електронните аналогови ключове се използват за комутация (превключване) на аналогови входни сигнали. Когато ключът се намира във включено състояние, неговото изходно напрежение по възможност трябва да бъде точно равно на входното напрежение. В изключено състояние на ключа изходното напрежение трябва да стане равно на нула.

Аналоговите ключове в електронните схеми се реализират с помощта на електронни елементи, използвани в качеството на управляемо съпротивление. При тях в зависимост от големината на управляващото напрежение или ток съпротивлението им може да има минимална или достатъчно голяма (максимална) стойност. Аналоговите ключове се реализират на базата на диоди, транзистори, тиристоры и други управляеми електронни елементи. Най-голямо приложение в аналоговите електронни схеми имат ключовете, изградени на базата на полеви и MOS транзистори.

1.1.1. Аналогови ключове с полеви транзистори с управляващ PN преход

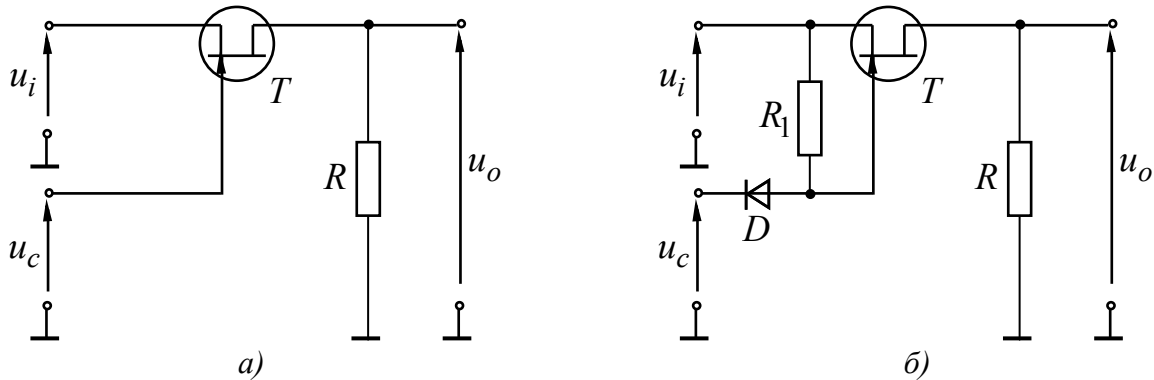
Както е известно, при малки напрежения дрейн-сорс полевият транзистор може да се разглежда като омично съпротивление, стойността на което може да се изменя в десетки пъти при промяна на управляващото напрежение гейт-сорс U_{GS} . На фиг. 1.1а е дадена опростена схема на последователен ключ с полеви транзистор с N канал. Ако управляващо напрежение u_c се установи със стойност по-малка от минимално възможното входно напрежение u_i и по абсолютна стойност по-малко от праговото напрежение U_{Th} , полевият транзистор е запушен (ключът е отворен) и изходното напрежение u_o става равно на нула.

Транзисторът се отпушва, т.е. ключът се затваря, при условие, че напрежението U_{GS} се поддържа равно на нула. В този случай съпротивлението дрейн –

сорс е минимално и $u_o \approx u_i$. Въз основа на казаното по-горе за управляващото напрежение u_c в двете състояния на ключа от фиг. 1.1а може да се напише:

$$(1.1) \quad u_{c, \text{вкл.}} = u_i \quad \text{и}$$

$$u_{c, \text{изкл.}} \leq \begin{cases} U_{Th} & \text{за } u_i > 0 \\ U_{Th} + U_{i \text{ min}} & \text{за } u_i < 0. \end{cases}$$



Фиг. 1.1. Последователен аналогов ключ с полеви транзистор с управляващ PN преход: а) – опростена принципна схема; б) – усъвършенствана принципна схема.

Когато е необходимо транзисторът да бъде отпушен, трябва напрежението U_{GS} да се поддържа равно на нула. Това условие, обаче не е толкова лесно да се изпълни, тъй като напрежението на сорса в общия случай се изменя. На фиг. 1.1б е дадена схема на аналогов ключ, в която са отстранени някои недостатъци на предишната схема. За нея, при условие, че управляващо напрежение u_c е по-голямо от максималното възможното входно напрежение $u_{i \text{ max}}$, диодът D се запушва и чрез резистора R напрежението на гейта става равно на напрежението на сорса или $U_{GS} = 0$. Полевият транзистор е отпушен и $u_i \approx u_o$.

При достатъчно голямо отрицателно управляващо напрежение диодът D се отпушва, а полевият транзистор се запушва. В този режим на работа през резистора R_1 протича ток от източника на входния сигнал в управляващата верига. Това не нарушава нормалната работа на схемата, тъй като изходното напрежение е нула. Нарушаване на нормалната работа на тази схема може да възникне в случай, че източникът на входен сигнал включва разделителен кондензатор, който при отворен ключ може да се зареди до отрицателното ниво на u_c . Въз основа на казаното по-горе за напрежението u_c в двете състояния на ключа от фиг. 1.1б може да се напише:

$$(1.2) \quad u_{c, \text{вкл.}} = u_{i \text{ max}} \quad \text{и}$$

$$u_{c, \text{изкл.}} < \begin{cases} U_{Th} & \text{за } u_i > 0 \\ U_{Th} + U_{i \text{ min}} & \text{за } u_i < 0. \end{cases}$$

1.1.2. Аналогови ключове с MOS транзистори

Втората група схеми на аналогови електронни ключове се реализират въз основа на MOS транзистори. При тях част от проблемите, които възникват при използването на полеви транзистори, до голяма степен могат да се избегнат. Така например, един MOS транзистор може да се отпусти, ако се подаде управляващо напрежение на гейта, по-голямо от максималното входно напрежение $u_{i\max}$ с U_{Th} . В този режим на работа токът между гейта и дрейна (сорса) ще бъде равен на нула, за разлика от схемата на фиг. 1.1, където при $u_{c, \text{вкл.}} = u_{i\max}$ през резистора R_1 протичат гейтовият ток на полевия транзистор и обратният ток на диода D . В такъв случай за електронен ключ с MOS транзистор отпада необходимостта от резистор R_1 и диод D . С цел да се увеличи диапазонът на възможните входни напрежения както в положителната така и в отрицателна посока, вместо един MOS транзистор често се използва CMOS схема, състояща се от два комплементарни MOS транзистора, включени паралелно. Такава схема на последователен електронен ключ с еднополярен захранващ източник е показана на фиг. 1.2. За да се приведе електронният ключ от фиг. 1.2а във включено състояние, трябва към гейта на MOS транзистора с индуциран N канал (NMOS) T_1 да се приложи положително управляващо напрежение не по-малко от $2U_{Th}$ ($V_{DD}^+ \geq 2U_{Th}$), а към гейта на MOS транзистора с индуциран P канал (PMOS) T_2 – нула посредством инвертора G_1 . При малки входни напрежения u_i двата транзистора са отпущени. Ако входното напрежение се увеличи, напрежението U_{GS1} намалява и в резултат на това съпротивлението на канала на T_1 се увеличава. Едновременно с това напрежението U_{GS2} се увеличава и съпротивлението на канала на T_2 намалява. При това еквивалентното съпротивление на затворения ключ R_{ON} остава малко. При намаляване на входното напрежение съпротивлението на канала на T_1 – намалява, а на T_2 се увеличава, като отново еквивалентното съпротивление R_{ON} е малко.

За да се приведе електронният ключ в изключено състояние, трябва към гейта на транзистора T_1 да се приложи нула, а към гейта на транзистора T_2 – $V_{DD}^+ \geq 2U_{Th}$.

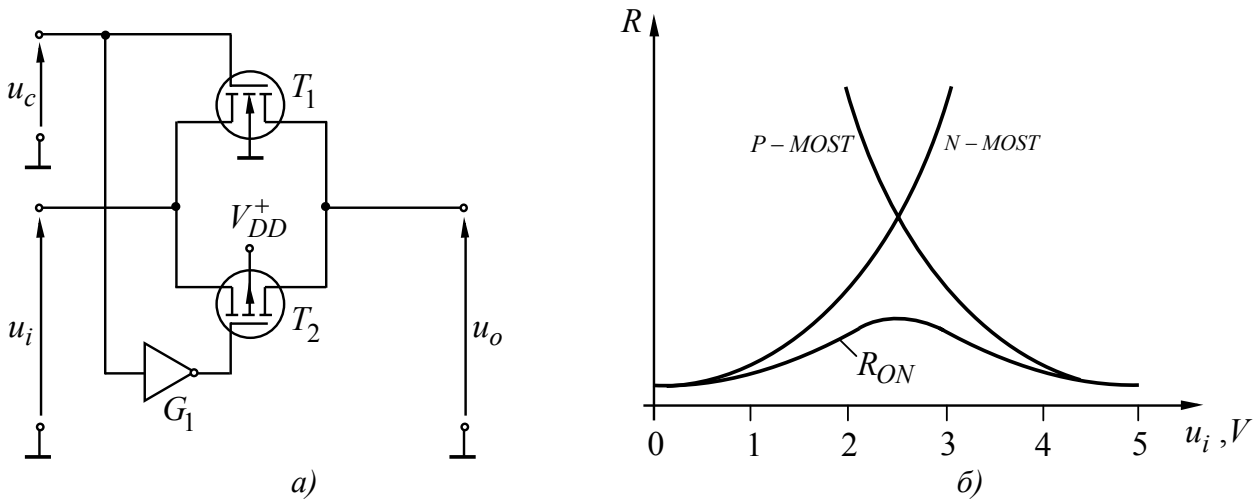
Въз основа на казаното по-горе за напрежението u_c в двете състояния на ключа (фиг. 1.2а) следва

$$u_{c, \text{вкл.}} = V_{DD}^+ \text{ и} \quad (1.3)$$

$$u_{c, \text{изкл.}} = 0V.$$

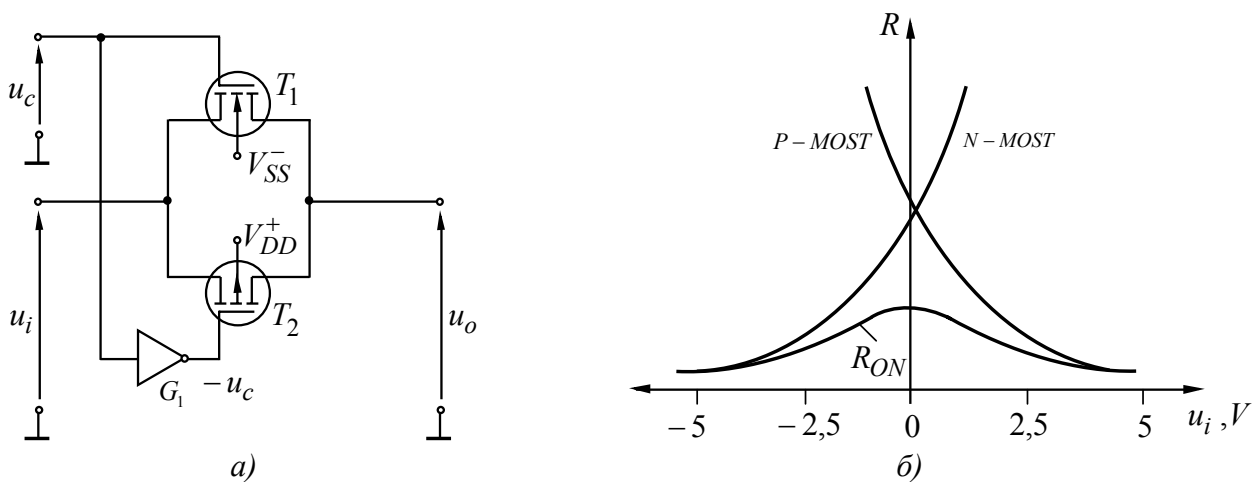
На фиг. 1.2б е дадена примерна зависимост на съпротивлението на канала във включено състояние R_{ON} от входното напрежение u_i . Тя е получена при

условие, че управляващото напрежение за ключа u_c е равно на $V_{DD}^+ \geq 2U_{Th}$ ($V_{DD}^+ = 5V$), а входното напрежение се изменя от $0V$ до V_{DD}^+ .



Фиг. 1.2. Последователен аналогов ключ с MOS транзистори: а) – принципна електронна схема; б) – зависимост на съпротивлението във включено състояние от входното напрежение за $u_c = u_{c,вкл} = V_{DD}^+ = 5V$.

При двуполярен захранващ източник електронният ключ (фиг. 1.3) може да работи с произволна полярност на входния сигнал. В този случай съпротивлението R_{ON} може да се поддържа също малко при изменение на входното напрежение u_i в интервала $\pm 5V$ (при захранващо напрежение $V_{DD}^+ = -V_{SS}^- = 5V$). На фиг. 1.3б е дадена примерна зависимост на съпротивлението R_{ON} от входното напрежение.



Фиг. 1.3. Последователен аналогов ключ с MOS транзистори при двуполярно захранващо напрежение: а) – принципна електронна схема; б) – зависимост на съпротивлението във включено състояние от входното напрежение за $u_c = u_{c,вкл} = V_{DD}^+ = 5V$.

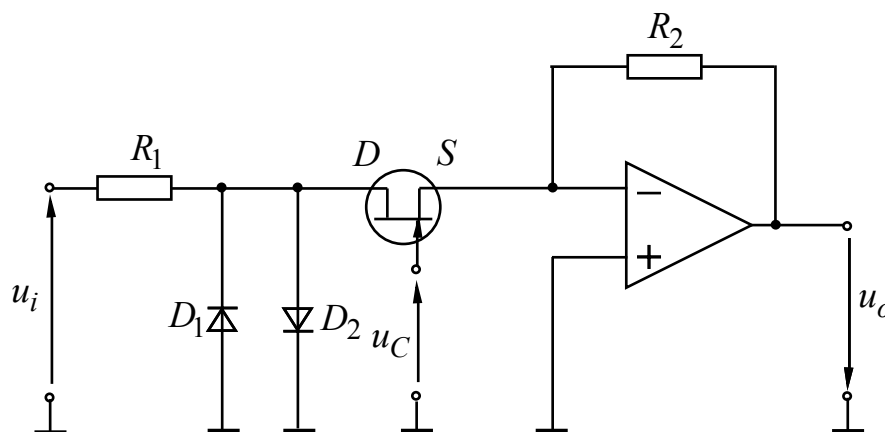
Въз основа на казаното по-горе за напрежението u_c в двете състояния на ключа от фиг. 1.3а се получава:

$$u_{c, \text{вкл.}} = V_{DD}^+ \text{ и}$$

$$u_{c, \text{изкл.}} = V_{SS}^-.$$

1.1.3. Аналогови ключове с операционни усилватели

Основният недостатък на аналоговите ключове с полеви и MOS транзистори е сравнително голямото изходно съпротивление във включено състояние. Стойността на изходното съпротивление може да се намали, ако последователно на ключа се свърже инвертиращ усилвател с ОУ. На фиг. 1.4 е показана



Фиг. 1.4. Схема на последователен ключ с полеви транзистор и ОУ.

схема на последователен ключ с ОУ. Изходното напрежение в изключено и включено състояние в зависимост от управляващото напрежение u_C има следните стойности:

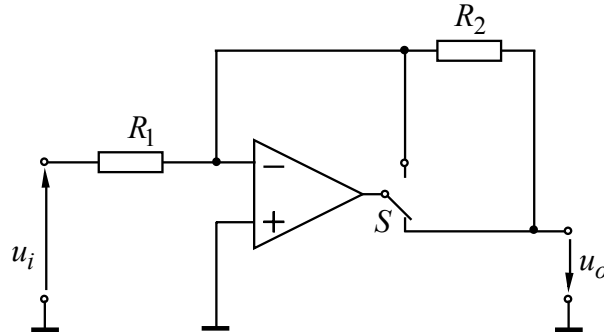
$$(1.5) \quad u_o = \begin{cases} 0 & \text{за } u_C < U_{Th} - 0,6V \\ -\frac{R_2}{R_1 + r_{DS}} u_i & \text{за } u_C = 0, \end{cases}$$

където $r_{DS} = R_{ON}$ е съпротивлението на полевия транзистор във включено състояние. Ако $R_2 = R_1 + r_{DS}$, то $U_o = U_i$.

Ако в схемата от фиг. 1.4 към инвертиращия вход на ОУ се включат няколко последователни ключове с полеви транзистори, се получава схема на аналогов мултиплексор.

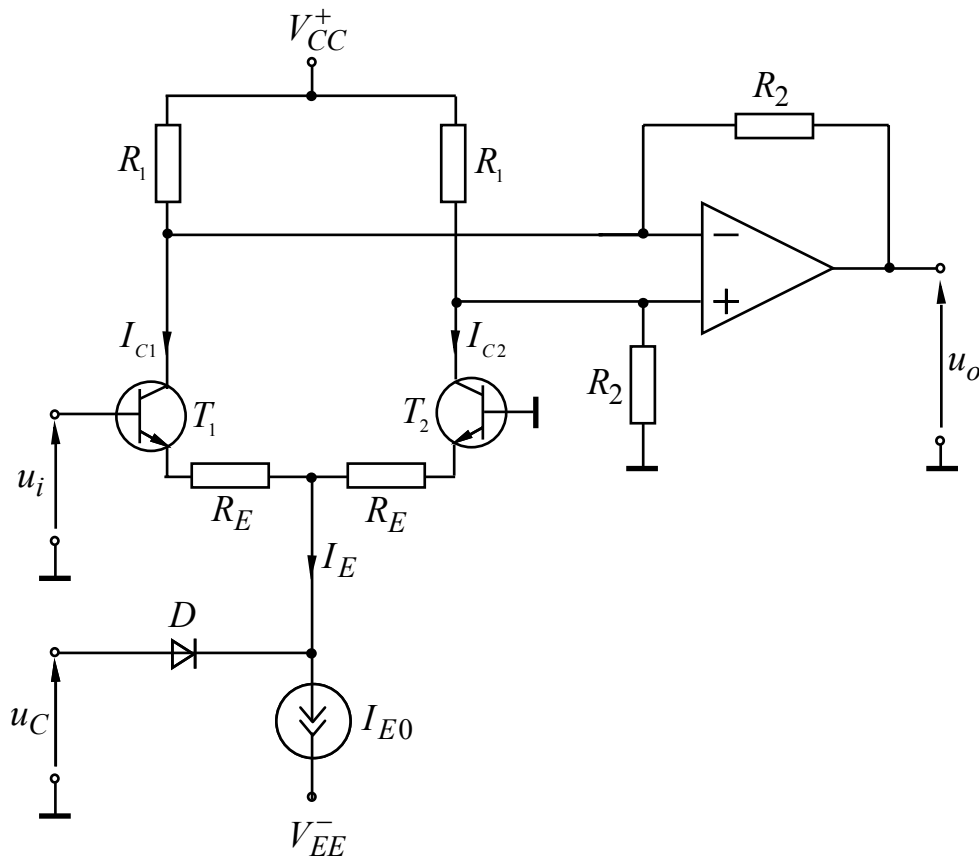
Тъй като за схемата от фиг. 1.4 при включено състояние на транзисторния ключ във формулата за коефициента на предаване по напрежение участва и съпротивлението r_{DS} на фиг. 1.5 е дадена схема, в която електронният ключ S е свързан във верига на отрицателна обратна връзка на ОУ. За нея изходното напрежение в изключено и включено състояние на ключа има следните стойности:

$$(1.6) \quad u_o = \begin{cases} 0 & \text{за } S = \text{горе} \\ -\frac{R_2}{R_1} u_i & \text{за } S = \text{долу.} \end{cases}$$



Фиг. 1.5. Схема с електронен ключ свързан във веригата на ООВ на ОУ.

Друга схема на аналогов ключ с операционен усилвател е показана на фиг. 1.6. В нея се използва диференциална двойка биполярни транзистори с два резистора в колекторните вериги и преобразувател на ток в напрежение с ОУ.



Фиг. 1.6. Схема на последователен ключ с диференциална двойка транзистори.

Общият емитерен ток I_E се комутира от напрежението u_C със стойности от нула до I_{E0} . ОУ преобразува разликата на колекторните токове в изходно напрежение, съгласно формулата:

$$(1.7) \quad u_o = R_2(i_{C1} - i_{C2}).$$

Ако управляващото напрежение е $u_C > 0$, диодът D се отпушва и транзисторите T_1 и T_2 се запущват. При това $i_{C1} = i_{C2} = 0$, а оттам и $u_o = 0$

За отрицателно напрежение u_C , диодът D се запущва и общият емитерен ток I_E става равен на тока I_{E0} . В този случай транзисторите T_1 и T_2 са отпушени и стойностите на колекторните токове са:

$$(1.8) \quad I_{C1} = \frac{1}{2}(I_{E0} + S'u_i) \text{ и}$$

$$I_{C2} = \frac{1}{2}(I_{E0} - S'u_i),$$

където $S' = \frac{1}{R_E + 1/S}$ е стръмността на входното стъпало.

В съответствие с формула (1.6) за изходното напрежение се получава

$$(1.9) \quad u_o = S'R_2u_i.$$

Тогава в общия случай за стойностите на изходното напрежение в изключено и включено състояние се получава

$$(1.10) \quad u_o = \begin{cases} 0 & \text{за } u_C > U_{i,\max} \\ S'R_2u_i & \text{за } u_C < -I_{E0}R_E. \end{cases}$$

При паралелно свързване на два ключа с диференциални двойки, чиито общи емитерни токове се превключват с помощта на допълнителни транзисторни ключове се получава схема на аналогов мултиплексор 1×2 с широк динамичен диапазон.

Работната честотна област на тези ключове при подходящ избор на транзисторите може да се разшири до 100MHz . Схемите с диференциални двойки намират приложение в устройства за предаване на данни и се използват в качеството на модулатори, демодулатори и фазови детектори. Също така и при реализацията на широкодиапазонни осцилоскопи като превключватели на канали.

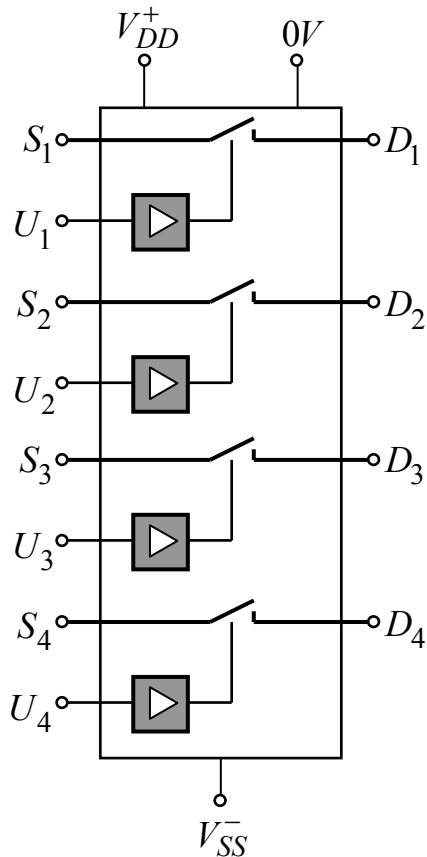
1.2. Специализирани интегрални схеми на CMOS аналогови ключове и аналогови мултиплексори. Характеристики и параметри

Монолитните интегралните схеми на многоканални аналогови ключове и аналогови мултиплексори са особено важни електронни елементи за проектирането и реализацията на схеми и устройства, за които е необходимо да се управлява или избира специфичен път за даден аналогов сигнал. Тези елементи намират широко приложение в устройства, включващи многоканални системи

за събиране и обработка на информация, системи за управление, мащабиращи усилватели, видеоусилватели и аудиоусилватели.

1.2.1. Монолитни интегрални схеми на CMOS аналогови ключове [11] [19]

Развитието на CMOS технологиите през последното десетилетие позволи разработката и производството на многоканални аналогови ключове като монолитни ИС. При тях в обема на един монокристал се реализират няколко аналогови



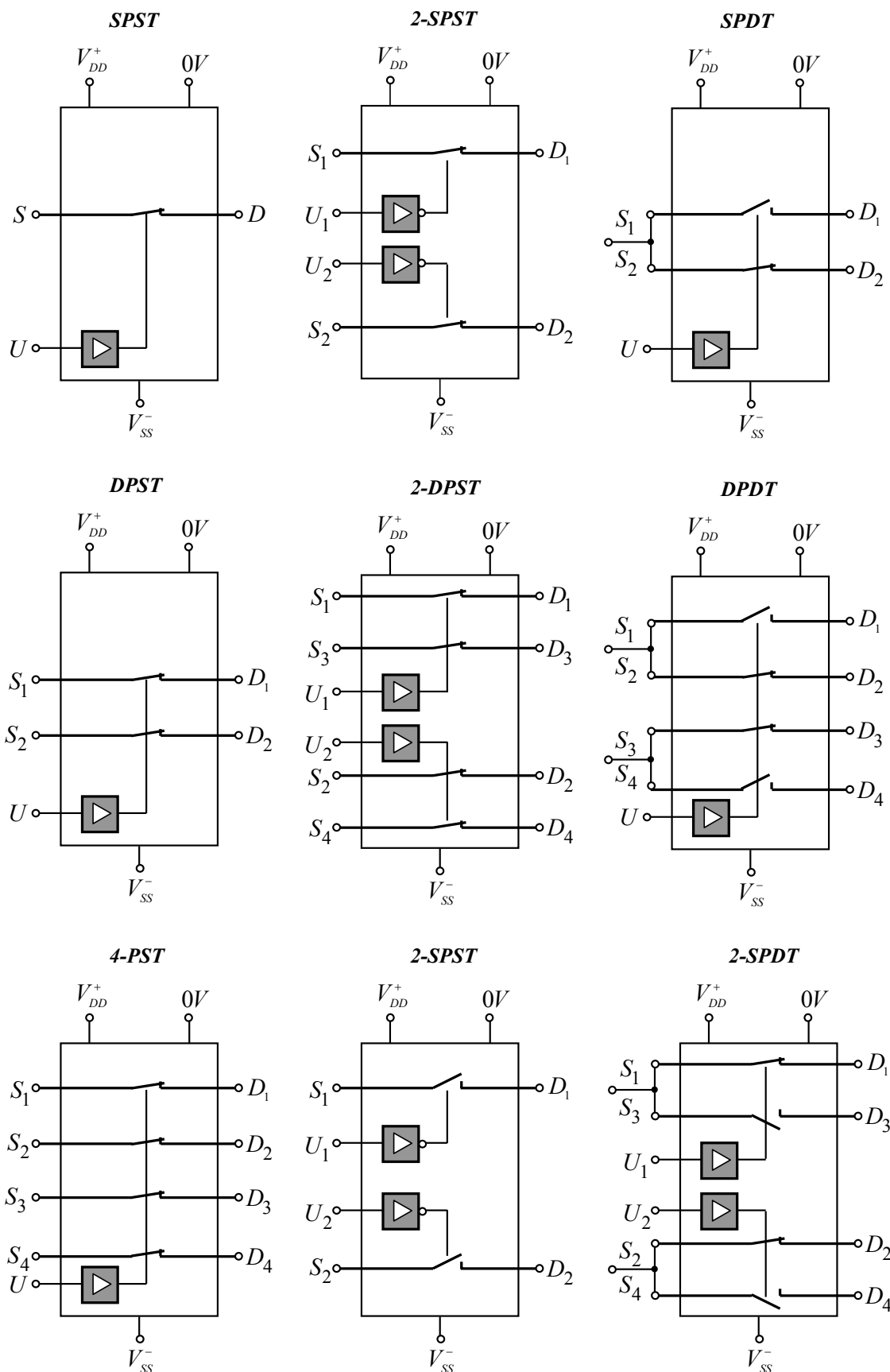
Фиг. 1.7. Структура на интегрална схема, съдържаща четири CMOS аналогови ключа.

ключовете с управляващи логически елементи (няколко клетки), като по този начин значително се опростява употребата им в разнообразни електронни схеми и устройства.

На фиг. 1.7 е представена примерна структура на монолитна ИС, съдържаща четири самостоятелни CMOS аналогови ключа. Превключването на ключовете се осъществява посредством унитарен цифров код. В интегралната схема всеки електронен ключ се реализира по схемата от фиг. 1.3а. Двете състояния на ключовете се получават от логическите сигнали подадени на изводи U_1 , U_2 , U_3 и U_4 . При това нивата на тези сигнали трябва да бъдат със CMOS съвместими нива. За да може да се превключват двуполярни аналогови сигнали, по-голяма част от интегралните схеми позволяват подаването на двуполярно хранящо напрежение (например $\pm 5V$ или $\pm 15V$).

На фиг. 1.8 са представени единични клетки на основните видове монолитни аналогови ключове.

В режим на покой електронните ключове на всяка клетка могат да бъдат затворени (normally closes = NC) или отворени (normally open = NO). В зависимост от броя на ключовете, които се управляват от един логически елемент, се различават единични (single pole = SP), двойни (double pole = DP) и четворни (4 – pole = 4 – p) клетки. Според броя на позициите на един ключ се разпознават еднопозиционни и двупозиционни аналогови ключове (single throw = ST и double throw = DT). Например клетка с един двупозиционен ключ се означава като SPDT, а клетка с два двупозиционни ключа се означава с 2-SPDT. Специализирани интегрални схеми от типа SPDT са ADG918 и 4053, които съдържат съответно една и три SPDT клетки.

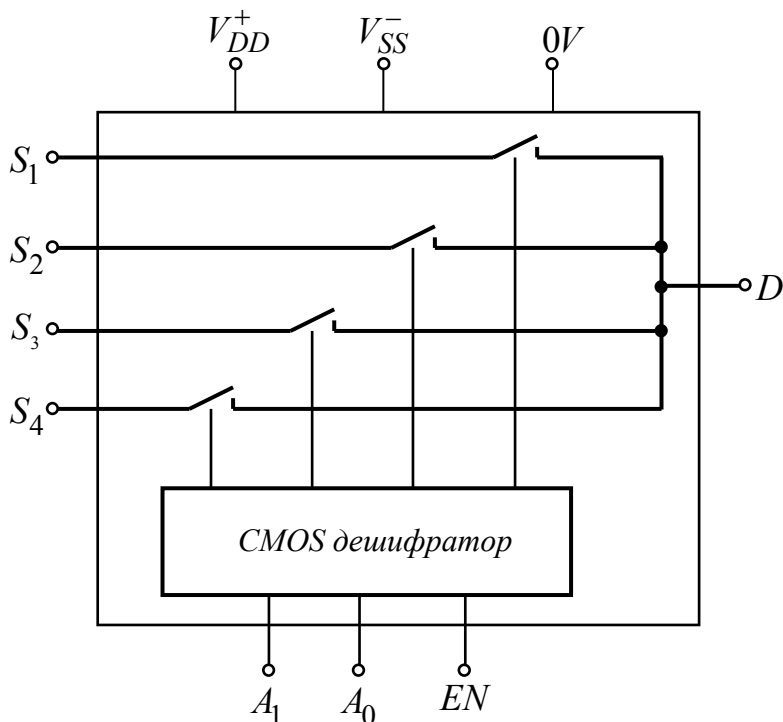


Фиг. 1.1. Единични клетки на основните видове интегрални аналогови ключове.

Други примерни интегрални схеми на аналогови ключове са 4066 и DG208, които съдържат съответно четири и осем SPST клетки.

1.2.2. Монолитни интегрални схеми на CMOS аналогови мултиплексори [11]

Аналоговите мултиплексори са превключващи схеми, които имат няколко информационни входа и един изход. Те се управляват от адрес в двоичен вид, определящ кой от входните сигнали да бъде пропуснат към изхода. При n адресни входа максималният брой информационни входове е 2^n .



Фиг. 1.9. Структурна схема на CMOS аналогов мултиплексор 1×4 .

На фиг. 1.9 е показана примерна структура на аналогов мултиплексор, реализирана с четири аналогови ключа и един CMOS дешифратор, който формира управляващите сигнали. При подаване на определен адрес на изводи A_1 и

A_0 в един от изходите на дешифратора се получава логическа единица, съответстваща на напрежение $u_{с, вкл.} = V_{DD}^+$

($V_{DD}^+ \geq 2U_{Th}$), което предизвиква затварянето на един от ключовете. По този начин даден входен сигнал се пропуска към изхода D . Освен адресните входове в схемата от фиг. 1.9 има и вход за разрешение EN . При логическа нула на EN дешифраторът се забранява, като всички ключове се отварят. Всички въз-

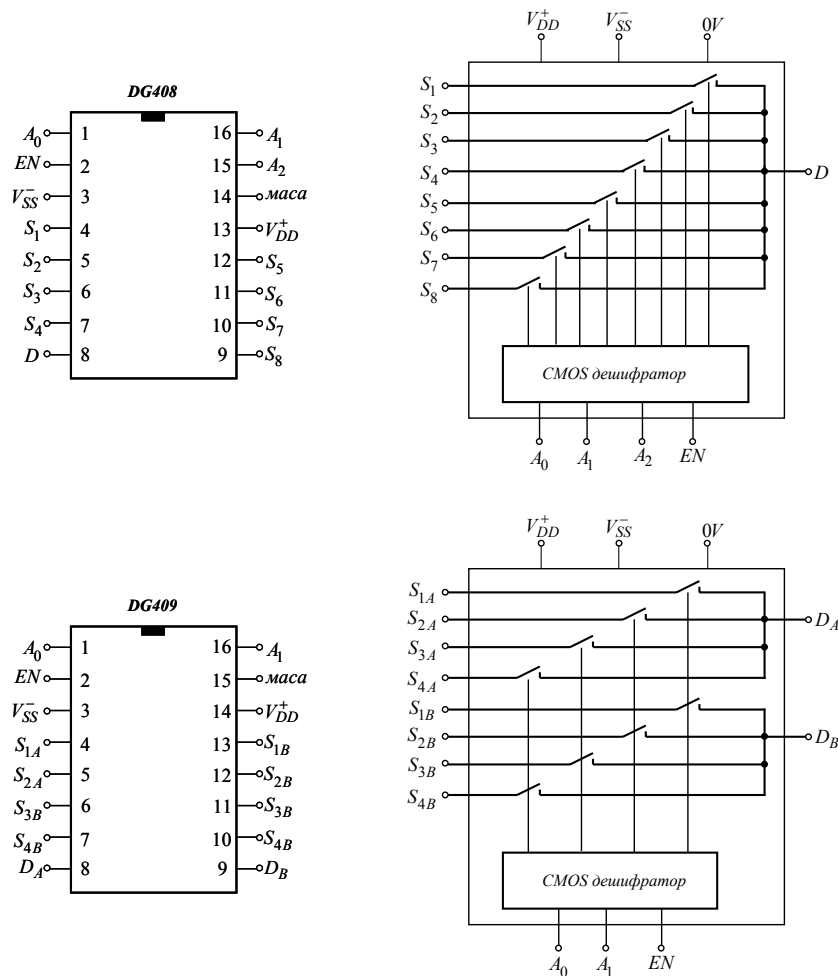
Таблица 1.1.

A_1	A_0	EN	Функция
×	×	0	забранен
0	0	1	канал 1
0	1	1	канал 2
1	0	1	канал 3
1	1	1	канал 4

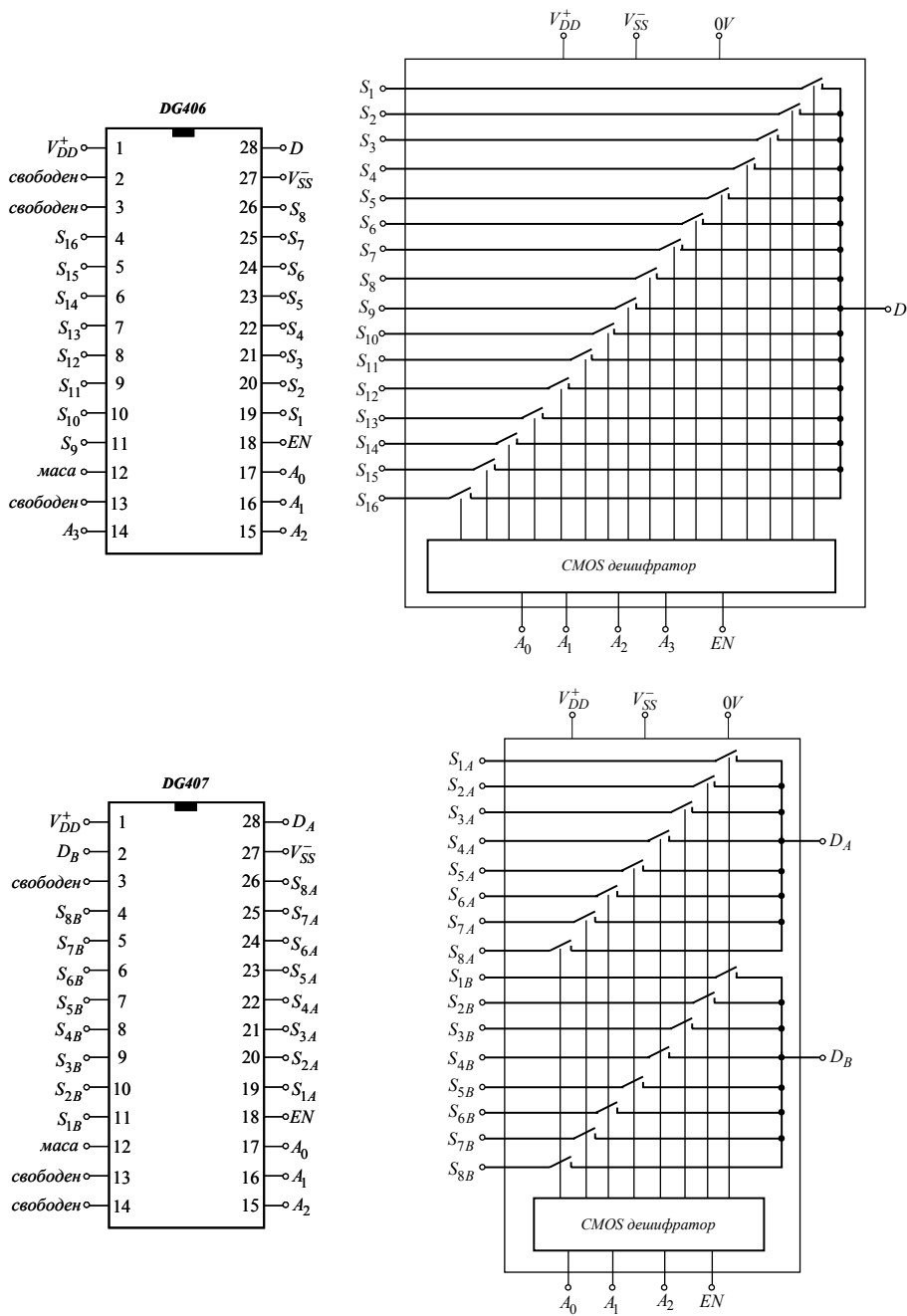
можни комбинации на адресните входове и съответните състояния на електронните ключове са дадени в таблица 1.1.

Разнообразието от CMOS аналогови мултиплексори е изключително голямо. Много са и фирмите производители на монолитни интегрални схеми от този тип. Обикновено в техните информационни материали интегралните схеми се представят в таблици, отразяващи продукцията в отделни групи, като например стандартни (с общо предназначение), бързодействащи с време на превключване по-малко от 100ns, микромощни с $P_{DD} \leq 100\mu W$ и високоволтови с $U_{i\max} \geq 30V$.

Най-общо в зависимост от вътрешната структура аналоговите мултиплексори се разделят на схеми с единични и диференциални входове. На фиг. 1.10 са дадени типични представители на най-често използваните видове мултиплексори в програмируемите аналогови схеми. Всяка от интегралните схеми е представена с разположение на изводите и обобщена схема на вътрешната структура. Интегралните схеми DG408 и DG406 са от групата на мултиплексорите с единични входове, като имат съответно 8 и 16 входове. Схемите DG409 и DG407 са диференциални мултиплексори, съответно с 4 и 8 диференциални входа.



a)

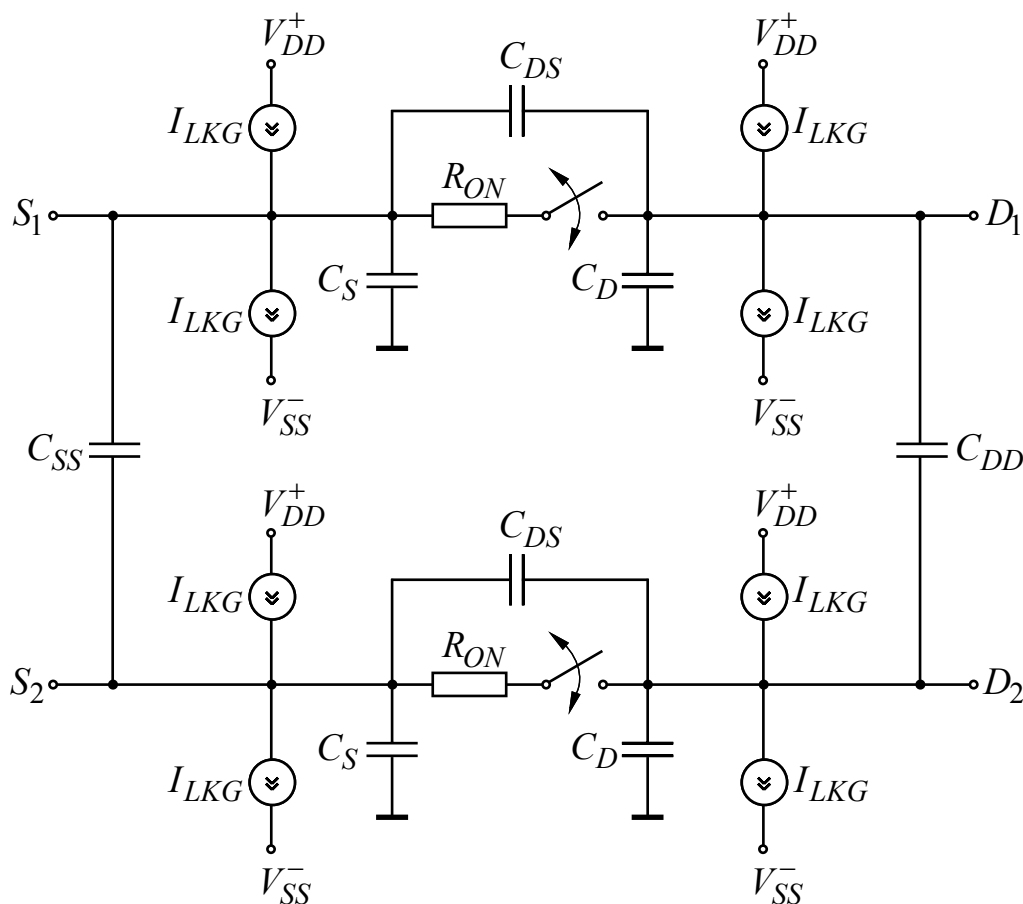


б)

Фиг. 1.10. Монолитни аналогови мултиплексори: а) – с единичен вход; б) – с диференциален вход.

1.2.3. Еквивалентна схема и основни електрически параметри на многоканални аналогови ключове [2] [1.15] [1.16] [12] [15]

Идеалните аналогови ключове от фиг. 1.7 и фиг. 1.9 не отразяват крайните стойности на електрическите параметри. За да се схване по-ясно същността и приложимостта на интегралните аналогови ключове и мултиплексори в този параграф е представена еквивалентна схема и са разгледани основните характеристики и параметри на CMOS аналоговите ключове.



Фиг. 1.11. Еквивалентна схема на два съседни CMOS аналогови ключа в монолитна интегрална схема.

На фиг. 1.11 е дадена еквивалентната схема на два съседни CMOS аналогови ключове. Електрическите параметри на аналоговия канал и цифровите входове, както и параметрите на превключване могат да бъдат дефинирани по следния начин:

1. *Параметри на аналоговия канал:*

– *Диапазон на изменение на аналоговите сигнали:* максималният безопасен диапазон на входните напрежения. Обикновено той се ограничава от захранващите напрежения. Тяхното превишаване може да доведе до взаимно влияние между каналите и повреждане на устройството, ако не е предвидена защита от пренапрежение;

– *Съпротивление във включено състояние (R_{ON}):* максималното съпротивление на включения канал, измерено между входа и изхода при входно напрежение в работния диапазон;

– *Изходен ток на утечка на изключените канали (I_{LKG}):* сумата от всички утечни токове във входа и изхода на отворените ключове, дължащи се на паразитните диоди в обратно включване, между подложка-сорс и подложка-дрейн.

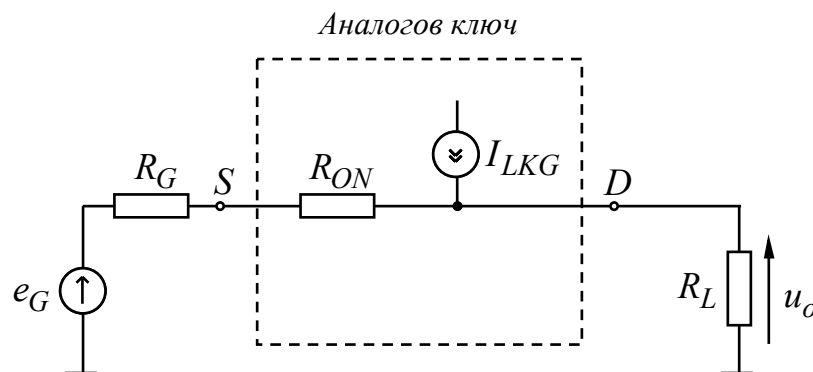
2. Параметри на цифровите входове:

- *Входни логическа нива*: максималното ниво на логическата “0” и минималното ниво на логическата “1” на цифровите входове;
- *Ток на утечка на цифровите входове*: токът (I_{iL} или I_{iH}), протичащ във веригата на цифровия вход при подаване към него на ниско или високо логическо ниво.

3. Параметри на превключване:

- *Време за включване*: времето, необходимо за включване на аналоговия изход към избрания аналогов вход. Измерва се от момента на подаване на управляващия цифров сигнал до момента, когато изходният сигнал достигне 90% от стойността си;
- *Закъснение на включването след изключване* (t_{OPEN}): времето между изключването на един канал и включването на друг, през което всички ключове са отворени;
- *Входен капацитет на канала* ($C_{S(OFF)}$): капацитетът между входа на отворения ключ и маса;
- *Изходен капацитет на канала* ($C_{D(OFF)}$): капацитетът между изхода на отворения ключ и маса. Времеkonстантата, определена от него и съпротивлението на затворения ключ влияе на честотните свойства на аналоговия мултиплексор;
- *Капацитет между входа и изхода на канала* ($C_{DS(OFF)}$): капацитетът между входните и изходните изводи при отворен ключ;
- *Изоляционна способност в изключено състояние*: определя частта от входния сигнал с висока честота, получена на изхода през отворен ключ;
- *”Прослушване между каналите”*: определя частта от входния сигнал, получена на изхода на друг канал, изразена в децибели. Този ефект е моделиран чрез паразитните капацитети между каналите C_{SS} и C_{DD} .

Когато аналоговият ключ е затворен (фиг. 1.12), при ниски честоти на входния сигнал коефициентът на предаване по напрежение се определя основно от големината на съпротивлението R_{ON} и от тока на утечка I_{LKG} .



Фиг. 1.12. Еквивалентна схема за ниски честоти на затворен аналогов ключ.

В динамичен режим и при условие, че към входа на ключа S е приложен сигнал e_G с вътрешно съпротивление R_G , а в изхода D е включен товар с еквивалентно съпротивление R_L , за изходното напрежение u_o се получава следната формула:

$$(1.11) \quad u_o = \frac{R_L}{R_G + R_{ON} + R_L} e_G + I_{LKG} [R_L \parallel (R_{ON} + R_G)].$$

При условие, че $R_G \rightarrow 0$ изразът за изходното напрежение се опростява и добива вида:

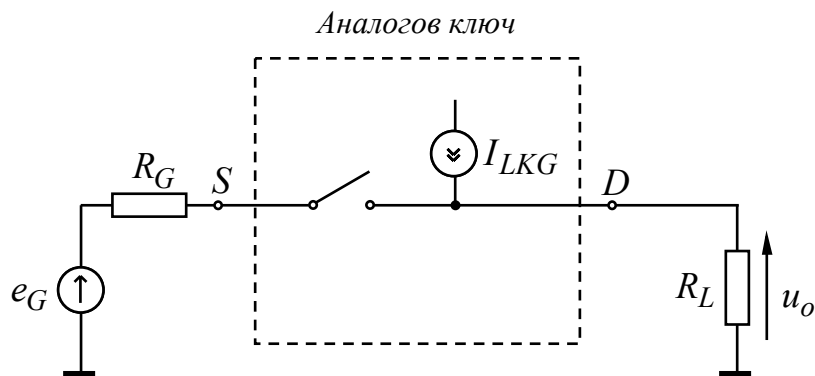
$$(1.12) \quad u_o = \frac{R_L}{R_{ON} + R_L} e_G + I_{LKG} (R_L \parallel R_{ON}).$$

От формули (1.11) и (1.12) се вижда, че изходното напрежение u_o е по-малко от входното напрежение e_G , като разликата може да се компенсира чрез електронна схема за донастройка на коефициента на усилване. Намаляване на грешката предизвикана от тока на утечка I_{LKG} , може да се осъществи при използване на нискоомни външни вериги, което обаче може да доведе до увеличаване на грешката от съпротивлението R_{ON} .

Освен влиянието върху коефициента на предаване по напрежение в статичен режим съпротивлението R_{ON} се променя при изменение на амплитудата на входния сигнал e_G (фиг. 1.2б). Модулацията на съпротивлението R_{ON} предизвиква нелинейни изкривявания във формата на изходния сигнал, които всъщност не могат да се премахнат чрез методите за калибриране.

Когато аналоговият ключ е отворен (фиг. 1.13) изходното напрежение на грешката се определя от тока на утечка и може да се намери от формулата:

$$(1.13) \quad u_o = I_{LKG} R_L.$$



Фиг. 1.11. Еквивалентна схема за ниски честоти на отворен аналогов ключ.

При затворен ключ и подаване на сигнал с висока честота капацитивните съпротивления на C_D , C_S и C_{DS} (фиг. 1.11) намаляват, в резултат на което коефициентът на предаване по напрежение също намалява. Освен това при увеличаване на честотата възникват фазови изкривявания във формата на изходния сигнал. За честоти на входния сигнал, при които капацитивните

съпротивления са по-малки от еквивалентните съпротивления на R_G , R_{ON} и R_L коефициентът на предаване по напрежение намалява приблизително със $-20dB/dec$, при което изходният сигнал затихва. Следователно, ако на входа s се подаде аудиосигнал, включващ множество хармонични съставки, ще се предадат без затихване само онези, които имат честота по-малка от граничната честота, определена от групите елементи $R_L \parallel R_{ON}$ и $C_D + C_{DS} + C_L$ за $R_G \rightarrow 0$.

При отворен ключ изходният сигнал се увеличава при нарастване на честотата на входния сигнал. Това паразитно прехвърляне на входния сигнал се получава чрез капацитета C_{DS} . При това отношението на промяната на изходното напрежение към предизвикващата го промяна на входното напрежение за отворен ключ определя коефициента на проникване на входа (Feedthrough attenuation ratio – FA или OFF – isolation):

$$(1.14) \quad FA = 20 \lg \frac{du_o}{du_i}, \text{ dB}.$$

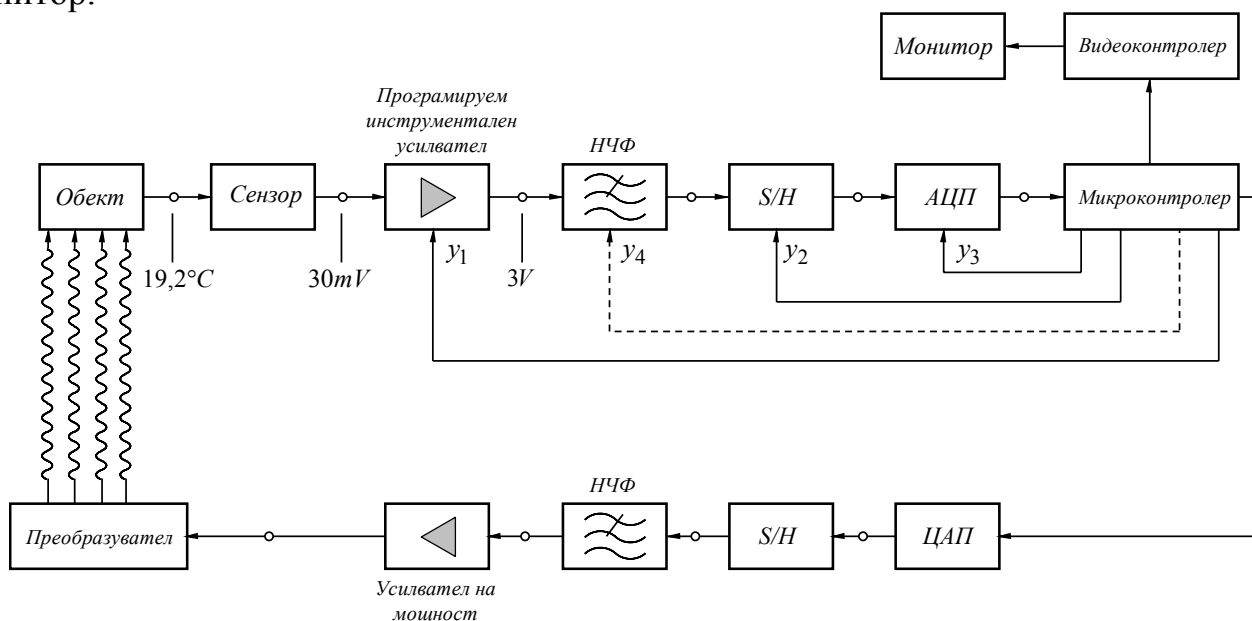
При монолитните интегрални схеми на многоканални CMOS аналогови ключове и мултиплексори коефициентът на проникване има типични стойности $80 \dots 90dB$.

1.3. Някои аналогово-цифрови (смесени) схеми с многоканални аналогови ключове и мултиплексори

Едно от основните приложения на аналоговите ключове и мултиплексори е при реализацията на програмируеми усилватели (Programmable gain amplifiers – PGAs) и атенюатори (Programmable attenuators). Това са аналогово-цифрови схеми, в които коефициентът на усилване (предаване) се задава с цифров код. Най-често при реализацията на програмируеми усилватели и атенюатори многоканален аналогов ключ или мултиплексор се свързва във веригата на ООВ на ОУ. Обикновено коефициентът на усилване за програмируемите усилватели има няколко фиксирани стойности, като например 1, 10, 100, 1000 и т.н. или 1, 2, 4, 8 и т.н. За програмируемите атенюатори коефициентът на усилване има стойности по-малки от единица, като например 10^{-1} , 10^{-2} , 10^{-3} и т.н. или 2^{-1} , 2^{-2} , 2^{-3} и т.н. Схемотехничното разнообразие и широкото разпространение на програмируемите усилватели и атенюатори се обяснява с факта, че освен самостоятелното си приложение в редица устройства, те се използват и като съставна част на други схеми с цифрово управление, като програмируеми активни филтри, стабилизатори и управляеми генератори. Друга област на приложение на аналоговите ключове са електронните схеми за проба и задържане (Sample and Hold – S/H) или т.нар. аналогови паметни. Тези схеми се използват за отчитане на входно напрежение за един кратък период от време,

обикновено в обхвата от 100ns до 10 μ s, след което отчетеното напрежение се задържа (или запомня) за един по-дълъг период от порядъка на няколко десетки микросекунди.

За да се схване по-ясно приложимостта на някои от програмируемите аналогови схеми на фиг. 1.14 е представена блокова схема на електронна система за събиране и обработка на аналогова информация. В обекта, представляващ например термокамера е разположен сензорен елемент. При това сензорът може да бъде термочувствителен резисторен мост или термодвойка. Слабите изходни напрежения от сензора се усилват с помощта на програмируем инструментален усилвател, след което се отстраняват високочестотните смущения с НЧФ и чрез блока за аналогова памет (схема за проба и задържане) се подават на цифрово-аналогов преобразувател (АЦП) за преобразуване на аналоговия сигнал в цифров вид. За преобразуването е необходимо определено време, през което входната информация на АЦП трябва да се запомни. Това се изпълнява от блока аналогова памет. По-нататък информацията постъпва за обработка в микроконтролера, като например температурата на обекта се извежда на монитор.



Фиг. 1.11. Блокова схема на електронна система за събиране и обработка на аналогова информация.

Обработената информация може да се използва и за управление на обекта. В такъв случай е необходим цифрово-аналогов преобразувател (ЦАП), НЧФ, усилвател на мощност и преобразувател (например отоплителна инсталация), така че въздействието върху обекта се изпълнява с аналогови сигнали. Микроконтролерът се използва също и за управление на програмируемия усилвател, аналоговата памет и АЦП (обратните връзки, означени с y_1 , y_2 и y_3). Ролята на програмируемия инструментален усилвател в разглежданата система е при изменение на околната температура да се осигури напрежение за АЦП в зададени граници. При това коефициентът на усилване по напрежение на инст-

рументалния усилвател има няколко стойности, като например 1, 10, 100 и 1000. В случай, че коефициентът на усилване има една фиксирана стойност температурите под и над една определена граница няма да се регулират от системата. За тези температури след усилвателя ще се получат стойности на напрежението извън работния обхват на АЦП.

Когато обектът представлява например двигател и към оста е монтиран сензор с фотодиод за следене на периферната скорост на въртене или пиезодатчик за следене на “биене на осите” е необходимо микроконтролерът да произвежда допълнителен управляващ сигнал u_4 . Той ще се използва за управление на граничната честота на програмируем НЧФ.

1.3.1. Основни определения [5.12] [7] [15]

Преди да се разгледат конкретни схемни варианти е важно да се разграничат аналоговите схеми с непрекъснато действие (continuous-time analog circuits), цифровите схеми (digital circuits) с действие в отделни (дискретни) моменти от времето и аналогово-цифровите (смесените) схеми (mixed-signal circuits или sampled-data analog circuits) по отношение на вида на входните и изходните сигнали. Една електронна схема е аналогова, ако входният сигнал x_i и изходният сигнал x_o (x е напрежение или ток) са непрекъснати вълни (continuous waveforms), както е показано на фиг. 1.14а. Казано по друг начин x_i и x_o са непрекъснати променливи по амплитуда и време. При това x_i и x_o могат да се представят аналитично като непрекъснати функции на променливата t , т.е.

$$(1.15) \quad x_i = x_i(t) \quad \text{и} \quad x_o = x_o(t).$$

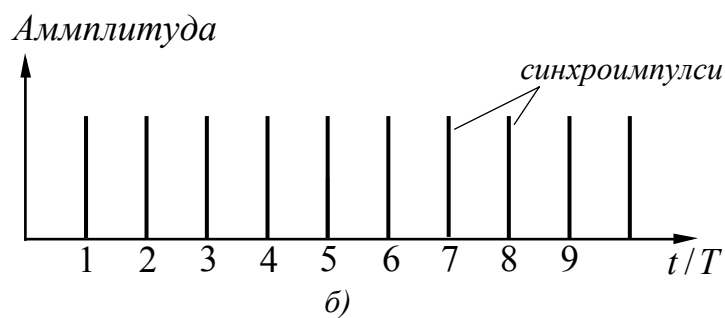
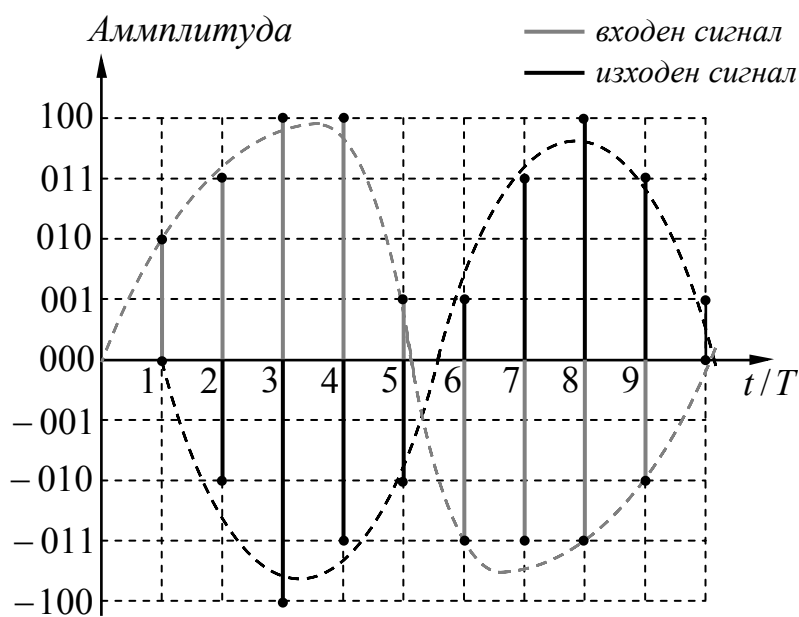
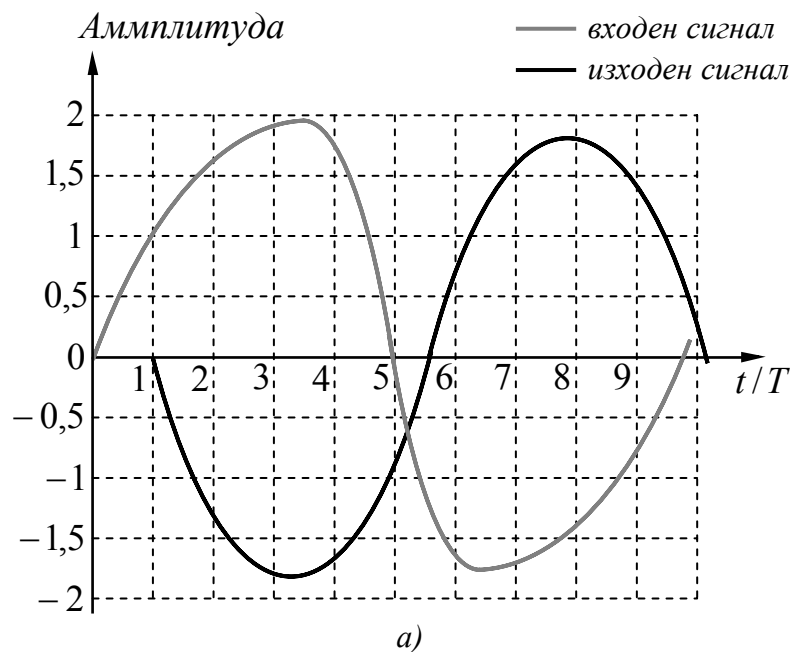
Тогава за всеки момент t ще се получава определена стойност на x_i и съответно на x_o .

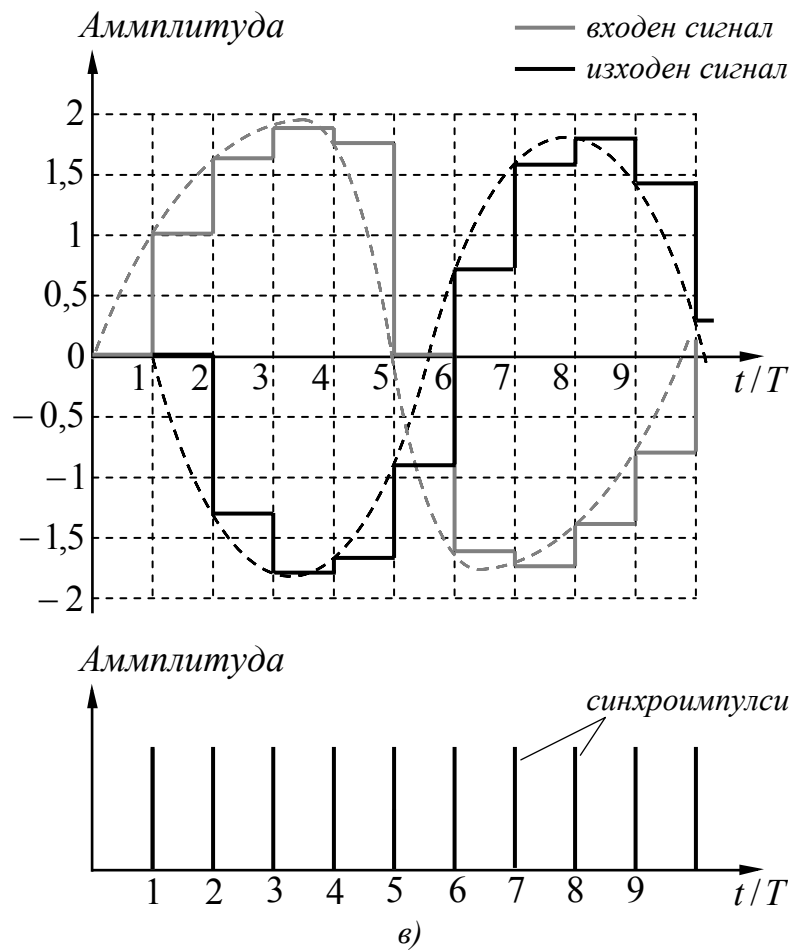
В цифровите схеми входният и изходният сигнал се дефинират като набор от моментни стойности или “моментни състояния”, записани в дискретни, обикновено периодично повтарящи се моменти. Едно моментно състояние на цифровия сигнал се нарича *отчет* (sample), а процесът на получаване на отчети се нарича *отчитане* (sampling). Дискретните моменти, в които се дефинират цифровите сигнали се определят от *синхросигнал* (impulse-sampling signal), както е показано на фиг. 1.14б. Амплитудите на цифровите сигнали могат да заемат само краен брой различни стойности. Представянето на амплитудата със специфични дискретни стойности се нарича *квантоване* по ниво (quantization). Например отчети квантувани до 8 бита трябва да се представят с едно от $2^8 = 256$ различни нива или с 8 битови различни двоични числа. Следователно цифровите сигнали са дискретизирани във времето и квантувани по ниво. При това входният и изходният сигнал на цифровите схеми могат да се представят аналитично като функции на дискретните моменти ($t = kT$) на целочислената променлива k , т.е.

$$(1.16) \quad x_i = x_i(kT) \quad \text{и} \quad x_o = x_o(kT),$$

където $k = t/T$ (за $k = 0, 1, \dots, \infty$).

Времевият интервал T между последователни отчети се нарича *период на отчитане* (sampling period) или *интервал на отчитане* (sampling interval), а реципрочната стойност на периода на отчитане $1/T = f_s$ се нарича *скорост на*





Фиг. 1.14. Примерна форма на входен и изходен сигнал: а) – за аналогова схема; б) – за цифрова схема; в) – за аналогово-цифрова схема.

отчитане (sampling rate или sample per second) или *честота на отчитане* (sampling frequency) (hertz).

Когато се описват цифрови сигнали дискретната амплитуда обикновено се представя с двоично число като се използва двоичен код (двоична бройна система).

В аналогово-цифровите (смесените) схеми входният, изходният или управляващия сигнал са чисто цифрови или дискретизирани във времето. Така например за цифрово-аналоговите преобразуватели изходното аналогово напрежение е пропорционално на входното двоично число D подадено на неговите адресни входове, докато за аналогово-цифровите преобразуватели, обратно – изходното двоично число е пропорционално на входното аналогово напрежение. При електронните схеми, в които входният и/или изходният сигнал са дискретизирани под действието на управляващ цифров сигнал, между два интервала на отчитане амплитудите са с постоянни стойности. Тогава $x(t) \equiv x(kT)$ за всички моменти в интервала $kT < t < (k+1)T$, както е показано на фиг. 1.14в. В зависимост от съотношението между продължителността на синхросигнала и периода T съществуват следящо-задържащи схеми (track-and-hold – T/H circuits) и проба-задържащи схеми (sample-and-hold – S/H circuits). Продължи-

телността на синхросигнала определя времето на отчитане или следене (проследяване) на входния сигнал. При Т/Н схемите продължителността на синхросигнала е много по-голяма от интервала между два отчета. Така например за голяма част от програмируемите усилватели с многоканални аналогови ключове продължителността на проследяване на входния сигнал може да бъде много по-голяма от интервала между два отчета. Времето между два отчета се определя от начина на зареждане (последователно или паралелно) на управляващата цифрова дума и честотата на тактовия сигнал при зареждане. За S/H схемите отчитането на входния сигнал става за кратко време, след което отчетената стойност на напрежението се задържа (запомня) за един по-дълъг интервал от време. Така например за аналоговите паметни продължителността на синхросигналите е много по-кратка от интервала между два отчета. Тогава за да може сигналът да се възстанови без грешка съгласно теоремата за дискретизация (или теоремата на Найкуист (Котелников)) максималната честота в спектъра на входния сигнал трябва да бъде ограничена до $f_{i,\max} \leq f_s / 2$.

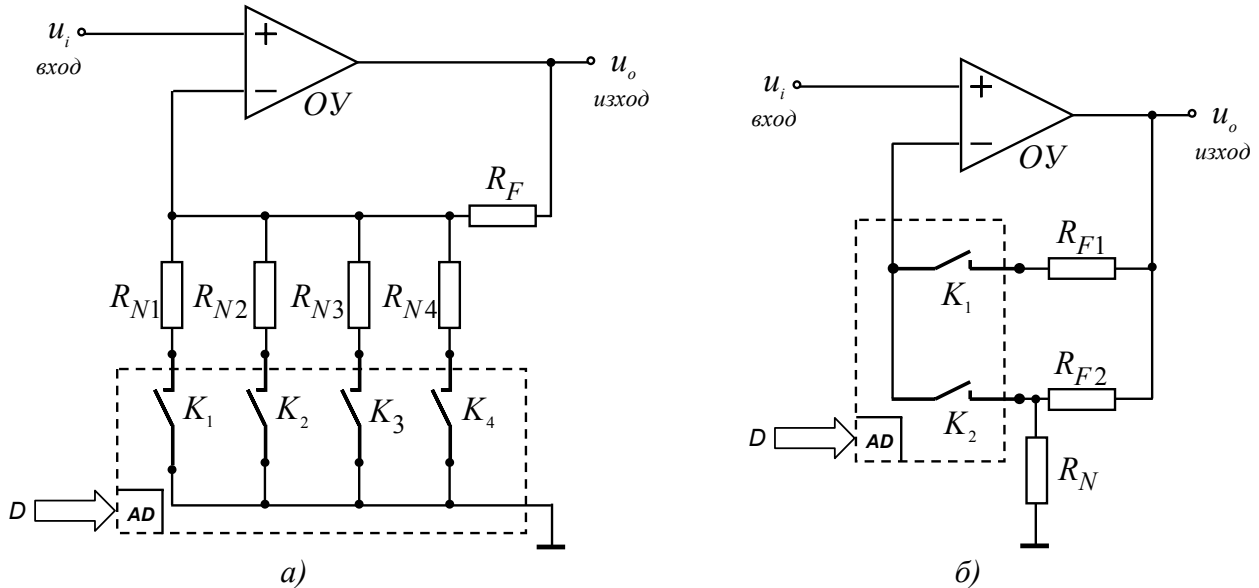
1.3.2. Програмируеми усилватели с многоканални аналогови ключове и мултиплексори [1.3] [14]

Програмируемите усилватели с многоканални аналогови ключове и мултиплексори са мащабиращи усилвателни схеми с няколко стойности на коефициента на усилване по напрежение (например 2, 4, 8 или 16). Тези схеми се използват най-често в системите за събиране и обработка на информация, като за задават на няколко обхвата на изменение на входното напрежение, което се подава към АЦП. Нерядко напреженията генерирани от различни сензори се изменят в широки граници. При това без допълнително мащабиране с програмируем усилвател трудно могат да се преобразуват входните аналогови величини в цифров вид.

На фиг. 1.15а и фиг. 1.15б са дадени две електронни схеми, съответно с четириканален и двуканален аналогов мултиплексор. Усилвателят от фиг. 1.15а се получава от основната схема на неинвертиращ усилвател с ОУ на напрежение, като резисторът R_N се замества с четири паралелно свързани резистора $R_{N1} - R_{N4}$ и един четириканален аналогов мултиплексор 1×4 . При това информационните входове на мултиплексора са свързани към резисторите $R_{N1} - R_{N4}$, а изходът му е свързан към маса. Ключовете на аналоговия мултиплексор се управляват от адреса D в двоичен вид, определящ кой от резисторите $R_{N1} \dots R_{N4}$ да бъде свързан към маса. Тогава при дадена стойност на двоичното число D се затваря един от ключовете като за ОУ се формира една ООВ посредством резистора R_F и един от резисторите $R_{N1} \dots R_{N4}$. Ако се приеме, че ОУ е идеален активен елемент ($A_d \rightarrow \infty, R_{id} \rightarrow \infty$ и $R_o \rightarrow 0$) за коефициента на усилване по напрежение в общ вид се получава формулата:

$$(1.17) \quad A_U = \frac{u_o}{u_i} \approx 1 + \frac{R_F}{R_{Nj} + R_{ON}},$$

където $j = 1, \dots, 4$.



Фиг. 1.15. Програмируем неинвертиращ усилвател: а) – с влияние на съпротивлението R_{ON} върху коефициента на усилване по напрежение A_U ; б) – с минимално влияние на съпротивлението R_{ON} върху коефициента на усилване A_U .

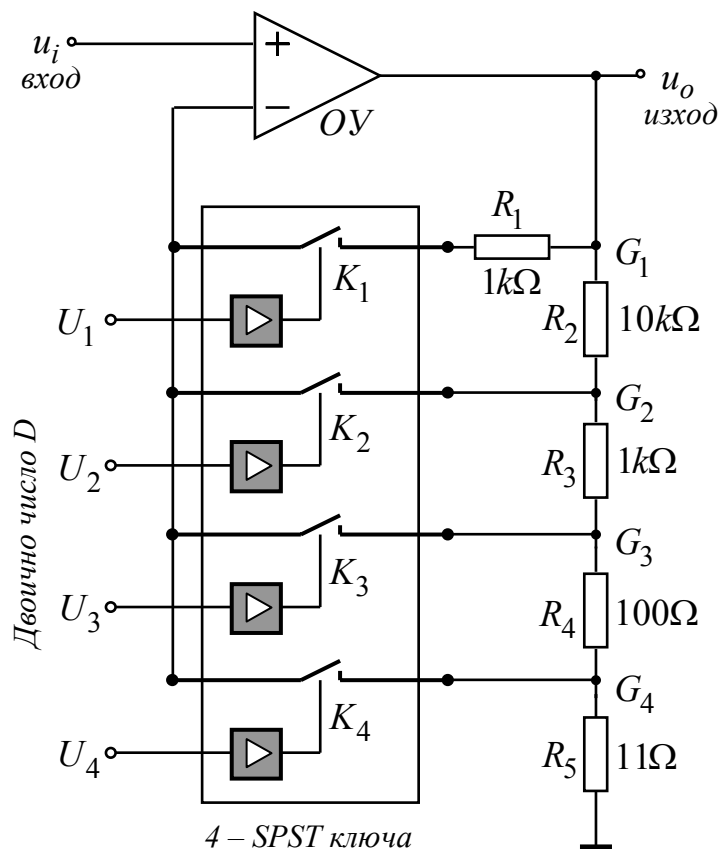
При условие, че $R_F = 10k\Omega$, $R_{N1} = 10k\Omega$, $R_{N2} = 3,33k\Omega$, $R_{N3} = 1,43k\Omega$ и $R_{N4} = 625\Omega$ в зависимост от двоичното число D коефициентът на усилване по напрежение може да има една от стойностите 2, 4, 8 или 16. При отчитане на съпротивлението R_{ON} на ключовете грешката от установяване на коефициента на усилване може да достигне няколко процента. За частично намаляване на тази грешка следва да се подбират електронни ключове с малки стойности на съпротивлението R_{ON} (от порядъка на няколко ома).

Програмируема усилвателна схема с минимално влияние на съпротивлението R_{ON} върху коефициента на усилване A_U е показана на фиг. 1.15б. В нея аналоговият мултиплексор е свързан между инвертиращия вход на ОУ и единият край на резисторите R_{F1} и R_{F2} . В този случай през ключовете ще протича само входният поляризиращ ток на ОУ, който за прецизните усилватели е не по-голям от $1nA$. При условие, че ключът K_1 е затворен, а ключът K_2 е отворен и ако се приеме, че ОУ е идеален елемент, изходното напрежение ще бъде равно на входното напрежение, като $A_U = u_o/u_i \approx 1$. Когато K_1 е отворен, а K_2 е затворен обратната връзка се формира от резисторите R_{F2} и R_N , като за коефициентът на усилване се получава:

$$(1.18) \quad A_U = \frac{u_o}{u_i} \approx 1 + \frac{R_{F2}}{R_N}.$$

От горната формула се вижда, че коефициентът на усилване по напрежение не зависи от съпротивлението R_{ON} на аналоговите ключове. Поради това схемата от фиг. 1.15б е предпочитана за реализация на програмируеми усилватели. Всъщност усилвателят от фиг. 1.15б се счита за основна схема, от която се получават голяма част от програмируемите усилватели.

Практическа схема на програмируем усилвател минимално влияние на съпротивлението R_{ON} на аналоговите ключове е представена на фиг. 1.16. Тя е съставена от един ОУ обхванат от ООВ чрез резисторите $R_1 - R_5$ и един четириканален аналогов ключ с 4 SPST клетки. За управлението на аналоговите ключове се използва двоичното число D (U_1, U_2, U_3 и U_4), което е в унитарен цифров код.



Фиг. 1.16. Неинвертиращ усилвател с четири стойности на коефициента на усилване по напрежение.

Принципът на действие на схемата е следният. При подаване на логическа единица на U_1 и логическа нула на U_2, U_3 и U_4 , ключът K_1 се затваря, а ключовете K_2, K_3 и K_4 остават отворени. В този случай инвертиращият вход на ОУ се свързва през R_1 с точката G_1 (изхода на ОУ) и при условие, че усилвателят е идеален за коефициента на усилване по напрежение се получава $A_{U1} = u_o / u_i = 1$ или $u_i = u_o$. При подаване на логическа единица само на U_2 , ключът K_2 се затваря, а K_1, K_3 и K_4 са отворени, тогава за коефициента на усилване по напрежение се получава

$$A_{U2} = 1 + R_2 / (R_3 + R_4 + R_5) = 1 + 10k\Omega / (1k\Omega + 100\Omega + 11\Omega) = 10.$$

При затваряне на ключа K_3 ,

$$A_{U3} = 1 + (R_2 + R_3) / (R_4 + R_5) \approx 100$$

и накрая при затваряне на ключа K_4 ,

$$A_{U4} = 1 + (R_2 + R_3 + R_4) / R_5 \approx 1000.$$

В схемата на усилвателя съпротивлението R_{ON} на електронните ключове почти не оказва влияние върху стойностите на коефициентите на усилване по напрежение, тъй като през него протича само входният поляризиращ ток на ОУ.

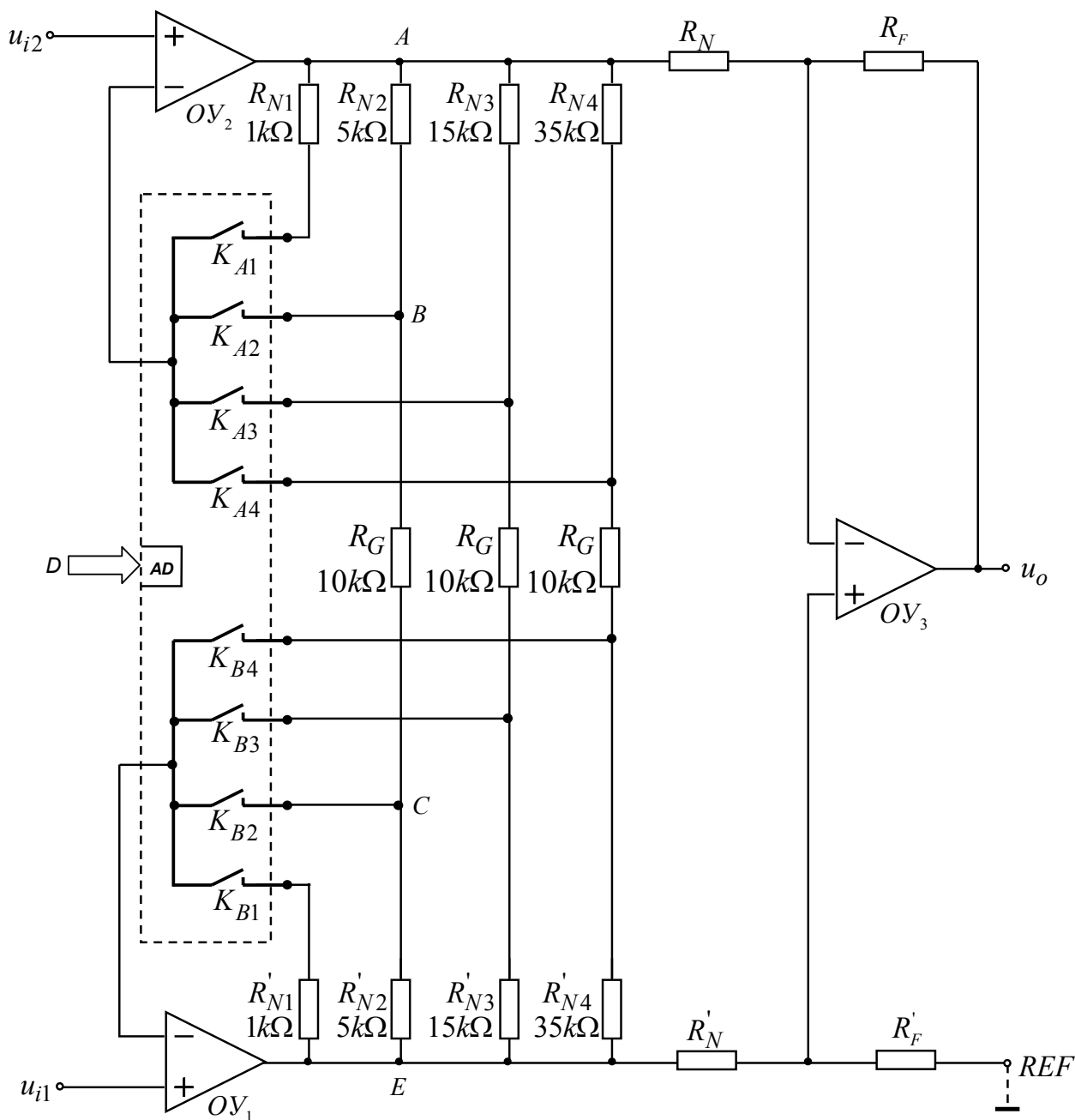
Когато се налага усилване на слаби сигнали при наличие на синфазни напрежения със сравнително големи стойности схемите от фиг. 1.15б и фиг. 1.16 са с неподходяща структура. В тези случаи се използват мащабиращи инструментални усилватели с управление на коефициента на усилване. На фиг. 1.17 е дадена примерна схема на програмируем инструментален усилвател с четири коефициента на усилване по напрежение. Тази схема представлява двустъпален усилвател, съставен от три ОУ, резисторни делители и един четириканален аналогов мултиплексор. Първото стъпало е с симетричен вход и изход, като включва два операционни усилватели (OY_1 и OY_2), обхванати от последователна ООВ чрез резисторите $R_{N1} - R_{N4}$, $R'_{N1} - R'_{N4}$ и R_G . При това отрицателните обратни връзки се затварят чрез четириканалния аналогов мултиплексор. При подаване на определен стойност на числото D едновременно се затварят по един ключ от секция A и от секция B . Например при $D=0$ се затварят K_{A1} и K_{B1} , а при $D=1$ – K_{A2} и K_{B2} и т.н. Второто стъпало на схемата е обикновен диференциален усилвател със симетричен вход и несиметричен изход.

При $D=0$, ключовете K_{A1} и K_{B1} се затварят, а ключовете K_{A2} , K_{A3} и K_{A4} , както и ключовете K_{B2} , K_{B3} и K_{B4} остават отворени. В този случай инвертиращите входове на OY_1 и OY_2 се свързват с резисторите R_{N1} и R'_{N1} , съответно с точките A и E (изходите OY_1 и OY_2) и при условие, усилвателите са идеални елементи за коефициента на усилване по напрежение се получава $A_{U,1} = u_o / u_{id} \approx 1$ ($u_{id} = u_{i1} - u_{i2}$) или $u_{id} \approx u_o$. При подаване на $D=1$, ключовете K_{A2} и K_{B2} се затварят, като $u_{BC} \approx u_{id}$ и

$$(1.19) \quad i = \frac{u_{BC}}{R_G} \approx \frac{u_{id}}{R_G}.$$

Понеже входните поляризиращи токове за OY_1 и OY_2 са приблизително нула, напрежението между точките A и E има вида

$$(1.20) \quad u_{AE} \approx i(R_{N2} + R_G + R'_{N2}).$$



Фиг. 1.17. Инструментален усилвател с четири стойности на коефициента на усилване по напрежение.

След заместване на (1.19) в (1.20) за коефициента на усилване на първото стъпало се получава

$$(1.21) \quad A_U^{(1)} = \frac{u_{AE}}{u_{id}} = \frac{R_{N2} + R_G + R'_{N2}}{R_G} = 1 + \frac{R_{N2} + R'_{N2}}{R_G}.$$

Тъй като първото и второто стъпало в схемата от фиг. 1.17 са верижно свързани, общият коефициент на усилване се получава като произведение от коефициентите на усилване на отделните стъпала. Въз основа на формулата за диференциалния усилвател $A_U^{(2)} = u_o / u_{AE} = R_F / R_N$ (при условие, че е изпъл-

нено условието за баланс на отношенията $R_F / R_N = R'_F / R'_N$) за общия коефициент на усилване се намира

$$(1.22a) \quad A_U = \frac{u_o}{u_{id}} \approx A_U^{(1)} A_U^{(2)} = \left(1 + \frac{R_{N2} + R'_{N2}}{R_G} \right) \frac{R_F}{R_N}.$$

Тогава в случай, че $R_{N2} = R'_{N2} = 5k\Omega$, $R_G = 10k\Omega$ и $R_F = R'_F = R_N = R'_N = 10k\Omega$ $A_{U,2} = 2$

За останалите комбинации на числото D при $R_{N3} = R'_{N3} = 15k\Omega$ и $R_{N4} = R'_{N4} = 35k\Omega$ коефициентите на усилване по напрежение се получават съответно $A_{U,3} = 2^2 = 4$ и $A_{U,4} = 2^3 = 8$.

Изходното напрежение u_o на инструменталния усилвател се получава спрямо извод, означен с REF (*REFERENCE*) или V_{REF} . В много приложни схеми този извод е свързан към масата на схемата, но съществуват и случаи, когато се свързва към външен източник на опорно напрежение V_{REF} и тогава за изходното напрежение се намира

$$(1.22b) \quad u_o = \left(1 + \frac{R_{N2} + R'_{N2}}{R_G} \right) \frac{R_F}{R_N} u_{id} + V_{REF}.$$

Тази възможност е особено полезна в електронните схеми с едно захранващо напрежение, където u_o обикновено е отнесено към половината от захранващото напрежение (например към $2,5V$ при $+5V$ захранващо напрежение).

Ако към двата входа на схемата от фиг. 1.17 се приложи едно и също напрежение u_{iCM} , то ще се появи и в точките B и C ($u_{id,OY_1} \approx 0$ и $U_{id,OY_2} \approx 0$). В резултат на това ток през резистора R_G няма да протече или напрежението върху R_G ще бъде нула. Тогава напреженията върху резисторите R_{Ni} и R'_{Ni} ($i=1, \dots, 4$) също ще бъдат равни на нула, като напреженията в точките A и E стават равни на u_{iCM} . Следователно за коефициента на усилване на синфазните сигнали на входното стъпало се получава

$$(1.23a) \quad A_{CM}^{(1)} = 1.$$

Тогава за коефициента на потискане на синфазните сигнали $CMRR_i^{(1)}$ на първото стъпало се получава

$$(1.23b) \quad CMRR_i^{(1)} = \frac{A_{U,i}^{(1)}}{A_{CM,i}^{(1)}} = A_{U,i}^{(1)},$$

където $A_{U,i}^{(1)}$ е коефициентът на усилване по напрежение на първото стъпало за $i=1, \dots, 4$.

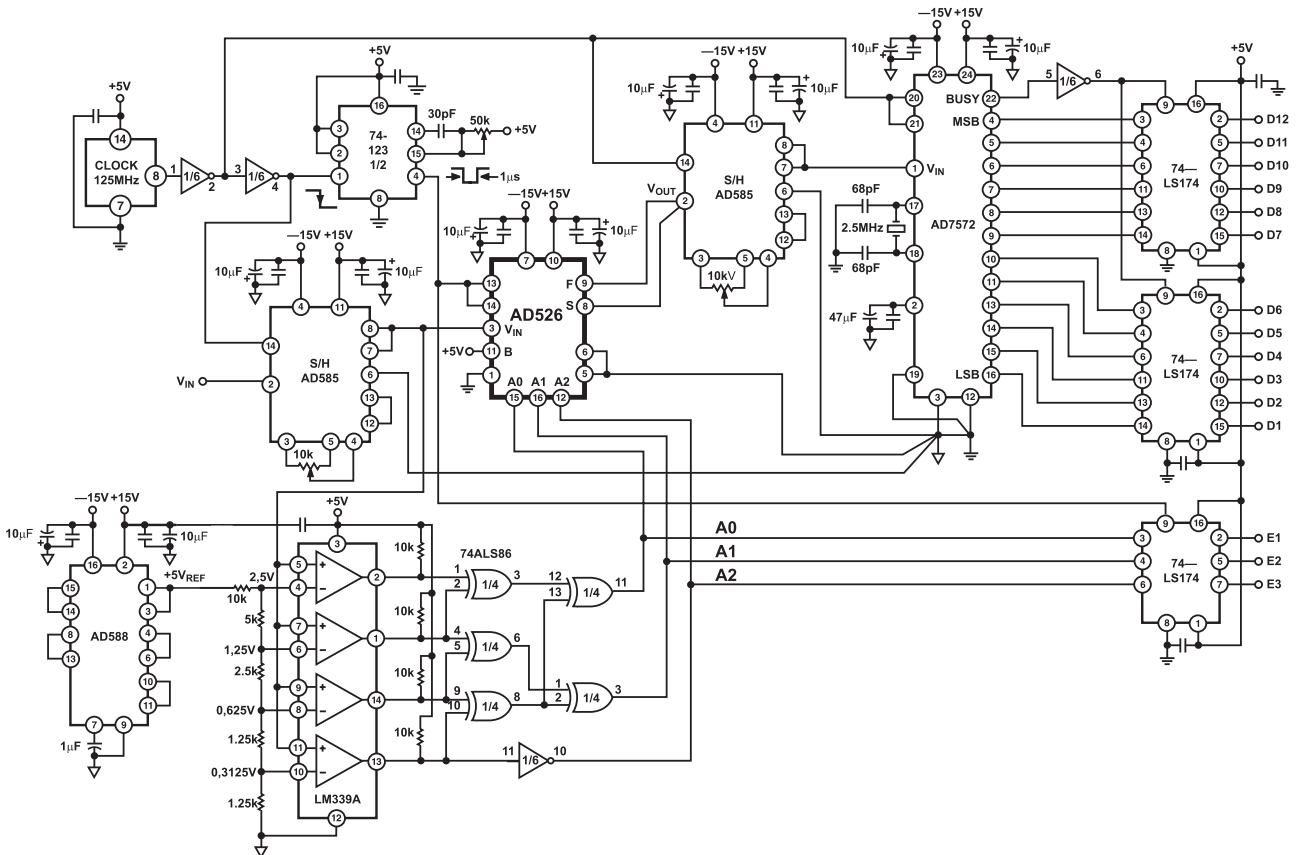
От формула (1.23б) се вижда, че коефициентът $CMRR_i^{(1)}$ е максимален, когато $A_{U,i}^{(1)}$ има максимална стойност.

Коефициентът на потискане на синфазните сигнали на цялата схема е

$$(1.23в) \quad CMRR = \frac{A_{U,i}}{A_{CM,i}} = \frac{A_{U,i}^{(1)} A_{U,i}^{(2)}}{A_{CM,i}^{(1)} A_{CM,i}^{(2)}} = CMRR_i^{(1)} CMRR_{ДУ} = A_{U,i}^{(1)} CMRR_{ДУ},$$

където $CMRR_{ДУ} = CMRR_{\delta_R} \parallel CMRR_{OУ}$ е коефициентът на потискане на синфазните сигнали на второто стъпало, $CMRR_{\delta_R} = \frac{1 + R_F / R_N}{4 \underbrace{\Delta R / R}_{\delta_R}}$ е коефициентът на

потискане на синфазните сигнали поради несъгласуваност на резисторите в най-лошия случай и $CMRR_{OУ}$ е коефициентът на потискане на синфазните сигнали на $OУ_3$.



Фиг. 1.11. Примерна схема на аналогово-цифров преобразувател с плаваща запетая и с използване на монолитен програмируем усилвател AD526 (Analog Dev.).

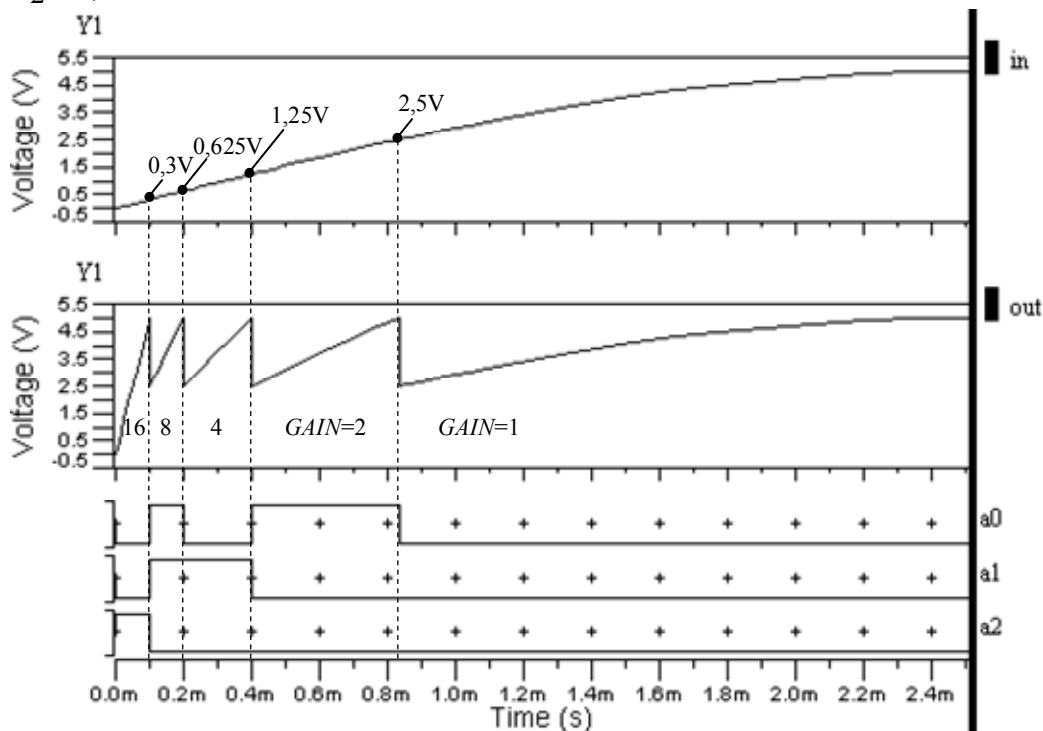
Практическа електронна схема на АЦП с плаваща запетая, в която се използва програмируем усилвател с четири коефициента на усилване по напрежение е показана на фиг. 1.18 [1.6]. В нея двоичното число от АЦП с плаваща запетая е представено с 16 битова двоична дума, като младшите 12 бита ($D_1 \dots D_{12}$) формират мантисата се получават от АЦП AD7572 на Analog

Devices, а старшите 4 бита ($E_1 \dots D_3, B$) формиращи експонентата се получават в изхода на прозоречния компаратор, реализиран с ИС LM339 и логическите елементи. Старшите 4 бита се използват за управление на монолитния програмируем усилвател AD526 на Analog Devices. Структурата на AD526 до голяма степен съвпада със структурата на схемата от фиг. 1.16. За разлика от схемата на фиг. 1.16 при монолитния усилвател AD526 коефициентите на усилване се изменят по степените на две, а на адресните входове се подава двоично число в стандартен двоичен код, тъй като има вграден адресен дешифратор. Програмируемият усилвател AD526 заедно с прозоречния компаратор мащабират входното напрежение за АЦП. По този начин се разширява динамичният диапазон на АЦП като за конкретната електронна схема се получава

$$D_R = 20 \lg(V_{ref} / U_{LSB}) / = 20 \lg(5V / 76\mu V) \approx 96dB ,$$

където $U_{LSB} = (5V / 2^{12}) / GAIN_{max, AD526} = (5V / 4096) / 16 \approx 76\mu V$ е минималното напрежение за 12+4 бита АЦП с плаваща запетая.

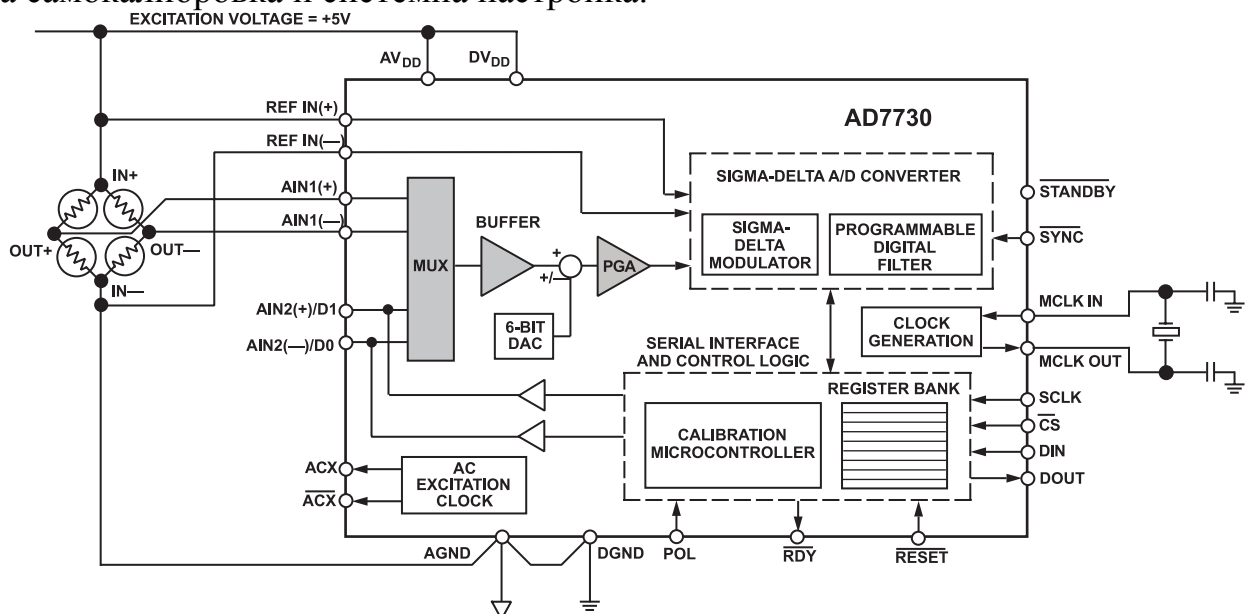
На фиг. 1.19 са показани времедиаграми на входното напрежение, изходното напрежение на AD526 и състоянията на управляващото двоично число (A_0, A_1, A_2, B).



Фиг. 1.19. Времедиаграми на входното напрежение, изходното напрежение и състоянията на управляващото двоично число за монолитен програмируем усилвател AD526 в схемата на АЦП с плаваща запетая, показана на фиг. 1.11.

Съществуват редица специализирани интегрални схеми на аналогово-цифрови преобразуватели, които имат вграден програмируем мащабиращ усилвател. Примерна ИС от този тип е мостови преобразувател AD7730 на Analog Devices. На фиг. 1.20 е показана примерна на електронна схема с AD7730, която

може да се използва за усилване и преобразуване на слаби аналогови сигнали, получени директно от измервателен мост (например тензорезисторен мост). Интегралната схема на мостовия преобразувател AD7730 всъщност съвместява аналогови и цифрови функции на един чип. По този начин се намаляват габаритите на цялото устройство и се подобряват някои от електрическите параметри. По-конкретно AD7730 разполага с два диференциални аналогови входа с програмируемо усилване, а също така и диференциален вход за опорно (еталонно) напрежение със стойности $+2,5V$ или $+5V$. Програмируемият биполярен усилвател има четири коефициента на усилване на входните диференциални напрежения ($|A_v| = 250, 125, 62,5$ и $31,25$). По този начин може да се получат четири еднополярни обхвата за нивата на напреженията (от $0mV$ до $+10mV$, $+20mV$, $+40mV$, $+80mV$) и четири двуполярни обхвата ($\pm 10mV$, $\pm 20mV$, $\pm 40mV$ и $\pm 80mV$). Превключването на входните аналогови сигнали към програмируемия усилвател се осъществява с двуканален аналогов мултиплексор (MUX). Това позволява да се усилят и преобразуват сигнали от два различни типа сензори, например за измерване на сила и температура. Захранващото напрежение на схемата AD7730 е еднополярно $+5V$. Аналогово-цифровото преобразуване е вискоразредно по сигма-делта метода. Вграденият 6-битов ЦАП позволява компенсирането на преднапреженията (т. нар. “тара”). Има вградена възможност за променливо (АС) захранване на мостовия сензор, за самокалибровка и системна настройка.



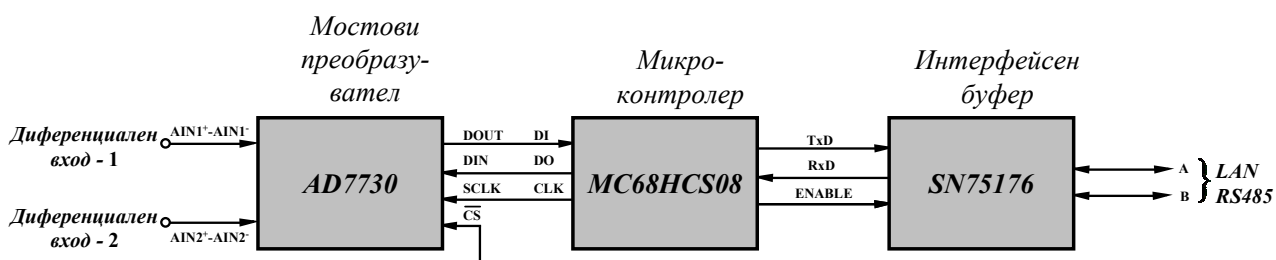
Фиг. 1.20. Примерна схема със специализиран мостови преобразувател AD7730.

Серийният интерфейс на интегралната схема е синхронен, 3-проводен от типа SPI. Управлението на работата на схемата се осъществява от 13 вътрешни регистри, достъпни за програмиране по SPI порта.

Усилването и преобразуването на входните сигнали се изпълнява по следният начин. Слабите аналогови сигнали от измервателния мост през диференциалния двуканален аналогов мултиплексор (MUX) и буферният усилвател пос-

търват на единия вход на двувходов алгебричен суматор, означен с \oplus . На другия вход на суматора се подава сигналът от изхода на вътрешния 6-разреден ЦАП. При това знакът на алгебричната сума може да се променя през серийния интерфейс. Полученият сигнал от суматора се подава в диференциалния програмируем усилвател (означен с PGA). След което усиленият сигнал от PGA се подава в $\Sigma\Delta$ преобразувател за аналогово-цифрово преобразуване. Цифровата информация, която представя аналоговото входно диференциално напрежение се съдържа в коефициента на запълване на импулсната последователност в изхода на $\Sigma\Delta$ модулатора. Тази информация се извлича като думи от данни в програмируемия цифров филтър. Честотата на еднобитовата дискретизация в $\Sigma\Delta$ модулатора е многократно по-голяма от честотната лента на входния сигнал (предискретизация). Аналоговият интегратор на $\Sigma\Delta$ модулатора изглажда шума от квантоване (получен при аналого-цифрово преобразуване) и го потиска до $1/2$ от честотата на модулатора.

Изходът на модулатора се подава на цифровия филтър, който се състои от две стъпала. Първото стъпало е нискочестотен филтър. Граничната честота и честотната лента на този филтър са програмируеми. Второто стъпало е също нискочестотен филтър с крайна импулсна характеристика (FIR), които в зависимост от режима работи с различни параметри. Освен това може и да бъде изключен.



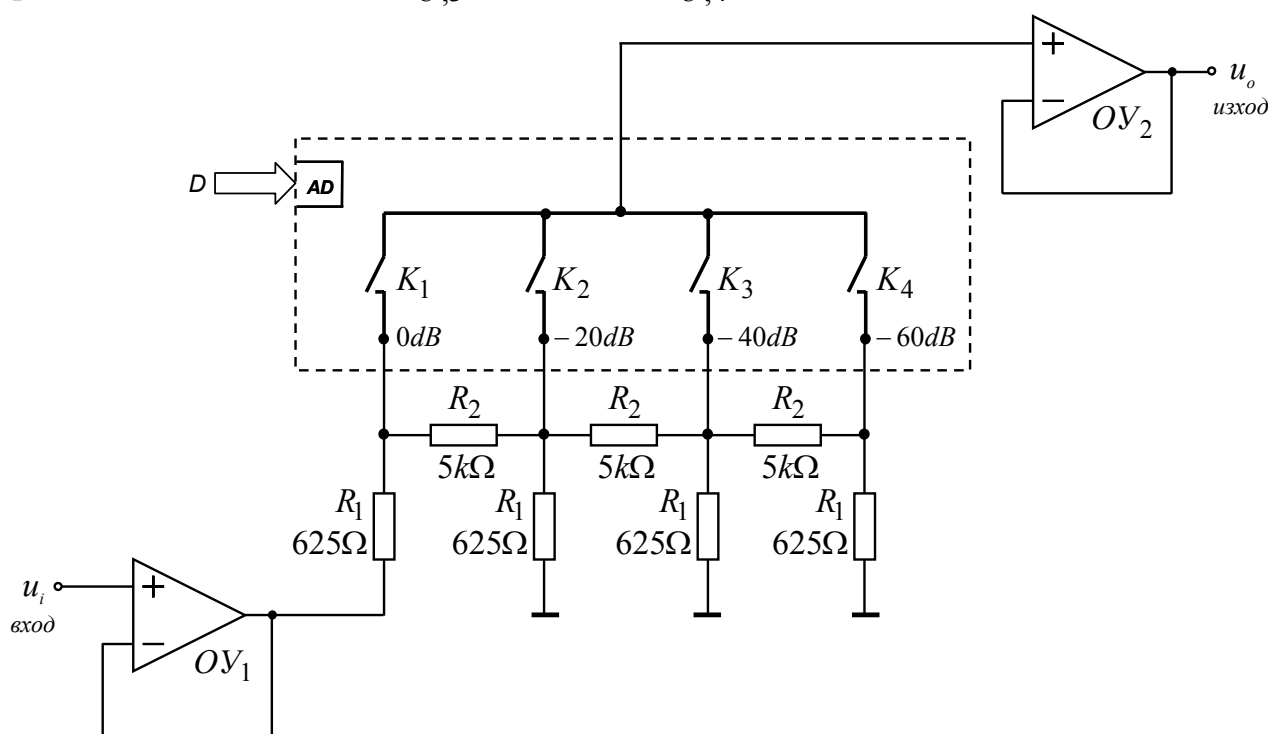
Фиг. 1.21. Примерна схема на управление на мостовия преобразувател AD7730 от микроконтролер MC68HCS01.

Управлението на аналоговите и цифровите функции на мостовия преобразувател AD7730 се осъществява през серийния интерфейс от микроконтролер. За работа с ИС AD7730 може да се използва, например микроконтролер MC68HCS08, който притежава вграден SPI порт. Допълнително с интерфейсен буфер SN75176 може да се реализира двупосочен “*half-duplex*” интерфейс за работа в локална мрежа по физическия стандарт RS245. Примерна блокова схема илюстрираща управлението на мостовия преобразувател посредством микроконтролер е показано на фиг. 1.21 [6].

1.3.3. Програмируеми атенюатори (затихватели) с многоканални аналогови ключове и мултиплексори

Примерна схема на мащабиращ атенюатор (затихвател) е показана на фиг. 1.22 [1.4]. Тя е съставена от входен и изходен буфер, реализирани с повтори-

тели с ОУ, резисторна матрица и един четириканален аналогов мултиплексор. Принципът на действие на схемата може да се опише по следния начин. При подаване на цифров код $D=0$ ключът K_1 се затваря и напрежението u_i без затихване се предава на изхода на схемата, т.е. $u_i \approx u_o$ ($K_{U,1} = 20\lg(u_o/u_i) \approx 1$). При $D=1$, K_2 се затваря, като $u_i \approx 0,1u_o$ или $K_{U,2} = 20\lg(u_o/u_i) \approx -20dB$. Следователно за $D=1$ изходният сигнал намалява (затихва) спрямо входния сигнал приблизително 10 пъти (или $-20dB$). При $D=2$ и 3 коефициентите на предаване, съответно са $K_{U,3} \approx -40dB$ и $K_{U,4} \approx -60dB$.



Фиг. 1.22. Практическа схема на затихвател (атенюатор) с четири стойности на коефициента на предаване по напрежение.

Освен чрез използване на повторители с операционни усилватели и многоканални аналогови ключове програмируем атенюатор на напрежение може да се получи от схемата на фиг. 11.8 (вж. глава 11), като вместо опорно напрежение U_{ref} се подаде входният променлив сигнал u_i . Тогава за предавателната функция на схемата се получава

$$(1.24) \quad u_o = -\frac{R_{FB}}{R} \frac{D}{2^n} u_i = -\frac{D}{2^n} u_i \quad \text{за} \quad R_{FB} = R.$$

При изменение на числото D от 0 до 2^n изходното напрежение заема стойности от 0 до $|u_i|$.

Основната разлика между схемите от фиг. 1.22 и фиг. 11.8 е, че в схемата на атенюатор с умножителен ЦАП входното напрежение u_i се инвертира на 180 електрически градуса за ниски и средни честоти. Освен това в зависимост от разредността на ЦАП могат да се получат голям брой стойности на изходното

напрежение при изменение на числото D от 0 до 2^n . Така например за 8-разреден ЦАП могат да се получат $2^8 = 256$ различни нива на изходното напрежение.

1.3.4. Аналогови памету (*Sample-and-Hold* схеми) [1.9] [1.10] [1.13] [1.18] - [1.21] [23] [25]

Аналоговите памету или още т.нар. аналогови ключове с памет са смесени схеми от вида проба и задържане (S/H), при които в определен интервал между последователни дискретни моменти се задържа (запомня) моментната стойност на входния аналогов сигнал. Във входните стъпала на почти всички аналогово-цифрови преобразуватели се използват аналогови памету за поддържане на входното напрежение с неизменна стойност по време на целия цикъл на аналогово-цифровото преобразуване. Аналогово-цифровите преобразуватели са смесени схеми и също могат да се разглеждат като S/H схеми, чиито изходен сигнал е дискретизиран във времето и квантуван по ниво. Затова в голяма част от техническата литература и научните публикации аналоговите памету за краткост се наричат схеми за проба и задържане или просто S/H схеми.

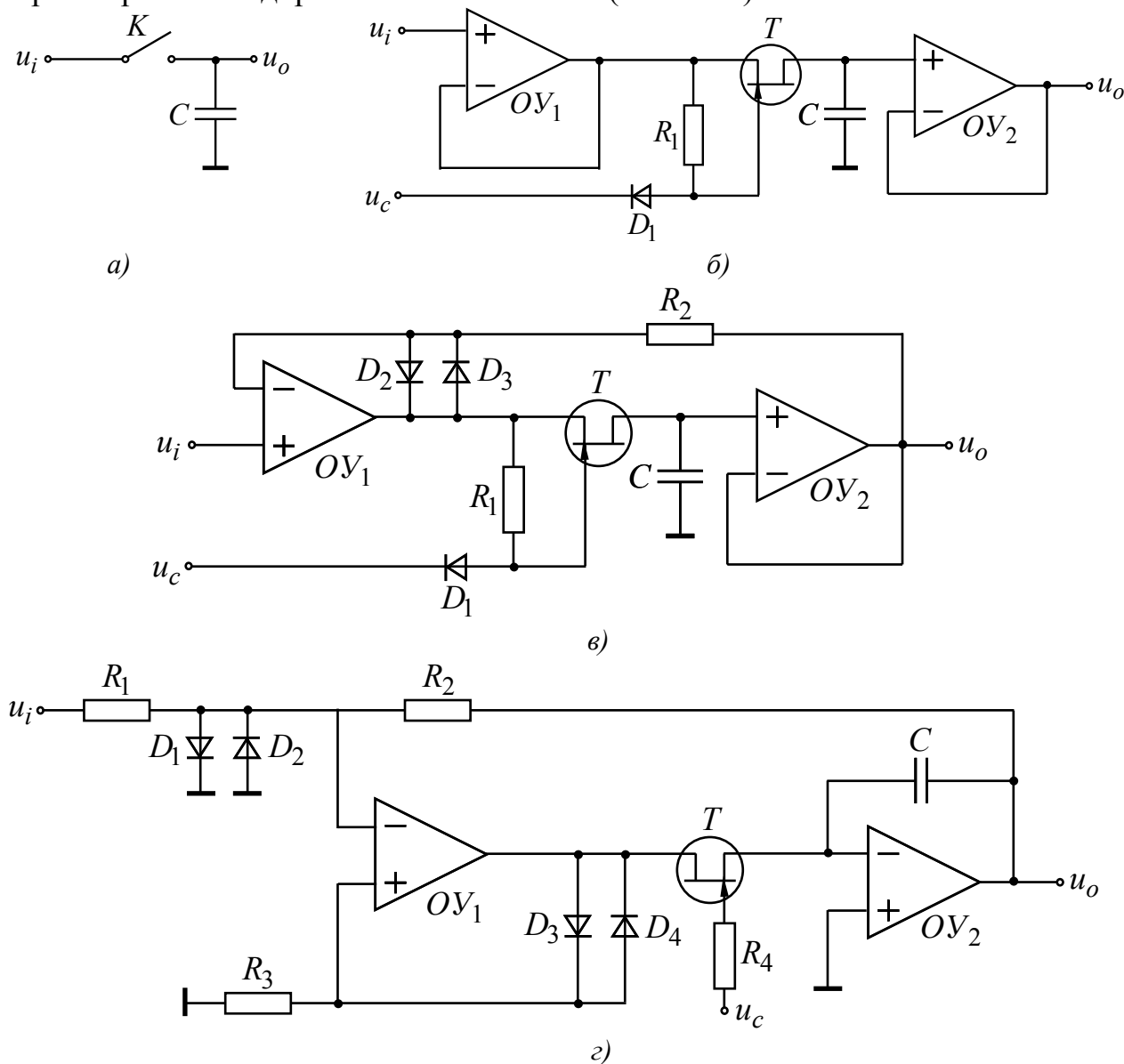
Освен като входни стъпала в аналогово-цифровите преобразуватели S/H схемите се използват в PLL схемите, операционните усилватели с автоматична корекция на нулата и генераторите на стъпално изменящо се напрежение.

Основни схеми на аналогови памету

Опростена принципна схема на аналогова памет е показана на фиг. 1.23а. Когато ключът K е затворен, схемата е в режим на следене (Sample- или Track-), като кондензаторът C се зарежда от входното напрежение. Изходното напрежение трябва да бъде точно равно на входното напрежение. В изключено състояние на ключа схемата е в режим на задържане (Hold-), като кондензаторът C се отделя от входния сигнал. Изходното напрежение трябва да бъде такова, каквото е било в момента на изключване. Когато след известно време ключът K отново се затвори, изходното напрежение се доближава до входното напрежение. В случай, че ключът K е предимно затворен, а схемата от фиг. 1.23а се нарича памет от вида T/H или просто T/H схема.

Примерни S/H схеми въз основа на които се изграждат монолитни схеми от този тип са показани на фиг. 1.23б, фиг. 1.23в и фиг. 1.23г. Основната S/H схема от фиг. 1.23б се състои от входен и изходен ОУ, свързани като повторители на напрежение, електронен ключ с полеви транзистор T и един кондензатор C , използван като запомнящ елемент. При подаване на управляващ сигнал $u_{с, вкл.} > u_{i \max}$ ключът се затваря и кондензаторът C се зарежда до нивото на входното напрежение u_i . Интервалът от време, през който се зарежда кондензаторът C , определя времето за следене (Sample – S). В режима на следене изходното напрежение u_o трябва да бъде точно равно на входното напрежение

u_i . При подаване на управляващ сигнал $u_c, \text{изкл.} \leq U_{Th} + U_{i \min}$ ключът се отваря, кондензаторът C се отделя от входния сигнал, като изходното напрежение u_o запазва стойността, която входното напрежение е имало в края на периода на следене. Интервалът от време, през който ключът е отворен и $u_o = \text{const}$, се нарича време за задържане или запомняне (Hold – H).



Фиг. 1.23. Схеми проба и задържане: а) – опростена принципна схема; б) – с два следящи усилвателя; в) – с обща ООВ; г) – с интегратор.

Недостатък на схемата от фиг. 1.23б е влиянието на входното напрежение на несиметрия на втория усилвател върху стойността на изходното напрежение. В схемата от фиг. 1.23в е въведена обща ООВ като влиянието на напрежението на несиметрия се намалява. Когато електронният ключ в схемата от фиг. 1.23в е затворен ($u_c, \text{вкл.} > u_{i \max}$), напрежението в изхода на усилвателя OY_2 се установява такова, че $u_o = u_i$. При това входното напрежение на несиметрия въз-

никоващо от усилвателя OU_2 се свежда до нула. Диодите D_2 и D_3 в това състояние на схемата са запушени, тъй като падът им на напрежение $u_{o,OU_1} - u_o$ е много по-малък от необходимата стойност. При запущване на транзистора и отваряне на ключа ($u_{c, изкл.} \leq U_{Th} + U_{i \min}$) изходното напрежение остава непроменено. Резисторът R_2 и диодите D_2 и D_3 предотвратяват насищането на усилвателя OU_1 в това състояние на схемата.

Въз основа на схемата от фиг. 1.23в се получава монолитна ИС S/H LF398 (National Semi.).

Недостатък на схемите от фиг. 1.23б и фиг. 1.23в е зависимостта на съпротивлението на затворения ключ от входното напрежение. При това изборът на управляващо напрежение зависи от нивата на входното напрежение. В схемата от фиг. 1.23г вместо заземен кондензатор и следящ усилвател се използва интегратор. Тогава напрежението между дрейна и сорса на полевия транзистор е ограничено от $\pm 1,2V$, а стойността на управляващото напрежение практически не зависи от входното напрежение.

Изходното напрежение при затворен и отворен ключ в зависимост от управляващото напрежение u_c има следните стойности:

$$(1.25) \quad u_o = \begin{cases} -(R_2 / R_1)u_i & \text{за } u_c = 0V \\ const & \text{за } u_c < U_{Th} - 1,2V. \end{cases}$$

Посредством общата ООВ влиянието на входното напрежение на несиметрия, възникващо от усилвателя OU_2 се свежда до нула.

Въз основа на схемата от фиг. 1.23г се получава монолитна схема S/H AD585 (Analog Dev.).

Основни електрически параметри

Тъй като S/H схемите имат два режима на работа (следене и задържане) и два прехода между тях (от следене към задържане и от задържане към следене) основните електрически параметри е удобно да се разделят в четири групи. На фиг. 1.24 са дадени примерни времедиаграми на входен, изходен и управляващ сигнал с означени стойности на някои от параметрите за монолитна аналогова памет S/H AD585 (Analog Dev.).

1. Параметри за режим на следене (Sample mode specifications)

С режима на следене на входния сигнал са свързани следните параметри:

– *Напрежение на несиметрия (изместване на нулата) (offset voltage) U_{io}* (с типични стойности $< 1 \dots 5mV$): отклонението на изходното напрежение от “нулата”, когато входното напрежение е нула и схемата е в режим на следене. При използване на S/H схема като входно стъпало на АЦП трябва напрежението на несиметрия да бъде по-малко от $1/2U_{LSB}$, т.е.

$$(1.26) \quad U_{io} < \frac{U_{FS}}{2^{n+1}},$$

където U_{FS} максималното напрежение в целия обхват на АЦП, а n е разрядността на преобразувателя.

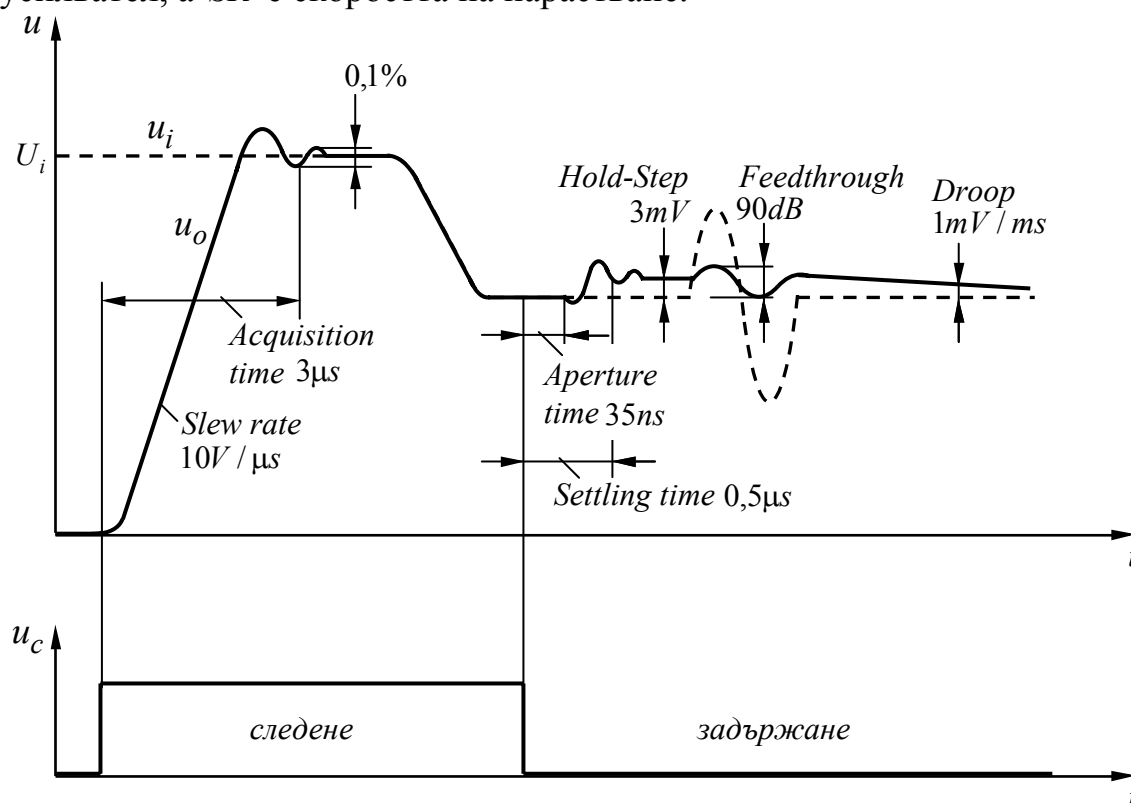
– Грешка от установяване на коефициента на предаване (gain error) ΔA_U : относителната разлика между входното и изходното напрежение (изключвайки влиянието на напрежението на несиметрия) при зададен товар и в режим на следене. При използване на S/H схема като входно стъпало на АЦП трябва да бъде изпълнено условието:

$$(1.27) \quad \Delta A_U = \frac{u_o - u_i}{u_i} < \frac{1}{2^{n+1}}.$$

– Честотна лента при максимално изходно напрежение (full-power bandwidth) f_{max} :

$$(1.28) \quad f_{max} = SR / 2\pi U_{om},$$

където U_{om} (U_{om}^+ или U_{om}^-) е максималното положително или отрицателно напрежение, което се получава в изхода на S/H схемата при насищане на крайния усилвател, а SR е скоростта на нарастване.



Фиг. 1.24. Времени диаграми на входен, изходен и управляващ сигнал с означени стойности на някои от параметрите за монолитна S/H схема AD585, реализирана по схемата от фиг. 1.23г с кондензатор от $100pF$.

– *Честотна лента при малък сигнал (small-signal bandwidth) $B_{0,7}$* (с типични стойности $> 1 \dots 10 \text{MHz}$): Честотата при която коефициентът на предаване на S/H схемата намалява с 3dB спрямо стойността по постоянен ток. Честотата $B_{0,7}$ обикновено е много по-голяма от честотата f_{\max} , тъй като $B_{0,7}$ се определя за малък сигнал, т.е. когато няма ограничаване на изходното напрежение.

– *Скорост на нарастване на изходното напрежение (Slew Rate) S_r* (с типични стойности $> 1 \dots 100 \text{V}/\mu\text{s}$): Определя се като отношение между промяната на напрежението върху кондензатора C на S/H схемата и съответния времеви интервал при скокообразно изменение на входното напрежение:

$$(1.29) \quad S_r = \left. \frac{du_C}{dt} \right|_{t=0} = \frac{d}{dt} [U_i (1 - e^{-t/R_{ON}C})] = \left. \frac{U_i}{R_{ON}C} \right|_{t=0} = \frac{I_{i \max}}{C}.$$

Тъй като SR зависи от стойността на кондензатора C (вж. фиг. 1.23а) е необходимо той да бъде с известен капацитет, ако се използва като външен елемент. Параметърът SR определя стойността на честотата f_{\max} и времето за отчитане.

2. Параметри за режим на преход от следене към запомняне (Sample-to-hold transition specifications)

При подаване на сигнал за задържане (Hold) аналоговата памет преминава в режим на задържане или запомняне на определена моментна стойност на входното напрежение. С режима на преход от следене към задържане на входния сигнал са свързани следните параметри:

– *Апертурно време (Aperture time или Aperture delay) t_A* (с типични стойности $< 10 \dots 500 \text{ns}$): Определя се като времеви интервал от момента на подаване на сигнал за задържане до момента, в който кондензаторът C (вж. фиг. 1.23а) се отделя от входния сигнал. Този параметър е свързан главно с инерционните качества на електронния ключ.

– *Неравномерност на апертурното време (Apertur Jitter) Δt_A* (с типични стойности $< 0,1 \dots 1 \text{ns}$): Определя се като изменение на апертурното време в резултат от флукуации. В резултат на това моментът на фиксиране на напрежението се оказва неопределен.

– *Стъпка на съхранение (Hold step известно като pedestal и sample-and-hold offset) ΔU_o* (с типични стойности $< 1 \dots 10 \text{mV}$): Определя се като изменение на напрежението върху кондензатора C , което се получава в началото на прехода от следене към задържане. Изменението на изходното напрежение се получава от прехвърляне на заряд към кондензатора C при отваряне на ключа чрез паразитния капацитет C_{GD} , опеределен между гейта и дрейна на транзистора:

$$(1.30) \quad \Delta U_o = \frac{C_{GD}}{C} \Delta U_c,$$

където ΔU_c е изменението на амплитудата на управляващото напрежение.

Изменението ΔU_o може да се намали, ако се използва кондензатор C с по-голям капацитет. Обикновено капацитетът C_{GD} е няколко пикофарада, тогава капацитетът на кондензатора C трябва да бъде не по-малък от $1nF$, така че грешката от установяване да бъде около 0,1%.

– *Време на установяване (Hold mode settling time) t_{HS}* : Определя се като времеви интервал от момента на подаване сигнал за запомняне до момента когато изходното напрежение достига стойност 99% (99,9% или 99,99%) от установената си стойност. Сумата от времето на отчитане, времето на установяване и времето на преобразуване на АЦП определя максималната скорост на отчитане (sampling rate) или честота на отчитане на системата S/H и АЦП:

$$(1.31) \quad f_{s,max} = \frac{1}{t_{Aq} + t_{HS} + t_c},$$

където t_c е времето за преобразуване на АЦП.

3. Параметри за режим на задържане (Hold mode specifications)

С режима на задържане или запомняне на входния сигнал са свързани следните параметри:

– *Ток на утечка (Leakage current) I_{LKG}* : Определя се като токът на разряд на кондензатора C . Той се определя от тока на утечка на кондензатора и електронния ключ, както и входният поляризиращ ток и входното съпротивление на усилвателя OY_2 (вж. 1.23б).

– *Скорост на спадане на напрежението (Droop rate) S_d* (с типични стойности $2\mu V/ms \dots 1mV/ms$): Определя се като изменение на напрежението ΔU_C по време на интервала на задържане Δt :

$$(1.32) \quad S_d \approx \frac{\Delta u_C}{\Delta t} = \frac{I_{LKG}}{C}.$$

Например, ако токът на утечка е $1nA$ скоростта на спадане на напрежението при $C = 100pF$ има стойност $10\mu V/\mu s$. Тогава за период на задържане равен на $10\mu s$ спадането на напрежението върху кондензатора ще бъде около $100\mu V$.

Затова кондензаторът C трябва да бъде качествен с малка утечка, а OY_2 , изпълнен с полеви транзистори на входа.

При използване на S/H схема с АЦП е необходимо по време на преобразуването изменението на изходното напрежение да бъде по-малко от $1/2U_{LSB}$, т.е.

$$(1.33) \quad S_d < \frac{1/2U_{LSB}}{t_c} = \frac{U_{FS}}{2^{n+1}t_c}.$$

– Коефициент на потискане (режсекция) на проникването на входен сигнал (*Feedthrough attenuation ratio*) FA (с типични стойности 80 ... 100dB): Определя се като частта от входния сигнал, която се появява на изхода, докато аналоговата памет е в режим на задържане. Обикновено коефициентът FA се дефинира в каталожните данни за определена честота на входния сигнал. При използване на S/H схема с АЦП напрежението на изхода определено от коефициента FA трябва да бъде по-малко от $1/2U_{LSB}$ за целия обхват на изменение на амплитудата на входния сигнал. Следователно коефициентът на потискане на проникването трябва да има стойност не по-малка от определената със следната формула

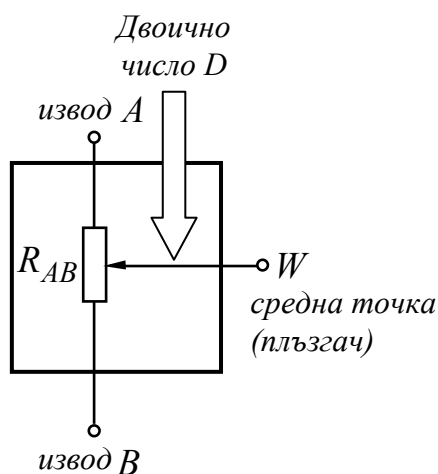
$$(1.34) \quad FA > 20\lg(2^{n+1}), \text{ dB},$$

което в опростен вид е $FA > 6(n + 1), \text{ dB}$.

4. Параметри за режим на преход от запомняне към следене (*Hold-to-Sample transition specifications*)

– Време за реакция (*Acquisition time*) t_{Aq} (с типични стойности $< 1 \dots 10\mu\text{s}$):

Определя се като времеви интервал от момента на подаване сигнал за следене до момента когато изходното напрежение достига нивото на входния сигнал с точност до 1% или 0,1%. Основните параметри, които определят времето за реакция са максималният изходен ток на усилвателя OU_1 , скоростта на нарастване SR_{OU_1} и времеконстантата $\tau = R_{ON}C$. При условие, че се избере високо-скоростен ОУ определящият параметър на времето за реакция е времеконстантата $\tau = R_{ON}C$. Следователно времето за реакция е пропорционално на капацитета на кондензатора C . Тогава при големи разлики между напреженията времето за реакция може значително да се увеличи поради крайната стойност на изходното съпротивление на OU_1 .



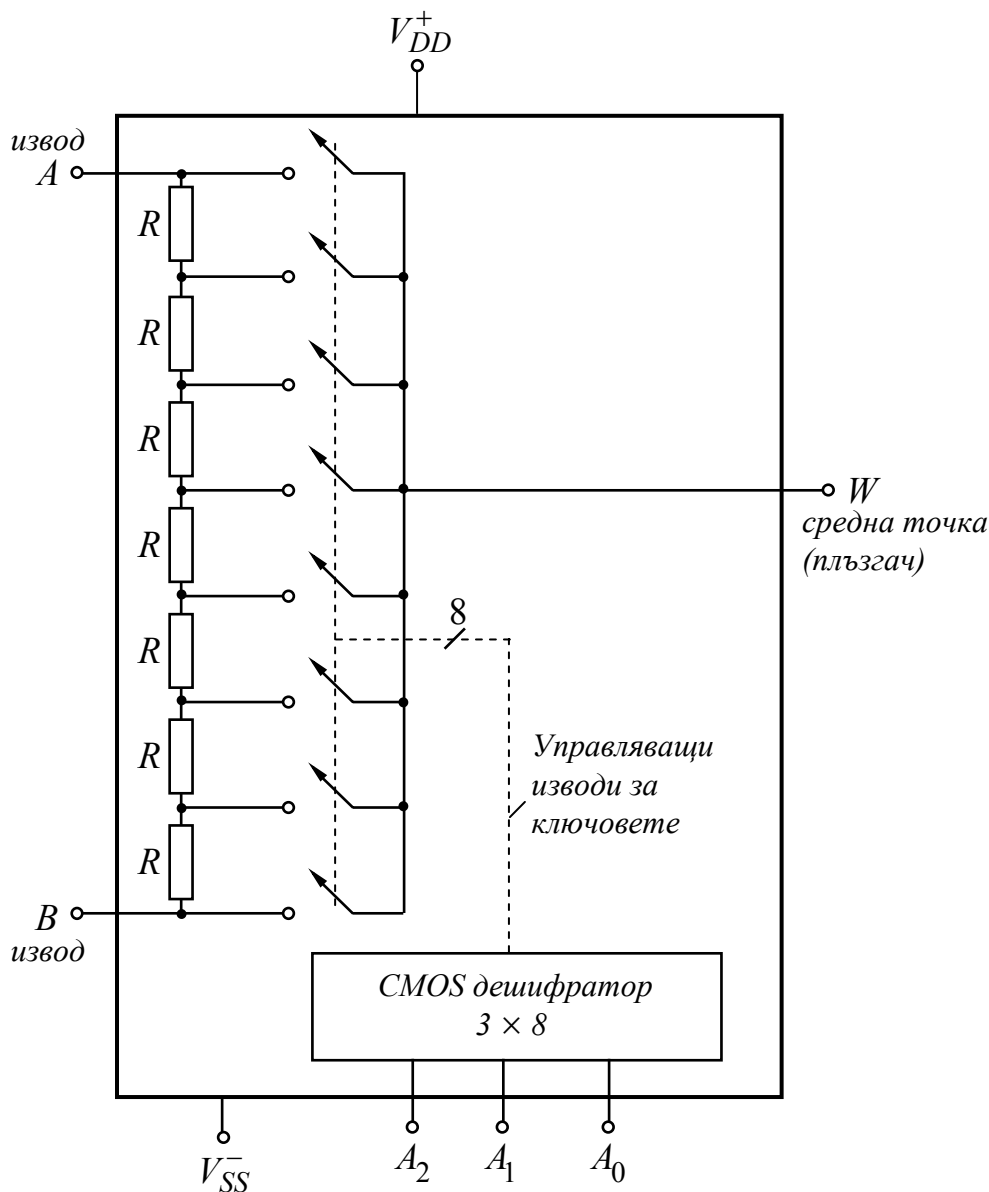
Фиг. 1.25. Схемно означение на цифров потенциометър.

1.4. Цифрови потенциометри

1.4.1. Структура и принцип на работа [8] [1.8] [15]

За разлика от механичните тример-потенциометри при цифровите потенциометри (*digital potentiometers*) положението на средната точка (плъзгача) W спрямо двата извода A и B , както е показано на фиг. 1.25, се определя с помощта на двоично число D . Основните предимства на цифровите пред механичните потенциометри са значи-

телно по-малките размери, липсата на механично изхабяване или замърсяване на плъзгача, слаба чувствителност към вибрации, температура и влажност. Освен това електрическите параметри на електронните схеми с цифрови потенциометри могат да променят с дистанционно управление.



Фиг. 1.26. Структурна схема на 3-битов (8 стъпков) RDAC цифров потенциометър.

Един от начините за получаване на цифров потенциометър е като между информационните входове (2^n на брой) на аналогов мултиплексор се свържат $2^n - 1$ резистори с еднакво съпротивление R . Този вид цифрови потенциометри са известни още като RDAC потенциометри. Друг начин за получаване на променливи съпротивления е чрез използване на ЦАП с допълнителен преобразувател на ток в напрежение и последователен резистор R_F (вж. фиг. 11.18б). Основните разлики в сравнение с RDAC потенциометрите са, че при променливите съпротивления с ЦАП не е изведена средна точка (плъзгач) и двата извода A и B не са равнопоставени, т.е. еквивалентният електронен елемент е от про-

ходен тип. Променливите съпротивления с ЦАП са разгледани в т. 11.3.5 от 11 глава.

Структурна схема на 3 битов RDAC цифров потенциометър с $2^3 = 8$ стъпки (позиции) на плъзгача е представена на фиг. 1.26. В нея при подаване на определен адрес на изводи A_2 , A_1 и A_0 на един от изходите на дешифратора се получава логическа единица, което предизвиква затварянето на един от електронните ключове. По този начин плъзгачът се позиционира в една от осемте точки между изводи A и B .

Броят на резисторите R , включени между изводи A и B на един RDAC цифров потенциометър, определя разрешаващата способност (или броя на стъпките на плъзгача) на потенциометъра. За схемата от фиг. 1.26 се получават 8 стъпки на плъзгача. В зависимост от стойността на двоичното число $D = A_2A_1A_0$, подадено на адресните входове стойностите на съпротивленията от средната точка W до извод B и от W до извод A се определят от формулите

$$(1.35a) \quad R_{WB}(D) = \frac{D}{2^n} R_{AB} \text{ и}$$

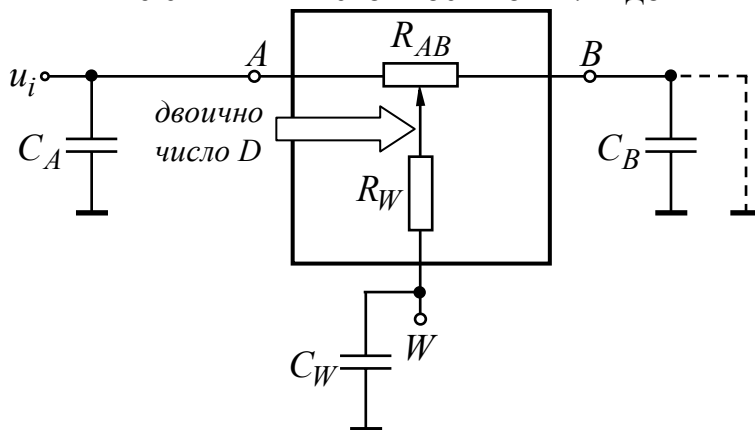
$$(1.35b) \quad R_{WA}(D) = \frac{2^n - D}{2^n} R_{AB},$$

където $R_{WB}(D)$ е съпротивлението между W и B , $R_{WA}(D)$ е съпротивлението между W и A , а R_{AB} е номиналното съпротивление между крайните изводи A и B .

1.4.2. Основни електрически параметри [8] [1.8]

На фиг. 1.27 е представена опростена еквивалентна схема на RDAC потенциометър. Основните параметри и видовете интерфейси за връзка с цифрова управляваща система на RDAC цифровите потенциометри могат да се дефинират по следния начин:

– *Номинална стойност на съпротивлението R_{AB}* : Съпротивлението между крайните изводи A и B е с типични стойности от $1k\Omega$ до $1M\Omega$.



Фиг. 1.27. Опростена еквивалентна схема на цифров потенциометър.

– Температурен коефициент на съпротивлението R_{AB} (с типични стойности $35 \dots 500 \text{ ppm}/^\circ\text{C}$): отношение на промяната на съпротивлението между изводи A и B към промяната на околната температура.

– Брой стъпки на плъзгача (с типични стойности от 32 до 1024): брой стъпки (позиции) на плъзгача между крайните изводи A и B . Броят на стъпките се определя от разрядността RDAC потенциометъра.

– Съпротивление на плъзгача R_W (с типични стойности от 10Ω до 100Ω): Съпротивлението между средната точка W и външния извод. Съпротивлението на плъзгача на RDAC потенциометрите е еквивалентно на контактното съпротивление на средната точка на механичните потенциометри.

– Брой канали: брой цифрови потенциометри в един корпус, например 2, 4 и 6.

– Коефициент на прослушване между каналите C_{W1}/C_{W2} : За двоен цифров потенциометър този коефициент се определя се като изменение на напрежението на единия плъзгач W_1 спрямо маса при условие, че вторият плъзгач W_2 се изменя в целия възможен диапазон. При измерване на напрежението на W_1 $U_A = V_{DD}$ и $U_B = 0$.

– Работна честотна лента $B_{0,7}$ (с типични стойности $B_{0,7} > 50 \text{ kHz}$): Честотата, при която коефициентът на предаване намалява с 3 dB спрямо стойността по постоянен ток. В общ вид, ако се пренебрегне съпротивлението R_W честотата $B_{0,7}$ се определя от формулата

$$(1.36) \quad B_{0,7} = \frac{1}{2\pi(R_{WB} \parallel R_{WA})C_W}.$$

– Време на установяване t_s : Определя се като времеви интервал на установяване на плъзгача от позиция при код $0x000$ до позиция при код, например $0x200$ (за 1024 стъпки). При отчитане на времето t_s напрежението на плъзгача трябва да се достига поне 95% от установената си стойност. При измерване на напрежението на W $U_A = V_{DD}$ и $U_B = 0$.

– Капацитети на изводите A и B C_A и C_B (с типични стойности $< 1 \dots 10 \text{ pF}$): Капацитетът между изходите A и B спрямо маса.

– Капацитет на средната точка W C_W (с типични стойности $< 10 \dots 50 \text{ pF}$): Капацитетът между средната точка и маса.

– Диапазон на изменение на аналоговите сигнали: максималният безопасен диапазон на напреженията приложени между изводи A и B . Обикновено той се ограничава от големината на захранващите напрежения.

– Коефициент на нелинейни изкривявания THD_W спрямо плъзгача (с типични стойности $< 0,1\%$): Определя се като отношение на средноквадратичната стойност на висшите хармоници (2-ри, 3-ти и т.н.) към амплитудата на основния хармоник. В каталожните данни се дефинира за определена амплитуда и

честота на напрежението на извод A при условие, че извод B е свързан към маса. Коефициентът THD_W се определя от анализ на сигнала на плъзгача спрямо маса.

– *Захранващо напрежение*: Цифровите потенциометри се захранват от еднополярен или двуполярен стабилизирани източник. При усилването или преобразуване на аналогови сигнали с произволна полярност най-често се използва *симетрично захранващо напрежение*, например $\pm 2,5V$. Съществуват множество RDAC потенциометри, при които вместо две захранващи напрежения със стойност $2,5V$ се използва *едно захранващо напрежение*, например $+5V$ или $+15V$. За голяма част от цифровите потенциометри, които работят с едно захранващо напрежение в каталожните данни е указано, че позволяват и включването на двуполярно захранващо напрежение.

– *Ток на консумация (supply current) I_{DD}^+ или I_{SS}^-* (с типични стойности $1 \dots 10\mu A$): токът на изводите V_{DD}^+ и V_{SS}^- на цифровия потенциометър в режим на покой и на празен ход на изхода.

– *Ток на консумация при запис и четене от EEMEM (EEMEM store/restore mode current) I_{DD}^+ или I_{SS}^-* (с типични стойности при запис $10 \dots 50mA$): токът на изводите V_{DD}^+ и V_{SS}^- на цифровия потенциометър в режим запис или четене в и от EEMEM. За RDAC регистрите на потенциометрите е позволен неограничен брой на промени, докато за EEMEM регистрите броят на циклите за изтриване/запис е ограничен.

– *Тип на интерфейс за връзка с цифрова управляваща система*: Програмането на цифровите потенциометри се осъществява през стандартни серийни интерфейси от микроконтролер. Голяма част от цифровите потенциометри притежават вграден SPI (Serial Peripheral Interface) или I²C (Inter-IC bus) порт.

1.4.3. Видове RDAC потенциометри

Уникалните свойства на цифровите потенциометри са причина редица фирми да произвеждат и предлагат монолитни интегрални схеми с такива функции. Разнообразието от RDAC потенциометри е изключително голямо, при това класификацията на основните видове схеми може да се извърши по редица признаци: брой канали, брой стъпки на плъзгача, тип на стандартния интерфейс, възможност за запомняне на текущото състояние на плъзгача при отпадане на захранващото напрежение, тип на структурата и начини за използване.

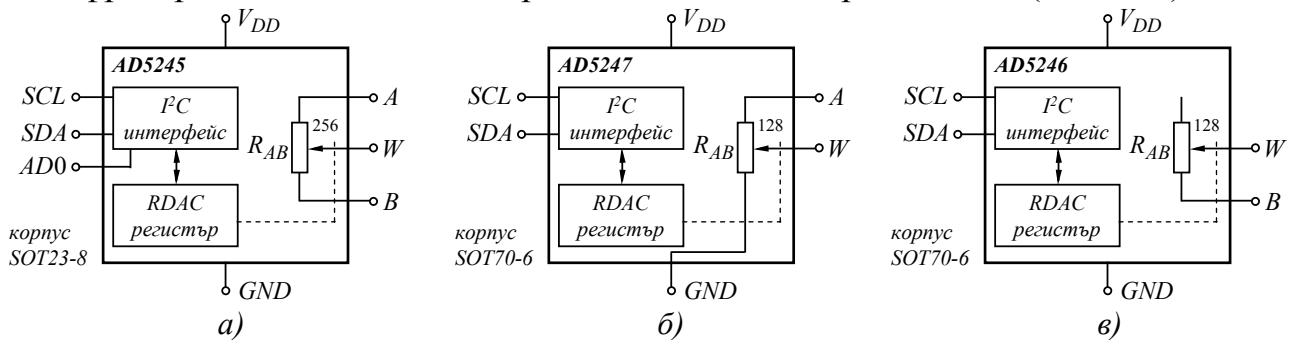
На фиг. 1.28а, фиг. 1.28б и фиг. 1.28в са показани трите основни вида RDAC потенциометри с конкретни представители, от които се получават всички останали видове елементи. Тези цифрови потенциометри са с общо предназначение и се използват за реализация на някои основни видове програмируеми усилватели, филтри и генератори. Освен това и трите схеми на фиг. 1.28 нямат вътрешна памет. За тях при изключване на захранващото напрежение настрой-

ката за средната точка се загубва. Цифровите потенциометри без вътрешна памет обикновено имат power-on preset функция за автоматично установяване в средно положение на плъзгача, когато се възстанови захранващото напрежение.

RDAC потенциометърът от фиг. 1.28а е с три свободни извода към които могат да се свързват други електронни елементи. Схемата от фиг. 1.28б е с един извод свързан към маса, а схемата от фиг. 1.28в може да се използва само като реостат.

Според възможността за запомняне на текущото състояние на плъзгача RDAC потенциометрите са с вътрешна E²MEM памет и без вътрешна памет.

В зависимост от броя на възможните цикли за програмиране се различават потенциометри с произволен брой цикли и потенциометри с краен брой цикли (еднократно и двукратно програмируеми потенциометри). При цифровите потенциометри с краен брой цикли между RDAC регистрите и адресните дешифратори има една или две връзки със стопяем предпазител (fuse link).



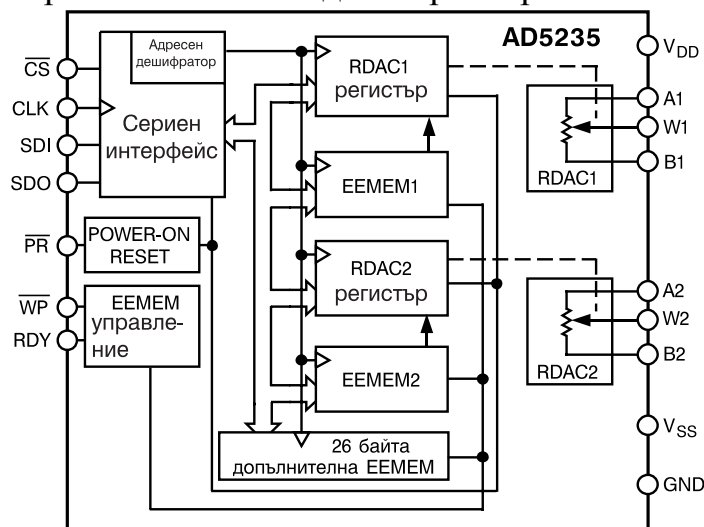
Фиг. 1.21. Основни видове схеми на RDAC потенциометри: а) – реализация с три свободни извода (AD5245 – Analog D.); б) – реализация с един извод свързан към маса (AD5247 – Analog D.); в) – реализация с реостат (AD5246 – Analog D.).

Както беше казано по-горе, за RDAC потенциометрите от фиг. 1.28 настройката на средната точка се загубва при всяко изключване на захранващото напрежение. В редица случаи обаче е важно да се запази настройката на потенциометъра след изключване и последващо включване на захранващото напрежение. Така например, когато CMOS цифров потенциометър се използва в електронна схема за компенсация на “нулата” на ОУ или за настройка на параметрите на LCD дисплей е от съществено значение положението на плъзгача да се запази за дълъг период от време независимо от това дали е приложено външно захранващо напрежение.

Типичен представител на RDAC цифровите потенциометри с вътрешна E²MEM памет е интегрална схема AD5235 (Analog Dev.). Опростена вътрешна структура на AD5235 е показана на фиг. 1.29.

Интегралната схема AD5235 е двуканален потенциометър и включва два RDAC потенциометъра (RDAC1 и RDAC2), два RDAC паралелни регистъра, в които временно се запомня управляващото двоично число за позициите на плъзгачите, две E²MEM памет, блок за управление на паметта (E²MEM control) и входен буфер с адресен дешифратор (Serial interface и ADDR decoder). Интегралната схема се произвежда в две модификации на съпротивлението

R_{AB} , съответно със стойности $25k\Omega$ и $250k\Omega$. При това броят на стъпките на плъзгача е 1024. Управлението на ИС AD5235 се осъществява по стандартен SPI интерфейс. Особено интересни от приложна гледна точка са някои от функциите на вътрешната памет и начините за преместване на плъзгача, които нямат аналог в традиционните механични потенциометри. Така например, когато се прави промяна на съдържанието на RDAC регистрите, управляващото двоичното число за новата настройка може да се подаде непосредствено към адресния дешифратор на RDAC потенциометъра или към вътрешната E²MEM памет. По този начин плъзгачът се премества директно на желаната позиция без да се налага, както при механичните потенциометри, да се извъртят всички позиции докато се достигне до желаната. Освен това е възможно двоичното число, което се съхранява в паметта да се прехвърли в RDAC регистрите.

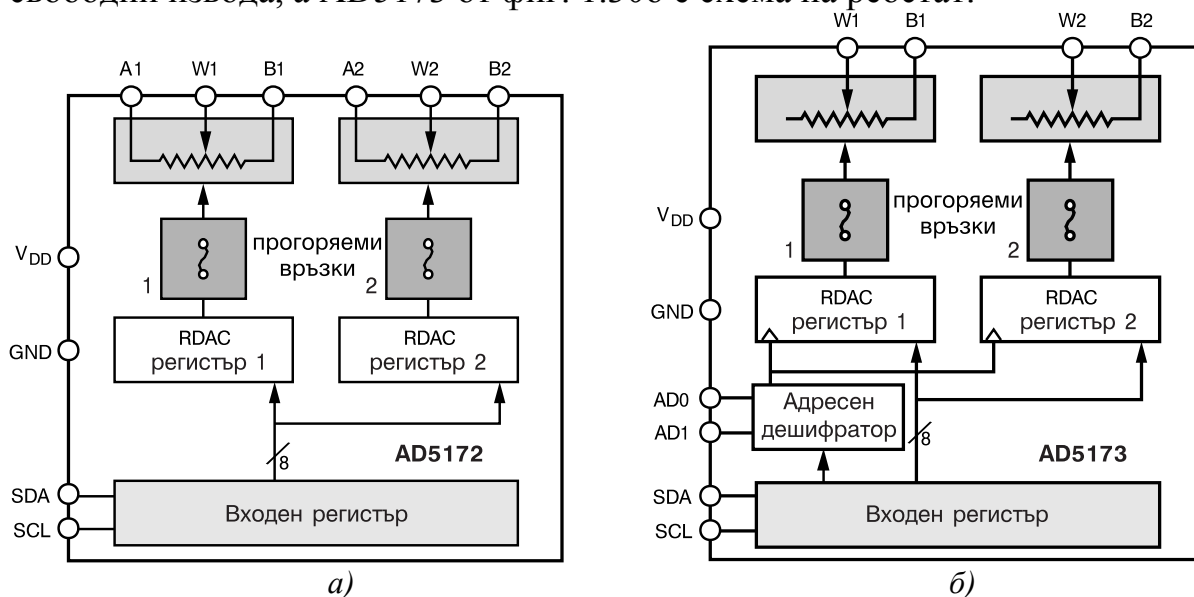


Фиг. 1.29. Опростена вътрешна структура на двоен RDAC цифров потенциометър AD5235 с вътрешна EEMEM памет.

Вътрешната EEMEM (или E²MEM) памет може директно да се програмира или съдържанието ѝ да се защити така, че да не настъпват промени по време на работа. Друга важна особеност на цифровите потенциометри е възможността линейно или логаритмично да се премества единия плъзгач или двата едновременно. При линейното преместване е възможно преместване с една стъпка или директно задаване на произволно положение на плъзгача. При логаритмичното преместване на всяка стъпка плъзгачът се премества с $\pm 6dB$. Това означава, че плъзгачът се премества на стъпки по степените на две. Когато за управляваща цифрова система се използва микроконтролер, е възможно по програмен път да се зададе автоматично преместване на плъзгачите в линеен или логаритмичен режим.

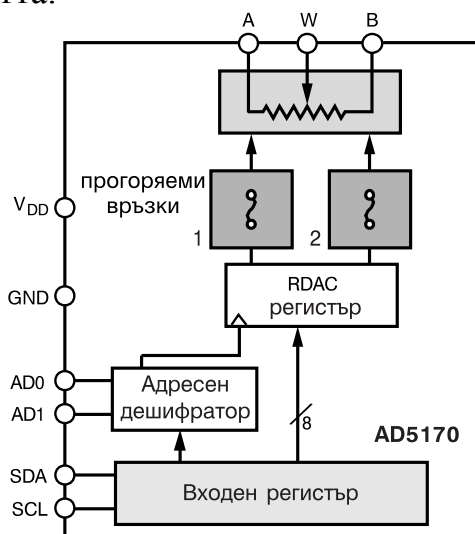
Цифровите потенциометри със стопяема връзка между RDAC регистрите и адресните дешифратори на самите RDAC потенциометри са схематичен вариант на цифровите потенциометри с вътрешна памет. Опростени вътрешни структури на потенциометри с една стопяема връзка са представени на фиг. 1.30а и фиг.

1.30б. Схемата на AD5172 от фиг. 1.30а двоен цифров потенциометър с три свободни извода, а AD5173 от фиг. 1.30б е схема на реостат.



Фиг. 1.30. Опростена вътрешна структура на RDAC потенциометър с допълнителна прогоряема връзка (“set and forget”): а) – реализация с три свободни извода (AD5172 – Analog D.); б) – реализация с реостат (AD5173 – Analog D.).

Цифровите потенциометри с прогоряема връзка (fuse link) позволяват неограничена настройка на плъзгача преди подаване на команда за окончателно установяване на позицията му. При активиране на OTP (one-time programmable) командата връзката се “прогаря” и позицията на плъзгача се “замразява” в състояние, определено от последната настройка (“set and forget”). Този процес е аналогичен на поставянето на епоксидна смола върху механичен тример-потенциометър. Цифровите потенциометри от този вид имат много добра стабилност на позицията на плъзгача при действието на различни смущаващи фактори, като изменение на температурата, наличие на вибрации, промени в атмосферното налягане и влажността.



Фиг. 1.31. Опростена вътрешна структура на RDAC потенциометър AD5170 с две прогоряеми връзки (“second chance”).

Когато е необходимо повторно настройване на плъзгача на цифров потенциометър с прогоряема връзка се използват схеми, при които има две прогоряеми връзки. На фиг. 1.31 е дадена вътрешната структура на RDAC цифров потенциометър AD5170, който има две прогоряеми връзки. При този тип схеми след премахване на първата връзка при активиране на ТТР (two-time programmable) команда може да се изпълни нова настройка на позицията на плъзгача (“second chance”). При активиране на команда за прекратяване на втората настройка и втората връзка се прогаря, като окончателно се “замразява” позицията на плъзгача.

1.5. Програмируеми усилватели и атенюатори с цифрови потенциометри

1.5.1. Програмируеми инвертиращи и неинвертиращи усилватели с RDAC цифрови потенциометри [8] [1.1] [1.2] [1.14]

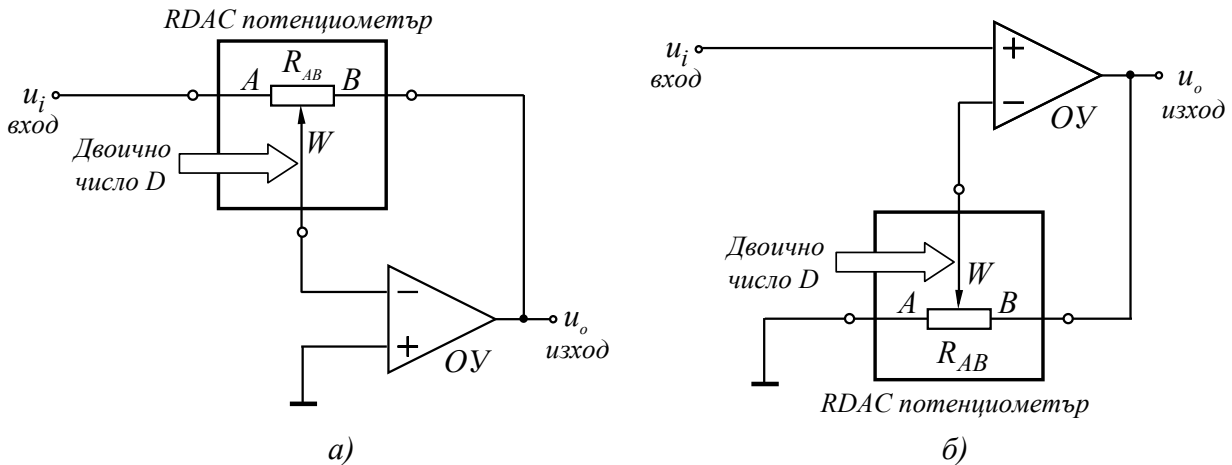
Когато е необходим голям брой коефициенти на усилване, а не просто 3 или 4 стойности в процеса на проектиране и реализация на електронни устройства често се използват програмируеми усилватели с RDAC цифрови потенциометри или с умножителни цифрово-аналогови преобразуватели. Най-лесният начин за получаване на програмируем усилвател с RDAC цифров потенциометър за задаване на коефициента на усилване е като в основната схема на инвертиращ усилвател с ОУ резисторите R_F и R_N се заменят с един цифров потенциометър с три свободни извода. Основните схеми на програмируеми усилватели с цифров потенциометър са показани на фиг. 1.32. В схемата на фиг. 1.32а ОУ е обхванат от паралелна ООВ по напрежение посредством цифров потенциометър с три свободни извода и номинално съпротивление R_{AB} . Входното напрежение на схемата u_i се подава към възел A спрямо маса, а изходното напрежение се получава в изхода на ОУ спрямо маса. Средната точка (плъзгачът) на цифровия потенциометър W е свързан към неинвертиращия вход на ОУ. Следователно ролята на резистора R_F от основната инвертираща схема (вж. фиг. 4.1) се изпълнява от програмируемото съпротивление R_{WB} , а ролята на резистора R_N от съпротивлението R_{WA} . При условие, че ОУ се приеме за идеален активен елемент формулата за коефициента на усилване по напрежение във функция от управляващото двоично число D се получава

$$(1.37) \quad A_U(D) = \frac{u_o}{u_i} \approx -\frac{R_{WB}}{R_{WA}} = -\frac{D}{2^n - D},$$

$$\text{където } R_{WB} = \frac{D}{2^n} R_{AB}, \text{ а } R_{WA} = R_{AB} - R_{WB} = R_{AB} \left(1 - \frac{D}{2^n}\right) = \frac{2^n - D}{2^n} R_{AB}.$$

От формула (1.37) се вижда, че при изменение на числото D в границите $2^{n-1} \leq D < 2^n$ схемата от фиг. 1.32а работи като инвертиращ усилвател, а за

$0 < D \leq 2^{n-1}$ изходното напрежение става по-малко от входното напрежение, т.е. схемата е затихвател (атенюатор) на напрежение. Общият брой на възможните коефициенти на затихване и усилване по напрежение е 2^n . В зависимост от броя на стъпките на потенциометъра броят на коефициентите на предаване обикновено е от 32 до 1024. Във формулата за коефициента на предаване (1.37) не участва съпротивлението R_W , защото плъзгачът е свързан към високоомния инвертиращ вход на ОУ.



Фиг. 1.32. Програмируем усилвател с RDAC цифров потенциометър: а) – инвертираща схема; б) – неинвертираща схема.

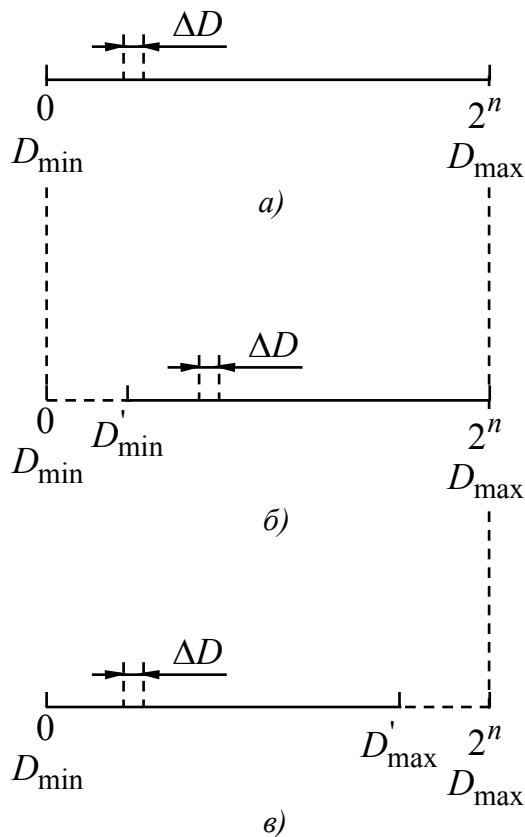
В схемата на фиг. 1.32б ОУ е обхванат от последователна ООВ по напрежение посредством RDAC цифров потенциометър с три свободни извода и съпротивление R_{AB} . Входното напрежение на схемата u_i се подава към неинвертиращия вход спрямо маса, а изходното напрежение се получава в изхода на ОУ спрямо маса. Средната точка (плъзгачът) на цифровия потенциометър W е свързана към инвертиращия вход на ОУ. Спрямо основната неинвертираща схема от фиг. 4.3 ролята на резистора R_F се изпълнява от програмируемото съпротивление R_{WB} , а ролята на резистора R_N от съпротивлението R_{WA} . Тогава от анализа на схемата от фиг. 1.32б при условие, че ОУ се приеме за идеален коефициентът на усилване по напрежение има вида

$$(1.38) \quad A_U(D) = \frac{u_o}{u_i} \approx 1 + \frac{R_{WB}}{R_{WA}} = \frac{2^n}{2^n - D}.$$

От формула (1.38) се вижда, че при изменение на числото D в границите $0 < D < 2^n$ коефициентът на усилване по напрежение се изменя от единица приблизително до $2^n - 1$.

Най-често числото D се изменя от 0 до 2^n (фиг. 1.33а). Възможно е изменение на обхвата чрез скъсяване отляво, както е показано на фиг. 1.33б или скъсяване отдясно – фиг. 1.33в. В тези случаи само част от възможните комбинации на числото D се подават от управляващото цифрово устройство. При скъсяване на обхвата на изменение се получават по-малък брой коефициенти на

усилване. Разбира се, при това изменение на обхвата стъпката $\Delta D = 1/2^n$ на плъзгача се запазва. Изменението на обхвата се оценява чрез коефициентите на скъсяване $\alpha_L = (D_{\max} - D'_{\min})/D_{\max}$ и $\alpha_R = D'_{\max}/D_{\max}$.



Фиг. 1.33. Обхвати на изменение на числото D : а) – без мащабиране; б) – скъсяване отляво; в) – скъсяване отдясно.

ключове. Типичните стойности на грешката са $\delta_{A_v} \leq 0,1\%$, а за средния температурен коефициент са $\alpha_R < 20 \dots 50 \text{ ppm}/^\circ\text{C}$.

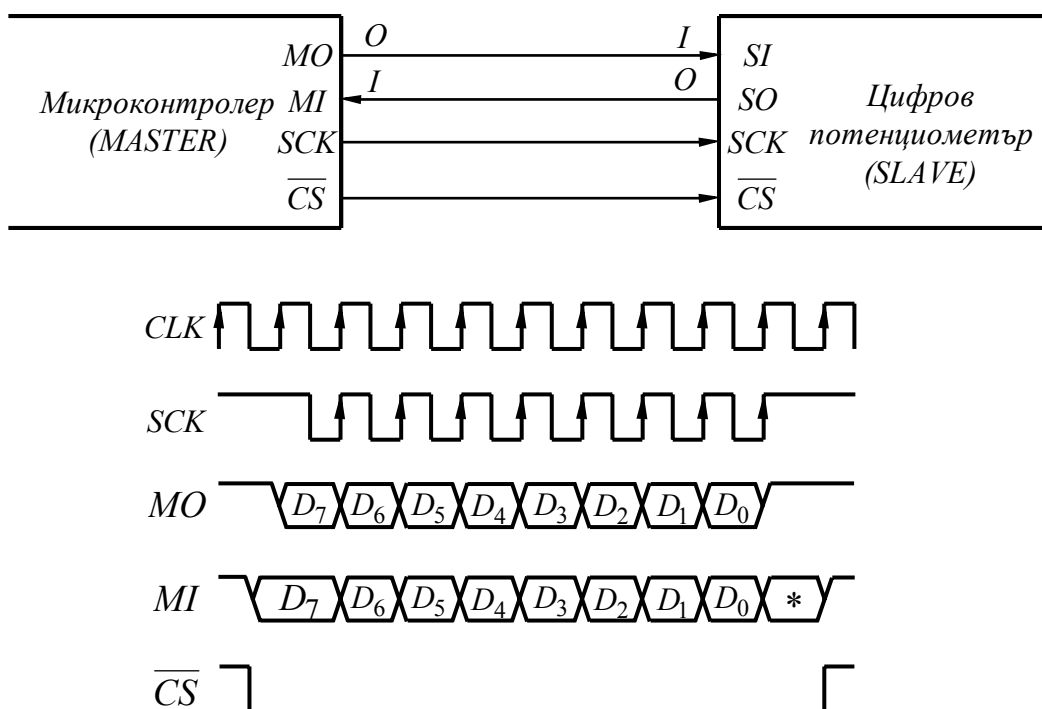
1.5.2. Програмиране на RDAC цифрови потенциометри [6] [1.2] [1.17] [31]

Програмирането на RDAC цифрови потенциометри се осъществява през стандартни серийни интерфейси от микроконтролер. Голяма част от цифровите потенциометри притежават вграден SPI порт. Той включва в състава си четири линии за обмен на информация. В него задължително влиза обща за предавателя и приемника тактова честота, което значително облекчава синхронизирането на информацията. Реализирането на връзка между микроконтролер и цифров потенциометър е показано на фиг. 1.34.

При обмен на данни задължително микроконтролерът има статут на главен (Master), а цифровият потенциометър – на подчинен (Slave). Микроконтролерът изпраща последователните данни от серийния си изход MO (Master Output) към последователния вход на „подчинения“ потенциометър SI (Slave Input), а може

Основното предимство на схемите от фиг. 1.32 пред останалите схеми на мащабиращи усилватели е възможността да се получат голям брой коефициенти на усилване. При това изменението на коефициента на усилване от двоичното число може да бъде по линейна или логаритмична функция. Също така от практическа гледна точка схемите от фиг. 1.32 са сравнително прости и лесно изпълними. Те съдържат един ОУ и един цифров потенциометър без допълнителни дискретни елементи. Доброто съгласуване на отношението на резисторите R_{WB}/R_{WA} дава възможност грешката от установяване на коефициента на усилване δ_{A_v} или затихване и нейния температурен дрейф да се получат с по-малки стойности в сравнение с тези на схемите с многоканални аналогови

да получава данни от последователния изход на подчинения *SO* (Slave Output) на последователния си вход *MI* (Master Input). Общият тактов сигнал *SCK* се генерира от микроконтролера и се възприема от потенциометъра. Сигналят *SCK* съответства на тактовия сигнал *CLK* на микроконтролера. Изборът на цифровия потенциометър се осъществява от генериран от микроконтролера сигнал \overline{CS} (Chip Select). Ако цифровите потенциометри са повече от един, техните последователни входове се свързват заедно към *MO*, изходите им се свързват също заедно към *MI*, а за всеки се осигурява по отделен сигнал за избор \overline{CS} . Ако цифровият потенциометър е един, той може да бъде постоянно избран, т.е може да не се използва сигнал \overline{CS} .



Фиг. 1.34. Организация на синхронен сериен интерфейс – SPI.

Когато изпраща последователно байт към потенциометъра, микроконтролерът го избира със сигнала \overline{CS} и осигурява придружаване на всеки бит данни с по един синхронизиращ импулс на *SCK*. Когато не се предават данни, не се предават и синхронизиращи импулси. За да прочете информация от цифровия потенциометър, микроконтролерът трябва да го избере и да му изпрати тактови импулси.

Програмиране на двоен RDAC цифров потенциометър DS1867 – пример 1

RDAC цифровите потенциометри често се използват в приложни схеми, които включват PIC микроконтролери на Microchip Technology. Така например микроконтролерът се използва за управление на аналогово-цифрови и цифрово-аналогови преобразуватели, дисплеи, бутони и др. В тези случаи трябва той да управлява и цифровите потенциометри, като задава позицията на средната точка, определя начина на промяна (линейно или логаритмично) и/или управлява

вътрешната памет. Понеже голяма част от цифровите потенциометри при- тежават вграден SPI порт на фиг. 1.35 е дадена примерна част от програма за запис на данни в двоен цифров потенциометър DS1867 на Dallas Semiconductor.

```

void WRITESER17()
{
    sclk = OFF;           /* clock low for start condition */
    Potcs = OFF;         /* take pot chip select low */
    NOP();               /* delay */

    Sdata = 0;           /* Shift out - stack select */
    sclk = ON;           /* pulse clock high */
    NOP();               /* delay */
    sclk = OFF;          /* take clock low */

    for (i=8;i;i--)
    {
        Sdata = SERMSB.7; /* send out the 8 msb's -POT 1 */
        sclk = ON;       /* Shift'em out - msb..lsb */
        SERMSB <<= 1;   /* pulse clock high */
        sclk = OFF;     /* Shift next msb over */
        NOP();          /* take clock low */
    }
    for (i=8;i;i--)
    {
        Sdata = SERLSB.7; /* send out the 8 lsb's -POT 0 */
        sclk = ON;       /* Shift'em out - msb..lsb */
        SERLSB <<= 1;   /* pulse clock high */
        sclk = OFF;     /* Shift next msb over */
        NOP();          /* take clock low */
    }
    NOP();               /* write serial register data into */
    Potcs = ON;          /* ... the RDAC output register */
    NOP();
    sclk = OFF;          /* leave clock in low position */
}

```

Фиг. 1.35. Програма на езика C за управление на двоен RDAC цифров потенциометър DS1867.

Чрез програмата могат да се изпратят 17 бита данни по сериен интерфейс. За целта данните се извеждат от порт *Sdata* и използват нарастващия фронт на общия тактов сигнал на порт *sclk* за синхронизация. Старшият байт данни (битове от 7 до 0) се съхранява в променливата *SERMSB*, а младшият байт данни се съхранява в променливата *SERLSB*. Данните се изпращат от най-старшия бит към най-младшия бит (D16 ... D0). Преди да започне процеса на изпращане трябва тези данни да бъдат записани в *SERMSB* и *SERLSB*. Последният 17-ти бит D16 се използва за избор на канал 1 или канал 2. При условие, че D16 е единица се избира потенциометър 1, а при D16 нула се избира потенциометър 0. При запис първо се избира потенциометър с D16 и след което се изпращат данни за позицията на плъзгача *W*. В примера по-горе на D16 е зададена логическа 0 (*Sdata* = 0).

В декларативната част на програмата трябва да се окажат стойностите на променливите *SERMSB* и *SERLSB* или да се декларира използването на външен файл. Освен това променливите *Sdata*, *sclk* и *Potcs* трябва да бъдат дефинирани като изводи, съответно *MO*, *SCK* и *CS* на PIC микроконтролера.

Програмиране на единичен/двоен/четворен RDAC цифров потенциометър AD8400/2/3 – пример 2

На фиг. 1.36 е дадена примерна част от програма за запис на данни в единичен/двоен/четворен цифров потенциометър AD8400/2/3 на Analog Devices. Основната разлика в сравнение с първия пример е, че в този пример за управление на цифровия потенциометър от микроконтролера първо се изпращат два адресни бита, с които се избира един от вътрешните RDAC потенциометри, ако се използва двойна или четворна ИС (AD8402 или AD8403), след което се изпращат 8 бита за позицията на средната точка. Този начин на предаване на данни се налага от производителя на ИС и винаги е описан в каталожните данни. В първия пример за управление на ИС DS1867 също първо се изпраща един бит, който се оказва вътрешните RDAC 0 или 1, но след това се изпращат два отделни байта данни за позицията на всеки от плъзгачите.

```

void WRITESER10()
{
    sclk = OFF;           /* clock low for start condition */
    Potcs = OFF;         /* take pot chip select low */
    NOP();               /* Delay */
    for (i=2;i;i--)
    {
        sdata = SERMSB.1; /* send out the 2 msb's-POT address */
        sclk = ON;       /* Shift'em out - msb..lsb */
        SERMSB <<= 1;    /* pulse clock high */
        sclk = OFF;     /* Shift next msb over */
        NOP();          /* take clock low */
    }
    for (i=8;i;i--)
    {
        sdata = SERLSB.7; /* send out the 8 lsb's */
        sclk = ON;       /* Shift'em out - msb..lsb */
        SERLSB <<= 1;    /* pulse clock high */
        sclk = OFF;     /* Shift next msb over */
        NOP();          /* take clock low */
    }
    NOP();               /* write serial register data into */
    Potcs = ON;         /* ... the RDAC output register */
    NOP();
    sclk = OFF;         /* leave clock in low position */
}

```

Фиг. 1.36. Програма на езика C за управление на единичен/двоен/четворен RDAC цифров потенциометър AD8400/2/3.

Чрез програмата на фиг. 1.36 могат да се изпратят 10 бита данни по сериен интерфейс. За целта данните се извеждат от порт sdata и използват нарастващия фронт на общия тактов сигнал на порт sclk за синхронизация. Старшата част (битове 1 и 0) се съхранява в променливата SERMSB, а младшата част (битове от 7 до 0) данни се съхранява в променливата SERLSB. Старшата част се състои от два адресни бита, с които се избира един от RDAC потенциометрите в многоканалната интегрална схема. Данните се изпращат от най-старшия бит към най-младшия бит (A1, A0, D7 ... D0). Преди да започне процеса на изпращане трябва тези данни да бъдат записани в SERMSB и SERLSB.

Както в предишния пример в декларативната част на програмата трябва да се окажат стойностите на променливите *SERMSB* и *SERLSB* или да се декларира използването на външен файл. Също така променливите *Sdata*, *Sc1k* и *Pots* трябва да бъдат дефинирани като изводи, съответно *MO*, *SCK* и \overline{CS} на PIC микроконтролера.

1.5.3. Програмируеми биполярни усилватели с RDAC цифрови потенциометри [1.2] [1.11] [1.12] [25]

Недостатък на схемите от фиг. 1.32 е, че изходното напрежение е с определена полярност спрямо входното напрежение. Така например за схемата от фиг. 1.32a изходното напрежение винаги се инвертира спрямо входното напрежение, без значение дали схемата осигурява усилване или затихване. В редица случаи инвертирането на входния сигнал е полезно свойство, съществуват обаче редица приложения, в които се налага промяна на знака на коефициента на усилване. Така например голяма част от електродвигателите е нужно да се завъртат свободно в права и обратна посока, термокамерите за лазерни уреди трябва да работят в режим на загряване и охлаждане в зависимост от посоката на протичане на задаващия ток. Също така управлението на яркостта и контраста за LCD дисплеите изисква усилване по мощност от биполярни схеми (схеми със смяна на знака). Основната схема на биполярен програмируем едностъпален усилвател е показана на фиг. 1.37. В нея коефициентът на усилване може да се задава в диапазона $\pm m$ с помощта на цифровия потенциометър R_2 . Ако този потенциометър се намира в крайно дясно положение (спрямо чертежа на схемата), то параметърът $q = (D/2^n) = 0$ ($D = 0$) и схемата работи като инвертиращ усилвател с коефициент на усилване $A_U = -m$. Резисторът $R_1(m-1)$ в този случай не оказва влияние, тъй като падът на напрежение върху $R_1(m-1)$ е с нищожно малка стойност.

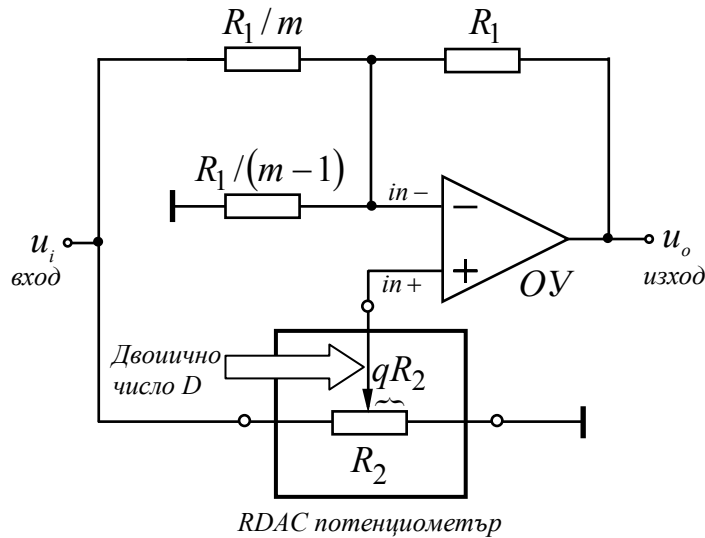
При $q = 1$ ($D = 2^n$) цялото входно напрежение u_i се подава на неинвертиращия вход на ОУ. При това падът на напрежение върху резистора R_1/m е равен на нула и схемата работи в режим на неинвертиращ усилвател с коефициент на усилване

$$(1.39) \quad A_U = \frac{u_o}{u_i} \approx 1 + \frac{R_1}{R_1/(m-1)} = +m.$$

В междинно положение на плъзгача W на потенциометъра R_2 за възел $in-$ и $in+$ се съставят следните уравнения по първия закон на Кирхоф

$$(1.40a) \quad \frac{u_i - u_{in-}}{R_1/m} = \frac{u_{in-}}{R_1/(m-1)} + \frac{u_{in-} - u_o}{R_1} \rightarrow u_{in-} = \frac{nu_i + u_o}{2n} \text{ и}$$

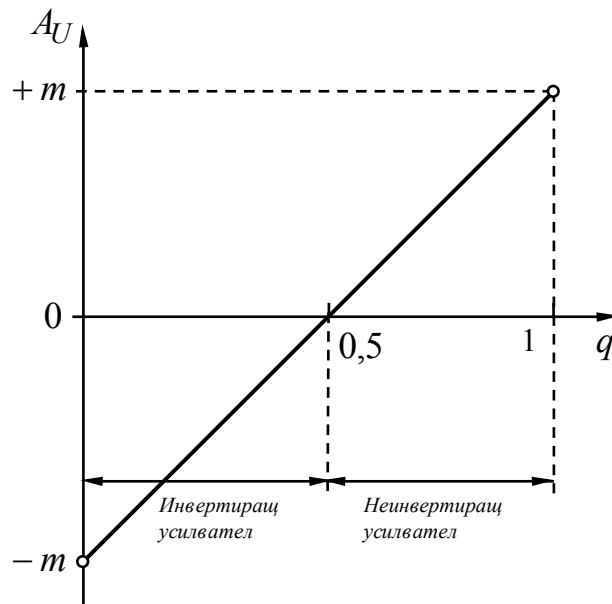
$$(1.40b) \quad \frac{u_i - u_{in+}}{(1-q)R_2} = \frac{u_{in+}}{qR_2} \rightarrow u_{in+} = qu_i.$$



Фиг. 1.37. Биполярен програмируем едностъпален усилвател с RDAC цифров потенциометър.

След приравняване на формулите за напреженията на инвертиращия и неинвертиращия вход u_{in-} и u_{in+} коефициентът на усилване се получава

$$(1.41) \quad A_U = \frac{u_o}{u_i} = m(2q - 1).$$



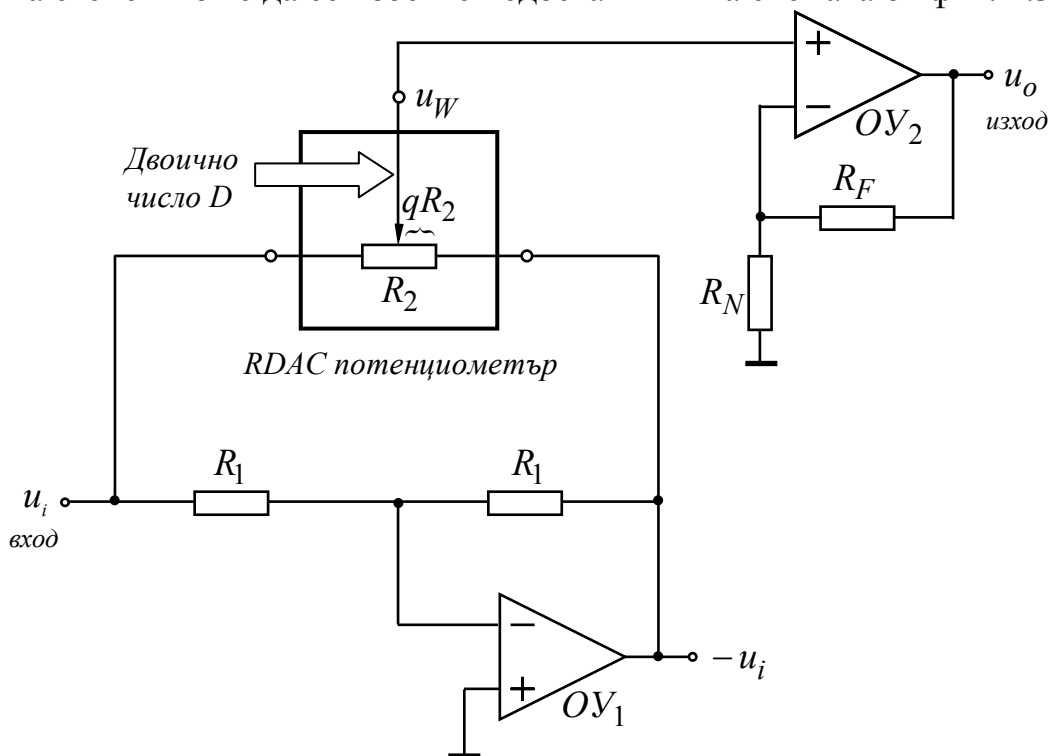
Фиг. 1.31. Зависимост на коефициента на усилване по напрежение A_U от параметъра q за схемата от фиг. 1.37.

От горната формула се вижда, че коефициентът A_U зависи линейно от параметъра $q = D/2^n$, като броят на A_U зависи от броя на стъпките на плъзгача W на цифровия потенциометър. Параметърът m определя областта на изменение на коефициента A_U . Най-малката възможна стойност на m е единица. В този случай съпротивлението $R_1(m - 1)$ става излишно в схемата.

Въз основа на формула (1.41) на фиг. 1.38 е дадена зависимостта на коефициента на усилване от параметъра q . За $q = 0,5$ или $D = 2^{n-1}$, коефициентът A_U е равен на нула. Тогава за $0 \leq q \leq 0,5$ схемата от фиг. 3.10 работи в режим на инвертиращ усилвател с коефициент на усилване $-m \leq A_U \leq 0$. За $0,5 \leq q \leq 1$ схемата работи като неинвертиращ усилвател с коефициент $0 \leq A_U \leq m$.

Недостатък на схемата от фиг. 1.38 е сравнително трудната настройка на коефициента на усилване, тъй като за да се получи желаният диапазон на изменение трябва строго да се спазват съотношенията на съпротивленията в ООВ на ОУ.

На фиг. 1.39 е показана схема на двустъпален биполярен усилвател, в който до голяма степен може да се избегне недостатъкът на схемата от фиг. 1.37.



Фиг. 1.39. Биполярен програмируем двустъпален усилвател с RDAC цифров потенциометър.

Схемата от фиг. 1.39 е съставена от две усилвателни стъпала. В първото стъпало ОУ е обхванат от две ООВ. Първата ОВ се формира с резисторния делител с фиксирани съпротивления R_1 , а втората ОВ се формира чрез цифровия потенциометър R_2 . Изходното напрежение u_W на първото стъпало се получава в средната точка на потенциометъра R_2 . То се изменя в границите $\pm u_i$ при изменение на параметъра q от 0 до 1. В общия случай при междинно положение на плъзгача W на потенциометъра R_2 напрежението u_W се определя от следната формула

$$(1.42) \quad u_W = (2q - 1)u_i.$$

Второто стъпало в схемата от фиг. 1.39 е неинвертиращ усилвател с коефициент на усилване по напрежение

$$(1.43) \quad A_U = \frac{u_o}{u_W} \approx 1 + \frac{R_F}{R_N}.$$

Тогава за общия коефициент на усилване на схемата може да се намери следната формула

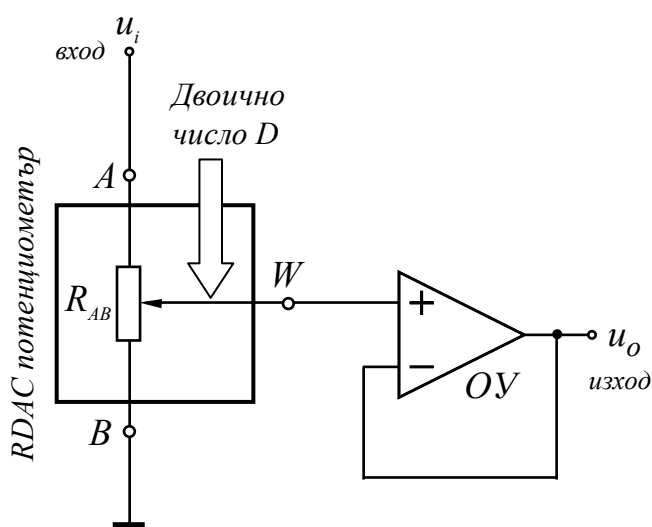
$$(1.44) \quad A_U = \frac{u_o}{u_i} \approx \left(1 + \frac{R_F}{R_N}\right)(2q - 1).$$

В случай, че за схемата от фиг. 1.39 се избере $R_F = 9R_N$, $R_1 = 10k\Omega$ и $D = 256$ коефициентът на усилване по напрежение ще се изменя от -10 до $+10$ при изменение на цифровия код D от 0 до 255 . Броят на възможните коефициенти на усилване е 256 .

Допълнително увеличаване на броя на коефициентите на усилване A_U може да се постигне, ако двата резистора R_1 се заменят с един цифров потенциометър.

1.5.4. Програмируеми атенюатори (затихватели) с RDAC цифрови потенциометри [1.2] [1.7] [1.11] [1.12]

Основната схема на атенюатор (затихвател) с RDAC цифров потенциометър с показана на фиг. 1.40. Тя се състои от един цифров потенциометър и повторител с ОУ. Входният сигнал u_i се подава на извод A на потенциометра R_{AB} , извод B е свързан към маса, а плъзгачът W е свързан към неинвертиращия вход на ОУ. Изходното напрежение на схемата се получава в изхода на повторителя. При този начин на свързване товарът не оказва влияние върху



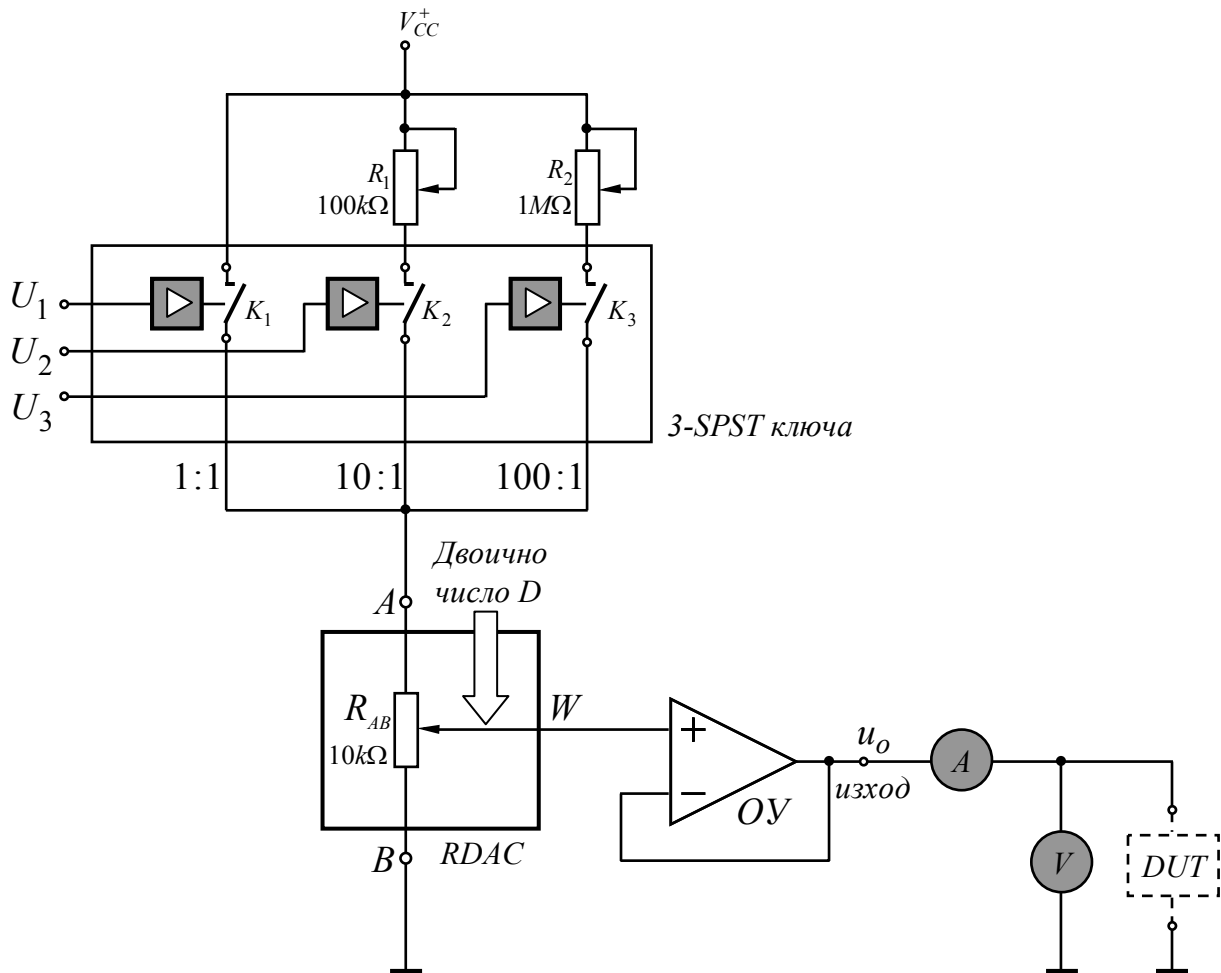
Фиг. 1.40. Програмируем атенюатор с RDAC цифров потенциометър.

коэффициента на предаване по напрежение на еквивалентния резисторен делител, реализиран в цифровия потенциометър. При условие, че ОУ се приеме за идеален активен елемент изходното напрежение се определя от формулата

$$(1.45) \quad u_o = \frac{R_{WB}}{R_{WB} + R_{WA}} u_i = \frac{D}{2^n} u_i.$$

При изменение на числото D от 0 до 2^n изходното напрежение заема стойности от 0 до u_i . Стъпката с която се изменя изходното напрежение е $u_i / 2^n$.

В случаите когато са необходими няколко обхвата на изменение на изходното напрежение може да се използва схемата от фиг. 1.41. В нея посредством ключовете K_1 , K_2 и K_3 се формират три резисторни делителя с предаване 1:1, 10:1 и 100:1. За управлението на аналоговите ключове се използва двоичното число U_1 , U_2 и U_3 , което е в унитарен цифров код. Точното установяване на необходимите коефициенти на предаване се осъществява, като резисторите R_1 и R_2 се заменят с потенциометри, на които средната точка е свързана накъсо с единия извод. При условие, че номиналното съпротивление R_{AB} е равно на $10k\Omega$ съпротивленията R_1 и R_2 се установяват, съответно $90k\Omega$ и $900k\Omega$. Тогава, ако плъзгачът W на цифровия потенциометър е в крайното горно положение (фиг. 1.41), коефициентите на предаване по напрежение ще бъдат равни на 1, 0,1 и 0,01.



Фиг. 1.41. Примерна схема на програмируем атенюатор с RDAC цифров потенциометър и три обхвата на напрежението.

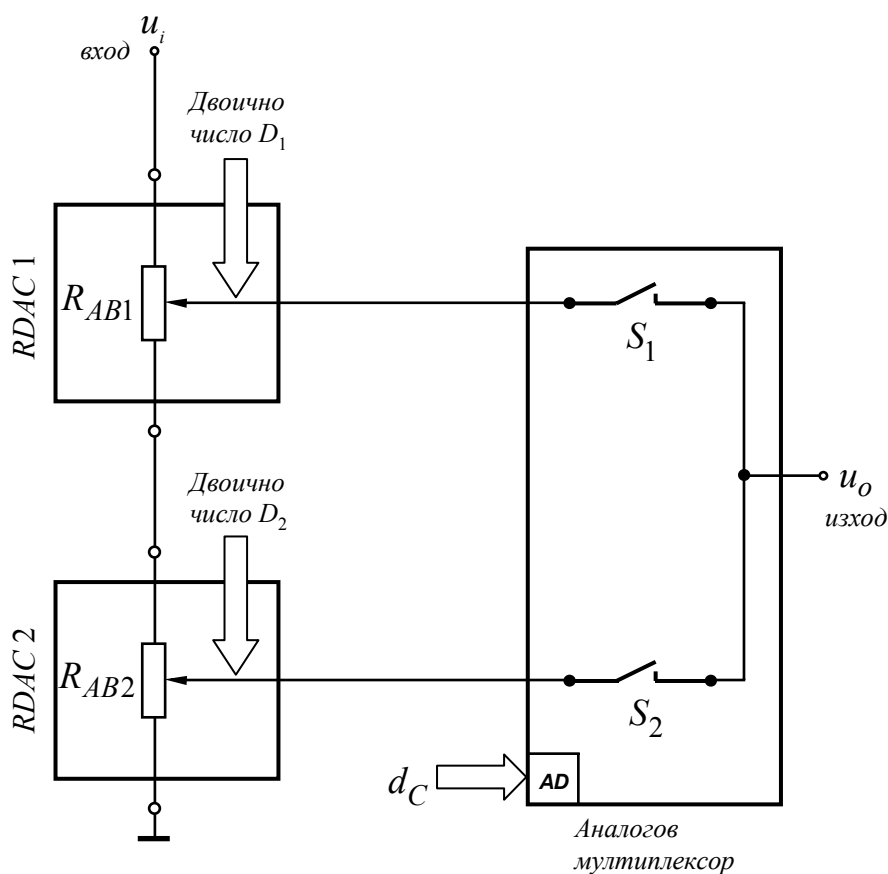
При произволно положение на средната точка W и затворен K_2 или K_3 коефициентът на предаване по напрежение се определя от формулата

$$(1.46) \quad u_o = \frac{R_{WB}}{R_{WB} + R_{WA} + R_{1(2)}} V_{CC}^+.$$

Ако ключът K_1 е затворен, а K_2 и K_3 са отворени изходното напрежение се определя от формула (1.45).

Схемата от фиг. 1.41 може да се използва като източник на регулируемо напрежение в електронна система за снемане на волт-амперни характеристики на двуполусни електронни елементи (DUT). За целта следва да се избере прецизен ОУ с малко входно напрежение на несиметрия и температурен дрейф.

Когато е необходима по-малка стъпка на изменение на изходното напрежение, се използва последователно или верижно (каскадно) свързване на два, три или четири цифрови потенциометъра.



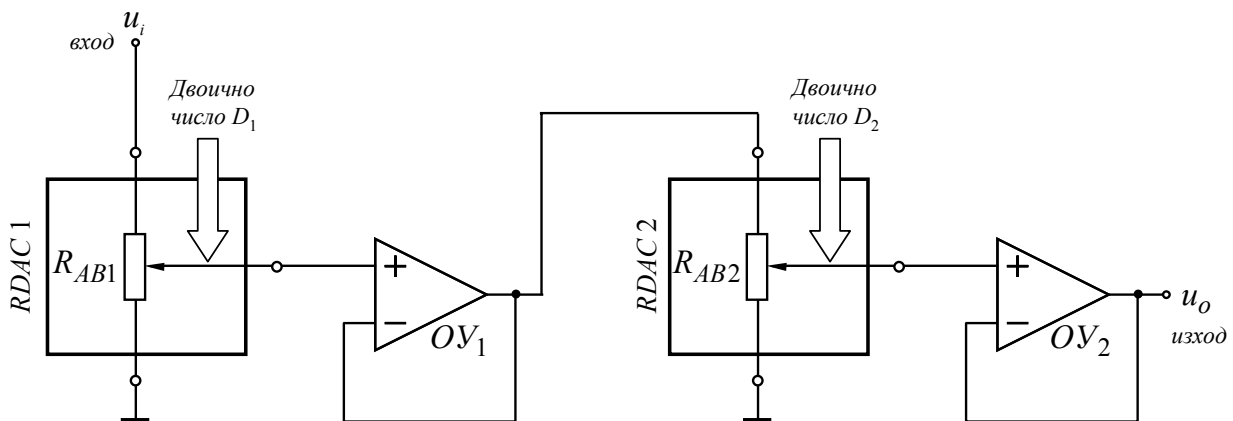
Фиг. 1.42. Програмируем атенюатор с два последователно свързани RDAC цифрови потенциометри.

Електронна схема на атенюатор, съставена от два последователно свързани цифрови потенциометъра с $R_{AB1} = R_{AB2}$ и двуканален аналогов мултиплексор, е показана на фиг. 1.42. В нея управлението на мултиплексора се изпълнява от допълнителен цифров сигнал d_C . При $d_C = 1$ долният ключ S_2 е затворен, а горният ключ S_1 е отворен, тогава изходното напрежение u_o може да се променя от 0 до $u_i/2$ за $D_1 = 0$ и изменение на цифровия код D_2 от нула до 2^n . При $d_C = 0$ ключът S_2 е отворен, а S_1 е затворен, тогава за $D_2 = 2^n$ и изменение на цифровия код D_1 от нула до 2^n изходното напрежение се променя от $u_i/2$ до u_i . В общия случай за изходното напрежение се получава формулата

$$(1.47) \quad u_o = \frac{D}{2^{n+1}} u_i.$$

В случай, че се използват два еднакви потенциометъра с 256 стъпки в схемата от фиг. 1.42 изходното напрежение ще заема 512 стойности.

Атенюатор с два цифрови потенциометъра, свързани каскадно и допълнителни повторители е показан на фиг. 1.43. В нея с първия потенциометър чрез числото D_1 се постигна желан „прозорец”, в който се изменя входното напрежение u_i . С помощта на втория потенциометър с D_2 се задават 2^n стъпки на изменение на напрежението в дефинирания прозорец с числото D_1 .



Фиг. 1.43. Програмируем атенюатор с два каскадно свързани цифрови потенциометъра.

Електронната схема от фиг. 1.43 е подходяща в случаите, когато трябва да се постигне тесен обхват на изменение на входното напрежение. Например, когато R_{WB1} се зададе с малка стойност, по-нататък фино изменение може да се постигне чрез втория потенциометър.