

Формиране на импулси в лавинни режими на биполярни транзистори

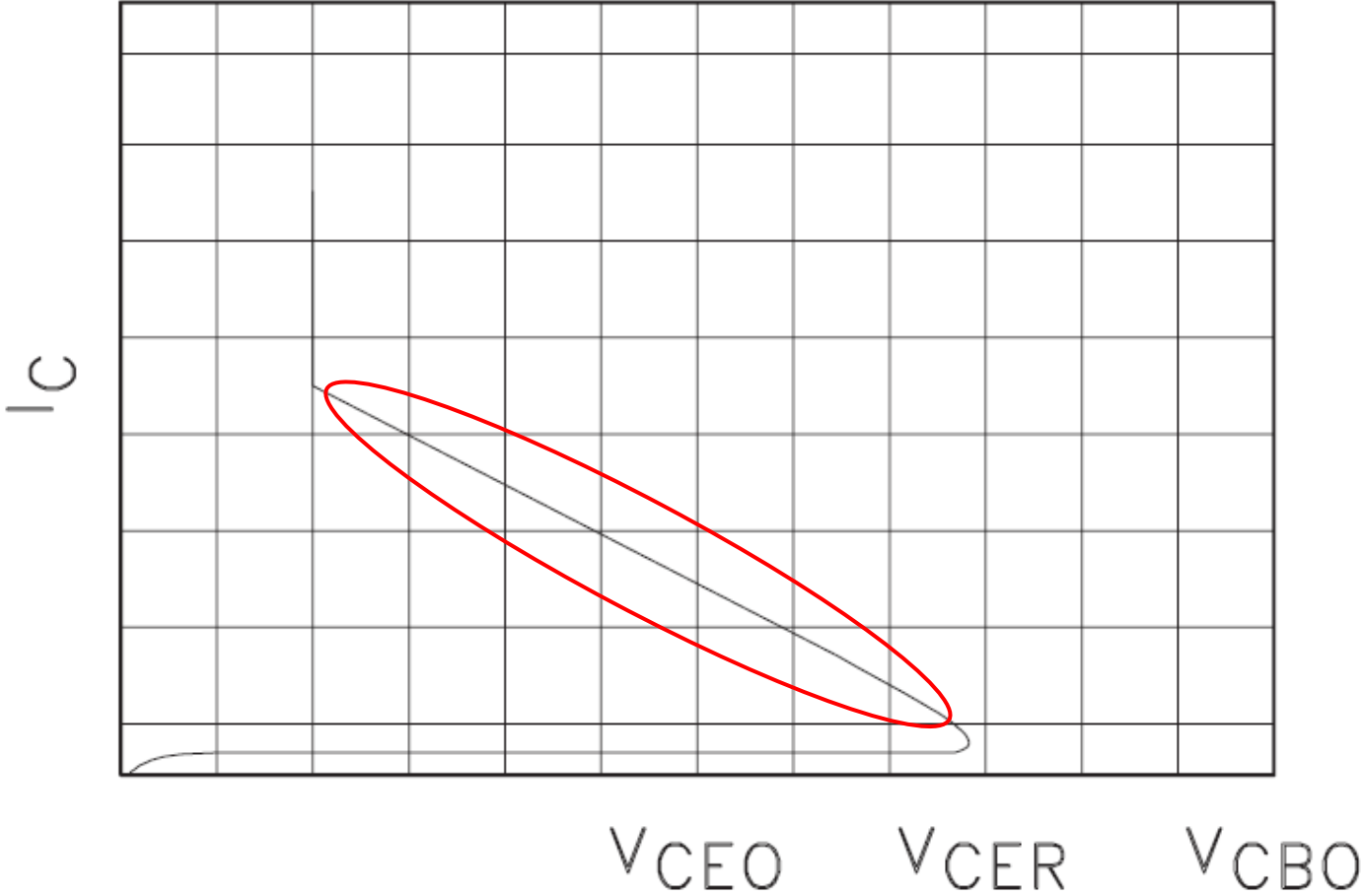
Биполярните транзистори, които работят в лавинен режим могат да предоставят изключително високи скорости на превключване и са в състояние да произвеждат изходни токове, чиито стойности далече надвишават получените от конвенционалните схеми.

Тези техни свойства ги правят приложими в различни устройства като драйвери за лазерни диоди, възбудители на пиезоелементи и генератори на бързи импулси с високо напрежение и ток.

Формиране на импулси в лавинни режими на биполярни транзистори

Лавинните транзистори се характеризират с област на отрицателно диференциално съпротивление в областта на пробива в техните волт-амперни характеристики (обикновено се нарича вторичен пробив). Тази област позволява контролирано превключване на много големи токове за време от наносекунди, когато се използват подходящи схеми. Изходният импулс се ограничава от напрежението на първичния пробив V_{CBO} , напрежението на насищане на транзистора и допустимата разсейвана мощност.

Формиране на импулси в лавинни режими на биполярни транзистори



Формиране на импулси в лавинни режими на биполярни транзистори

ZTX415

PARAMETER	SYMBOL	VALUE	UNIT
Collector-Base Voltage	V_{CBO}	260	V
Collector-Emitter Voltage	V_{CEO}	100	V
Emitter-Base Voltage	V_{EBO}	6	V
Continuous Collector Current	I_C	500	mA
Peak Collector Current (Pulse Width=20ns)	I_{CM}	60	A
Power Dissipation	P_{tot}	680	mW
Operating and Storage Temperature Range	$T_j:T_{stg}$	-55 to +175	°C

Абсолютни стойности на параметрите

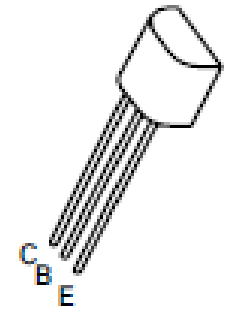
Формиране на импулси в лавинни режими на биполярни транзистори

ZTX415

ELECTRICAL CHARACTERISTICS (at $T_{amb} = 25^{\circ}\text{C}$ unless otherwise stated).

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT	CONDITIONS.
Collector-Base Breakdown Voltage	$V_{(BR)CES}$	260			V	$I_C=1\text{mA}$ $T_{amb} = -55 \text{ to } +175^{\circ}\text{C}$
Collector-Emitter Breakdown Voltage	$V_{CEO(sus)}$	100			V	$I_C=100\mu\text{A}$
Emitter-Base Breakdown Voltage	$V_{(BR)EBO}$	6			V	$I_E=10\mu\text{A}$
Collector Cut-Off Current	I_{CBO}			0.1 10	μA μA	$V_{CB}=180\text{V}$ $V_{CB}=180\text{V}, T_{amb}=100^{\circ}\text{C}$
Emitter Cut-Off Current	I_{EBO}			0.1	μA	$V_{EB}=4\text{V}$
Collector-Emitter Saturation Voltage	$V_{CE(sat)}$			0.5	V	$I_C=10\text{mA}, I_B=1\text{mA}^*$
Base-Emitter Saturation Voltage	$V_{BE(sat)}$			0.9	V	$I_C=10\text{mA}, I_B=1\text{mA}^*$
Current in Second Breakdown (Pulsed)	I_{SB}	15 25			A A	$V_C=200\text{V}, C_{CE}=620\text{pF}$ $V_C=250\text{V}, C_{CE}=620\text{pF}$
Static Forward Current Transfer Ratio	h_{FE}	25				$I_C=10\text{mA}, V_{CE}=10\text{V}^*$
Transition Frequency	f_T	40			MHz	$I_C=10\text{mA}, V_{CE}=20\text{V}$ $f=20\text{MHz}$
Collector-Base Capacitance	C_{cb}			8	pF	$V_{CB}=20\text{V}, I_E=0$ $f=100\text{MHz}$

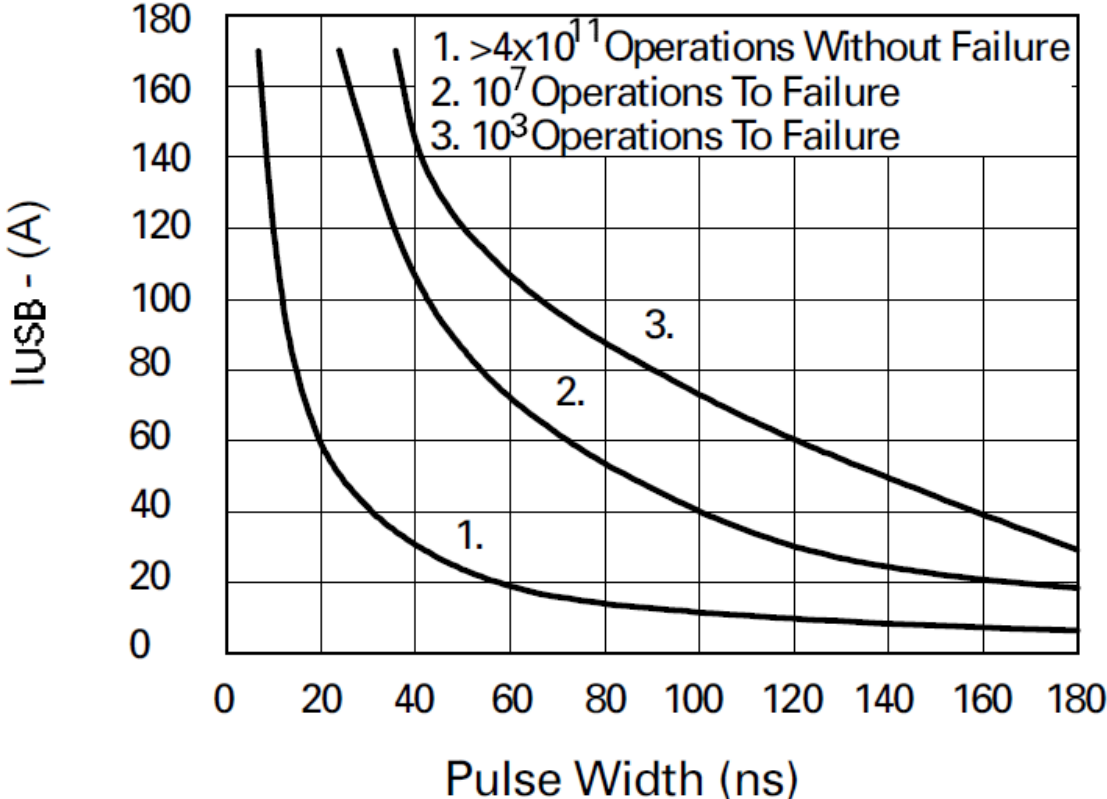
*Measured under pulsed conditions. Pulse width=300 μs . Duty cycle $\leq 2\%$



**E-Line
TO92 Compatible**

Формиране на импулси в лавинни режими на биполярни транзистори

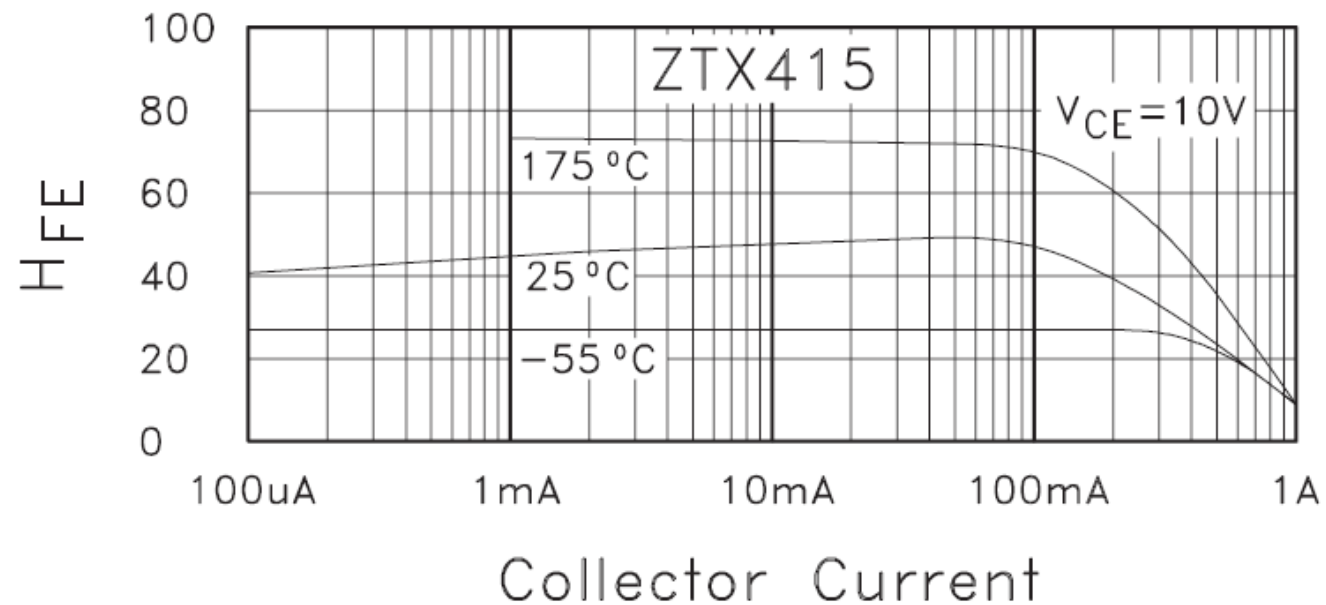
ZTX415



**Maximum Avalanche Current
v Pulse Width**

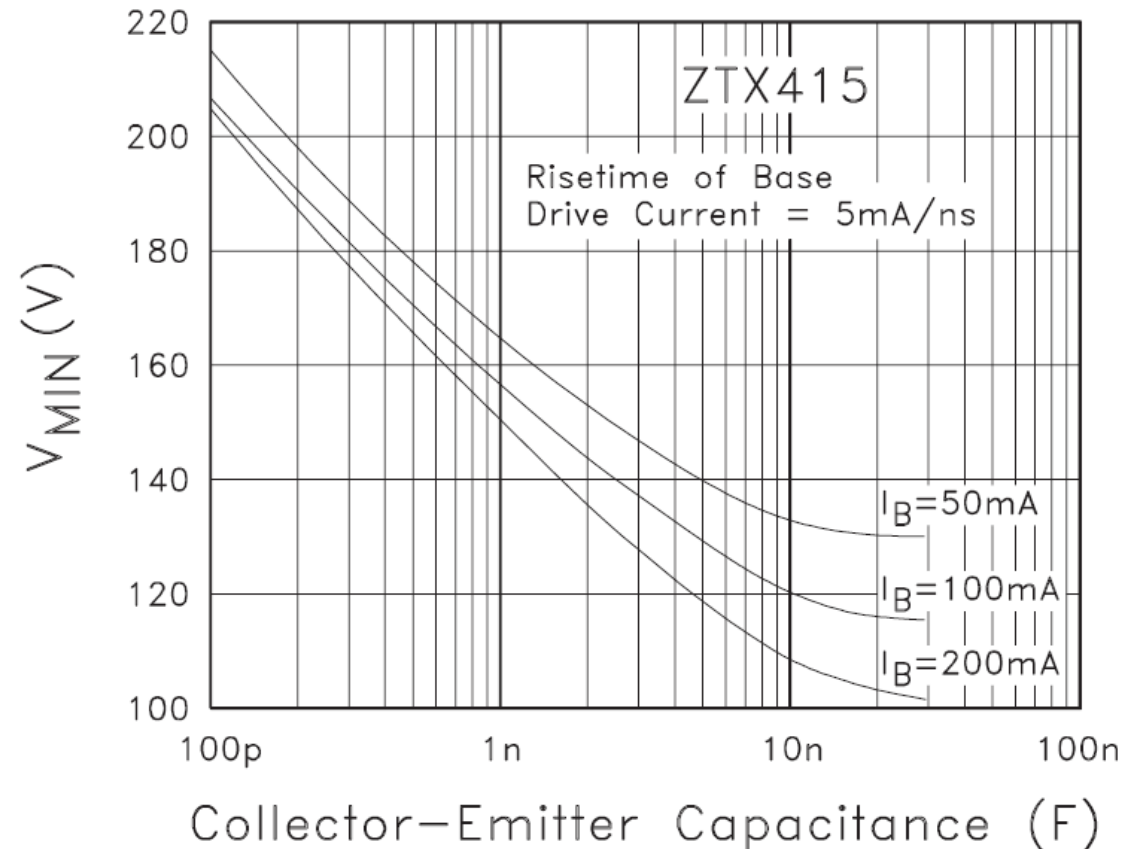
Формиране на импулси в лавинни режими на биполярни транзистори

При използване на лавинни транзистори трябва да се обърне специално внимание на базовата верига и евентуална промяна на постояннотоковия режим може да бъде важна.



Формиране на импулси в лавинни режими на биполярни транзистори

Друг важен параметър е минимално напрежение, необходимо за работа в лавинен режим, под което транзисторът има превключваща характеристика като в нелавинен режим. Това „Стартово“ напрежение зависи от външните елементи.



Формиране на импулси в лавинни режими на биполярни транзистори

Характеристиките на лавинния режим могат да бъдат реализирани в голямо разнообразие от схеми – от прости устройства с единичен кондензатор до формиращи чрез импулсни вериги бързи моновибратори и импулсни генератори с големи изходни токове и напрежения.

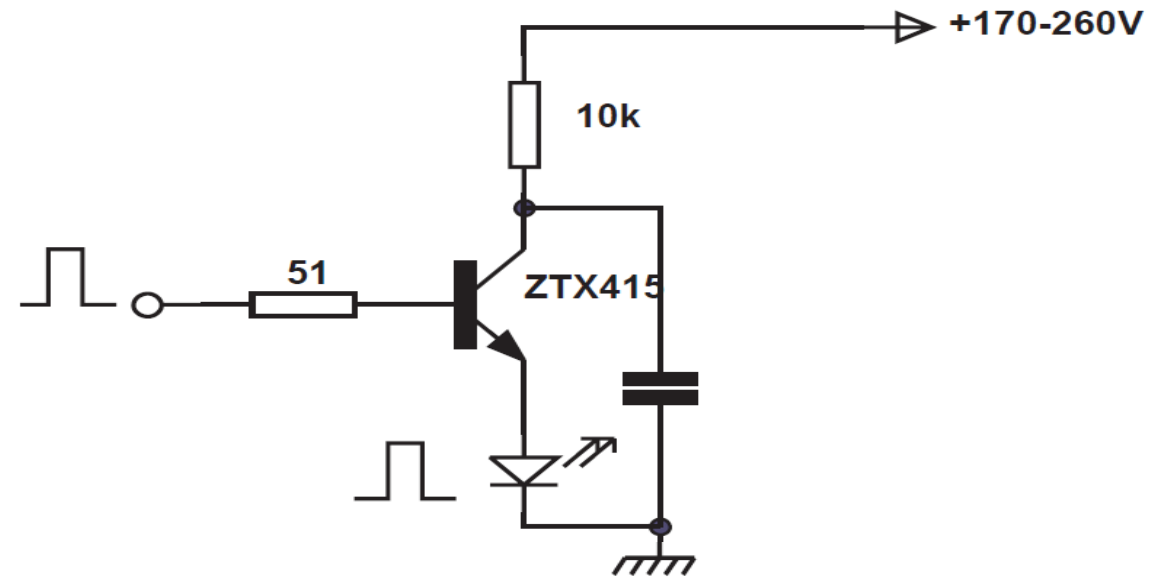
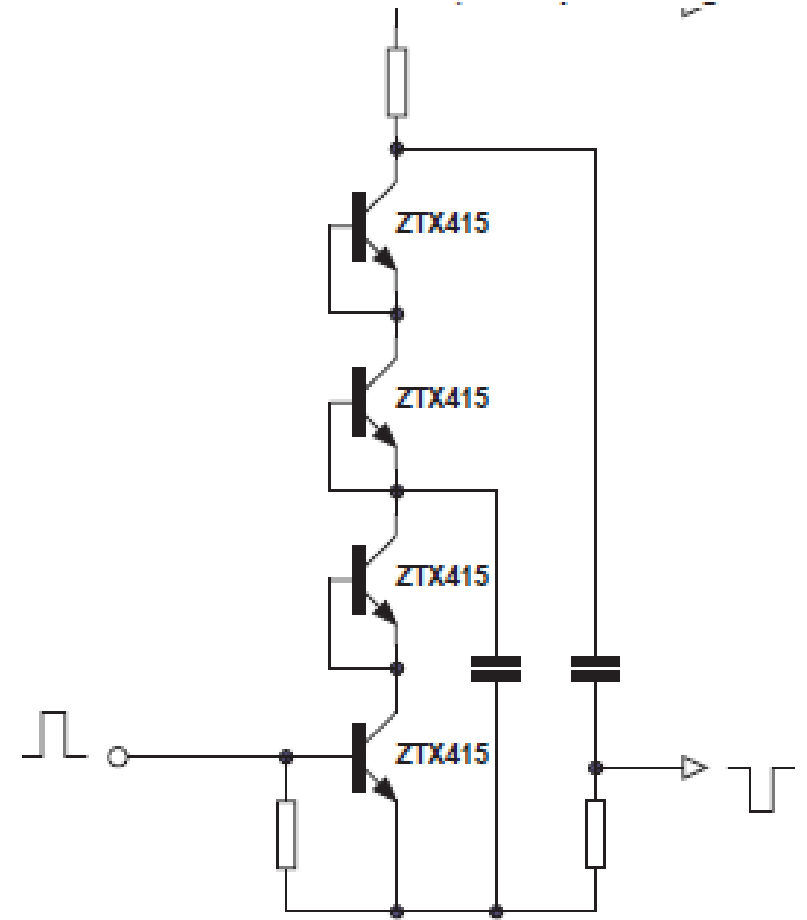


Схема за възбуждане на лазерен диод

Формиране на импулси в лавинни режими на биполярни транзистори

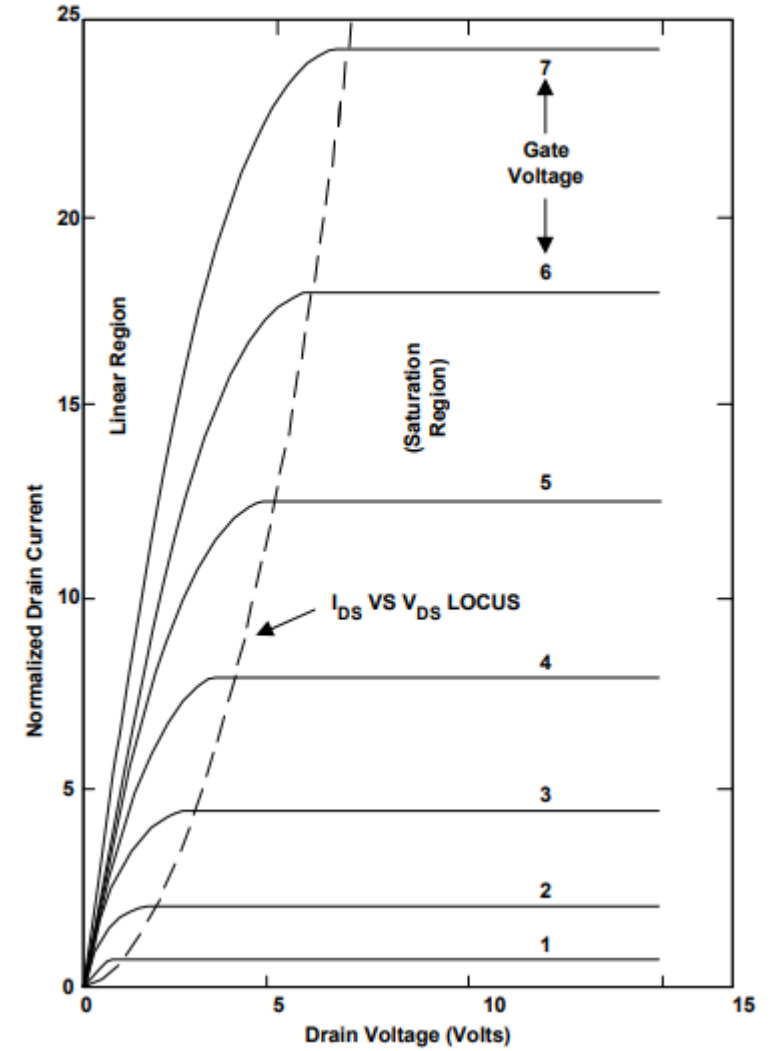
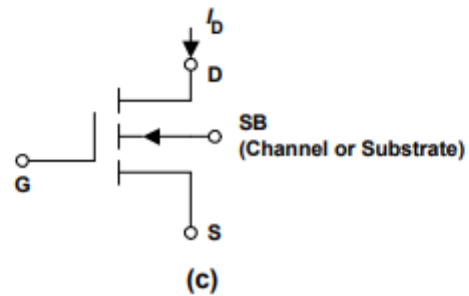
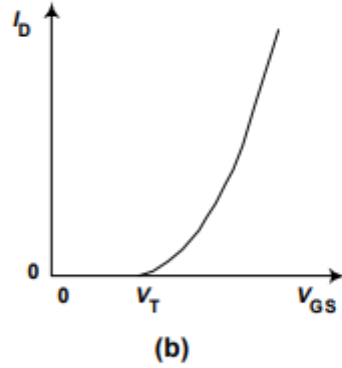
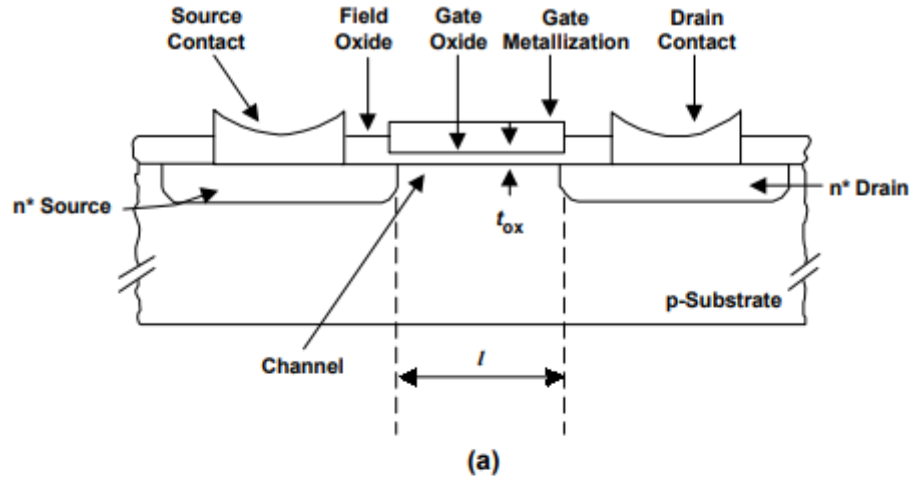
Възможно е също лавинният транзистор ZTX415 да се използва в серийно свързване, за да позволи по-високо захранване и следователно генериране на импулси с много високо напрежение.

Голям брой лавинни транзистори, свързани по такава топология може, чрез оптимизиране на напрежението, разпределено на всеки транзистор, да генерират напрежение до много киловолти.



Последователно свързване на лавинни транзистори за работа с високо напрежение

MOS ключови схеми



N-канален MOS транзистор

MOS ключови схеми

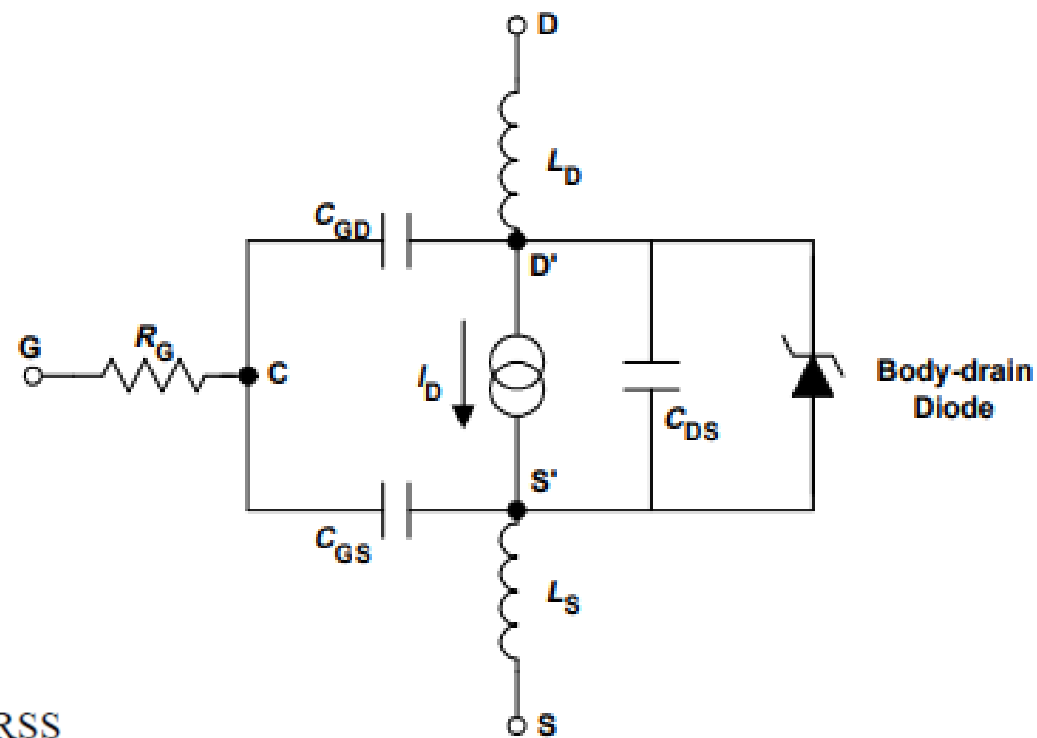
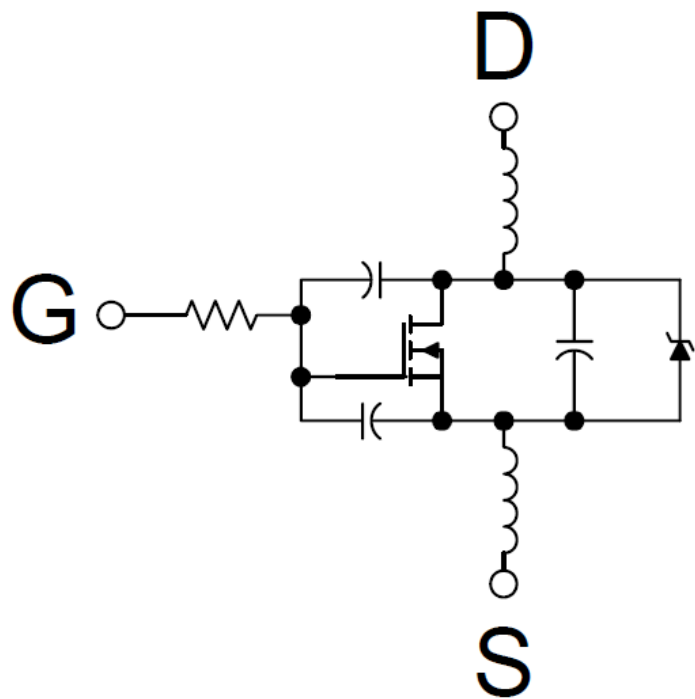
При N-каналният транзистор дрейнът винаги е поляризиран положително спрямо сорса. Напрежението V_{GS} е входното напрежение, което се използва за управление на съпротивлението между дрейна и сорса (т.е. съпротивлението на канала) и следователно определя дали транзисторът е ВКЛЮЧЕН или ИЗКЛЮЧЕН. Когато $V_{GS} = 0 \text{ V}$, няма проводящ канал между дрейна и сорса и транзисторът е изключен. Обикновено съпротивлението на канала в това състояние (OFF) е $10^{10} \Omega$, което за повечето цели представлява отворена верига. MOSFET ще остане изключен, докато V_{GS} е нула или отрицателно.

MOS ключови схеми

Когато V_{GS} е положително, се достига праговото напрежение (V_{TH}), в който момент започва да се образува проводящ канал между сорса и дрейна.

Обикновено $V_{TH} = +1,5 \text{ V}$ за N-MOSFET, така че всяка стойност $V_{GS} \geq 1,5 \text{ V}$ ще доведе до включването на MOSFET. Като цяло стойност на V_{GS} , много по-голяма от V_{TH} , се използва за по-пълно включване на MOSFET. Когато $V_{GS} = +5 \text{ V}$, съпротивлението на канала между сорса и дрейна е спаднало до стойност $R_{ON} = 100 \ \Omega$ за маломощните транзистори. Описаната транзисторна схема на свързване е общ сорс, което означава, че изходното напрежение е фазово изместено на 180° от входното напрежение.

MOS ключови схеми



$$C_{GD} = C_{RSS}$$

$$C_{GS} = C_{ISS} - C_{RSS}$$

$$C_{DS} = C_{OSS} - C_{RSS}$$

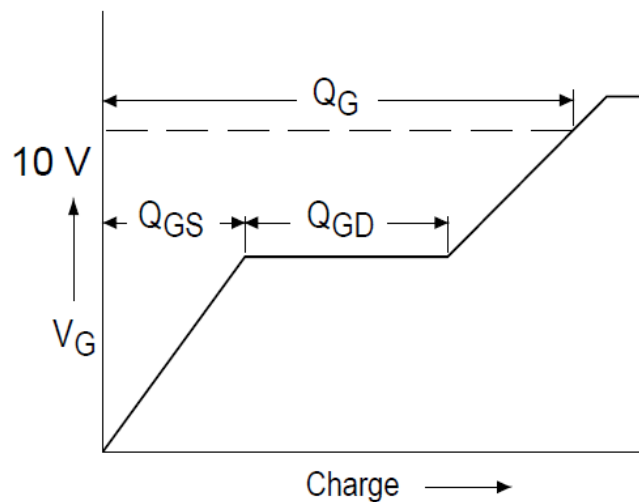
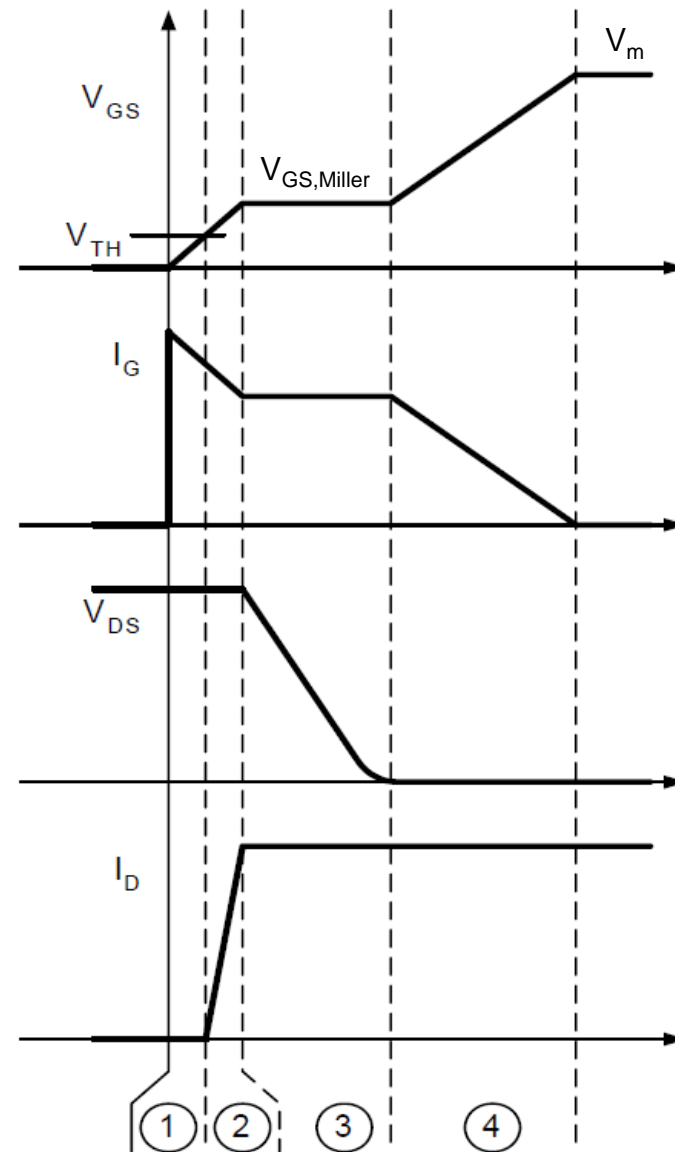
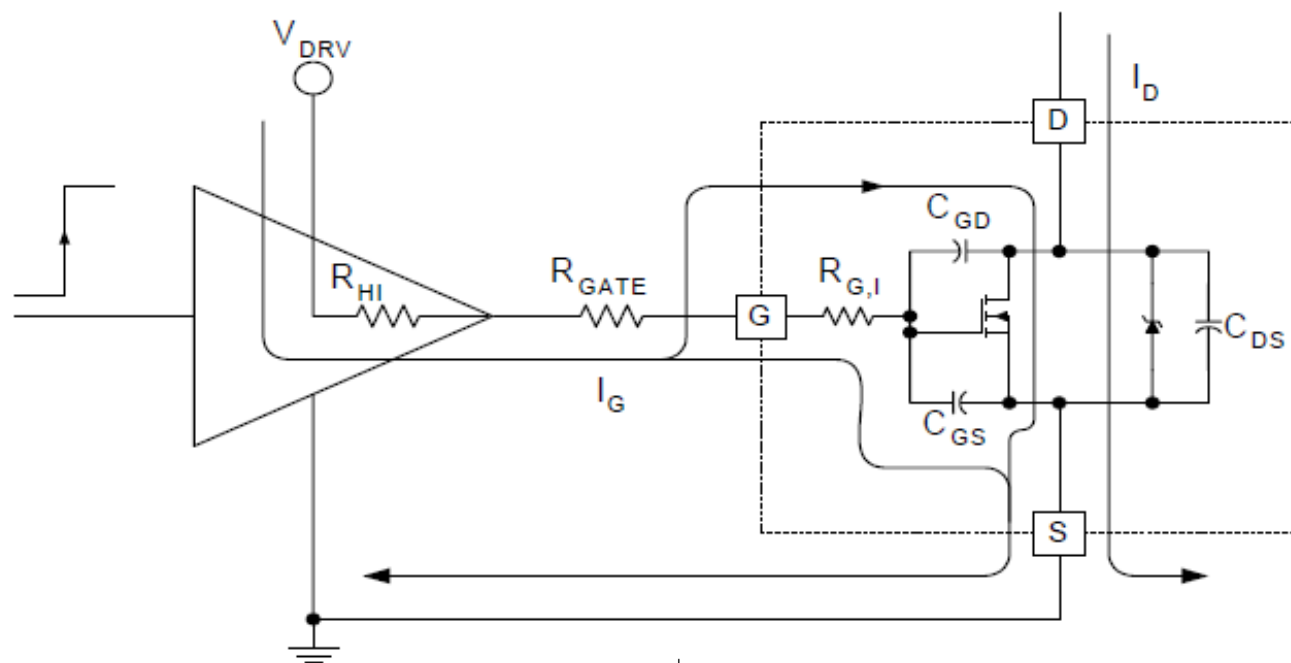
N-канален MOS транзистор

MOS ключови схеми

Q_g	Total Gate Charge	—	—	63	nC	$I_D = 25A$ $V_{DS} = 44V$ $V_{GS} = 10V$, See Fig. 6 and 13
Q_{gs}	Gate-to-Source Charge	—	—	14		
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	23		
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	$V_{DD} = 28V$ $I_D = 25A$ $R_G = 12\Omega$ $V_{GS} = 10V$, See Fig. 10 ④
t_r	Rise Time	—	60	—		
$t_{d(off)}$	Turn-Off Delay Time	—	44	—		
t_f	Fall Time	—	45	—		
L_S	Internal Source Inductance	—	7.5	—	nH	Between lead, and center of die contact
C_{iss}	Input Capacitance	—	1470	—	pF	$V_{GS} = 0V$ $V_{DS} = 25V$ $f = 1.0MHz$, See Fig. 5
C_{oss}	Output Capacitance	—	360	—		
C_{rss}	Reverse Transfer Capacitance	—	88	—		
E_{AS}	Single Pulse Avalanche Energy ^②	—	530 ^⑤	150 ^⑥	mJ	$I_{AS} = 25A$, $L = 0.47mH$

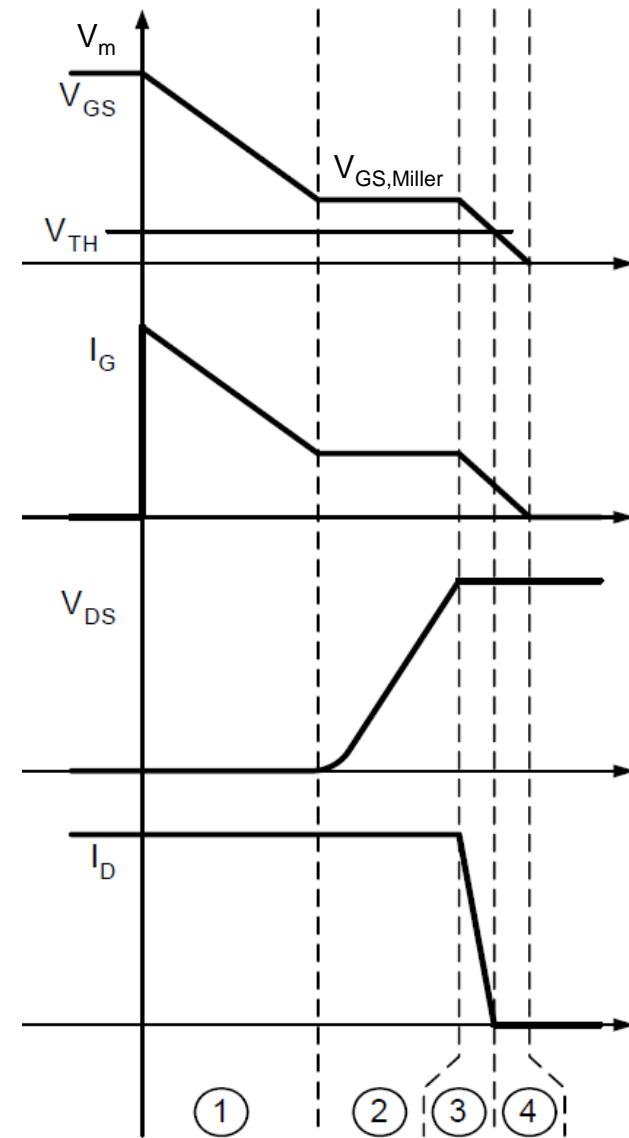
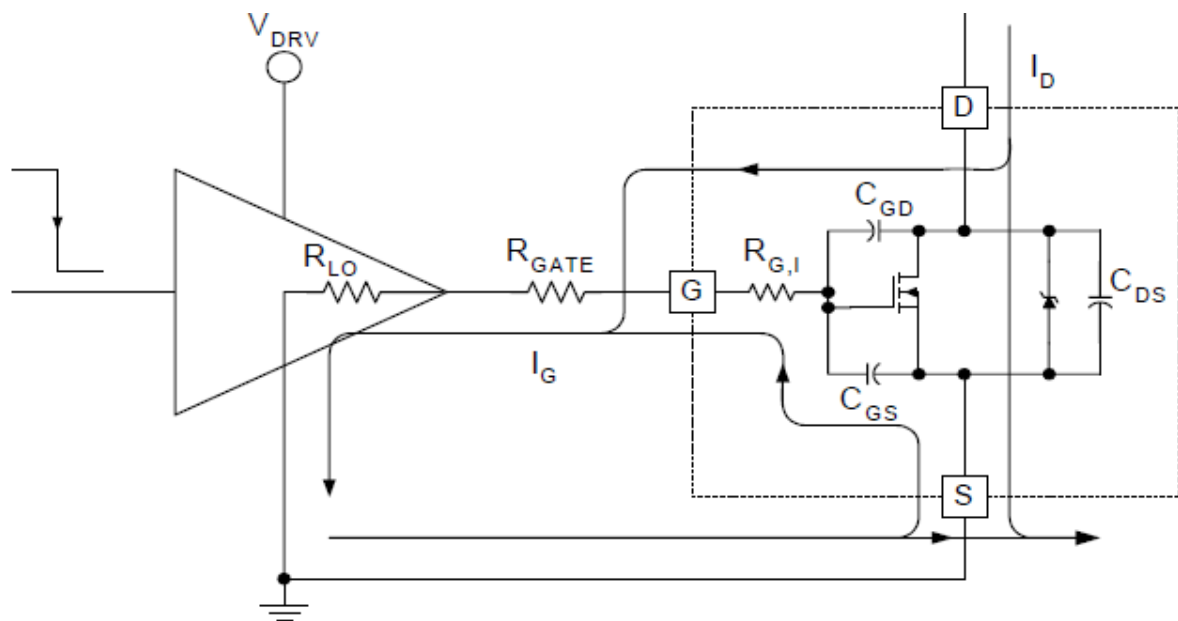
Параметри на N-канален MOS транзистор (IRFZ44)

MOS ключови схеми



Преходен процес
при отпушване
на N-канален MOS
транзистор

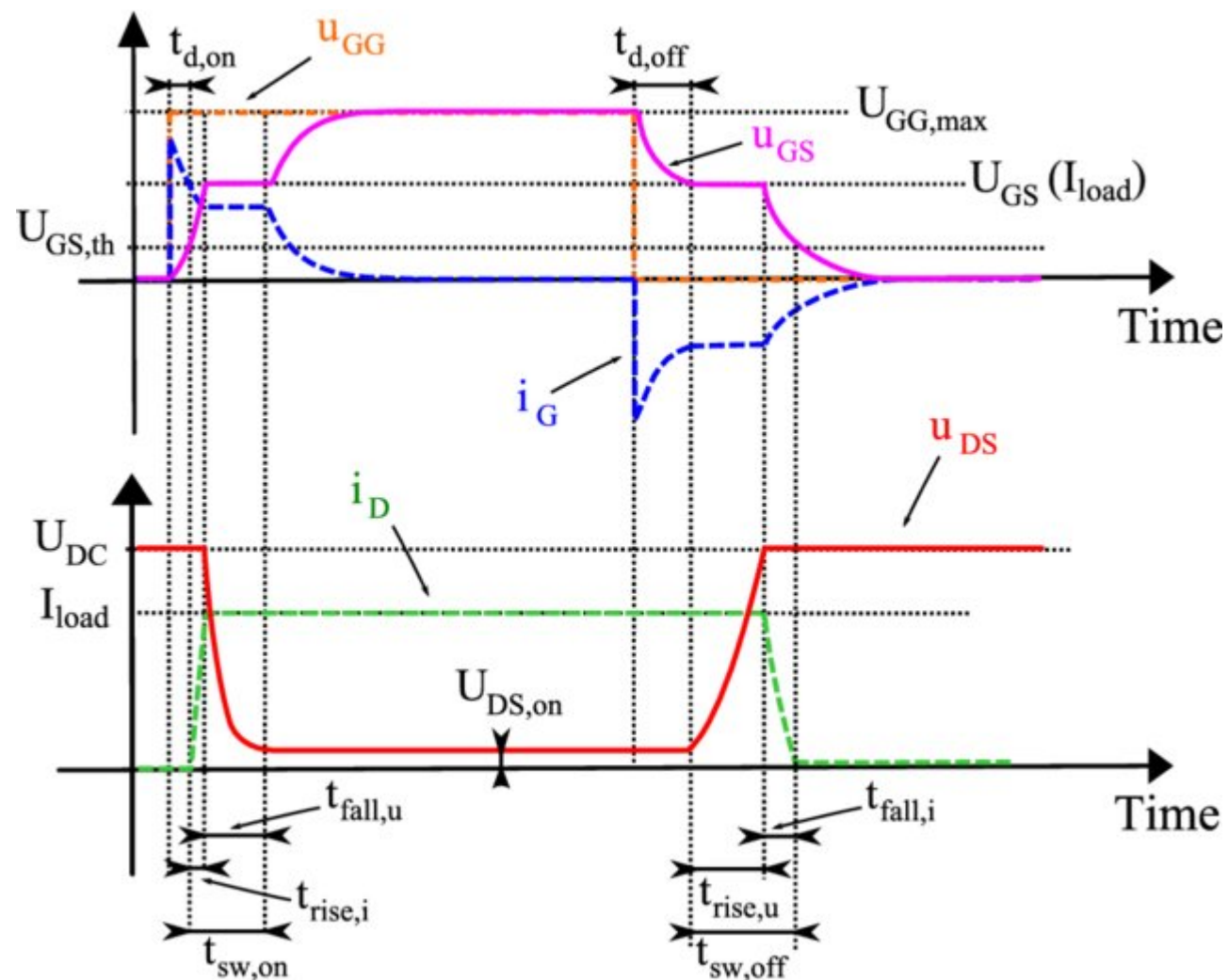
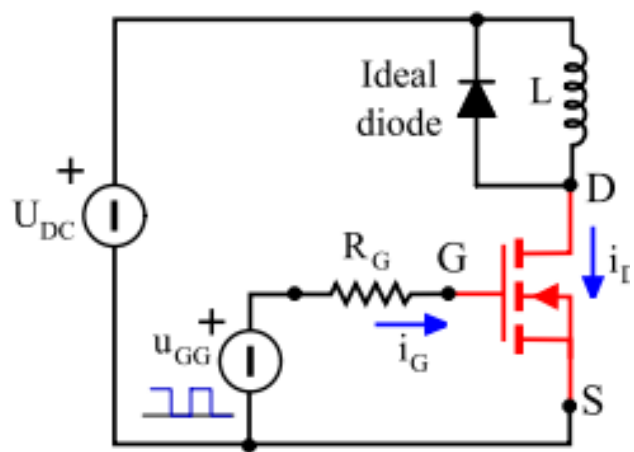
MOS ключови схеми



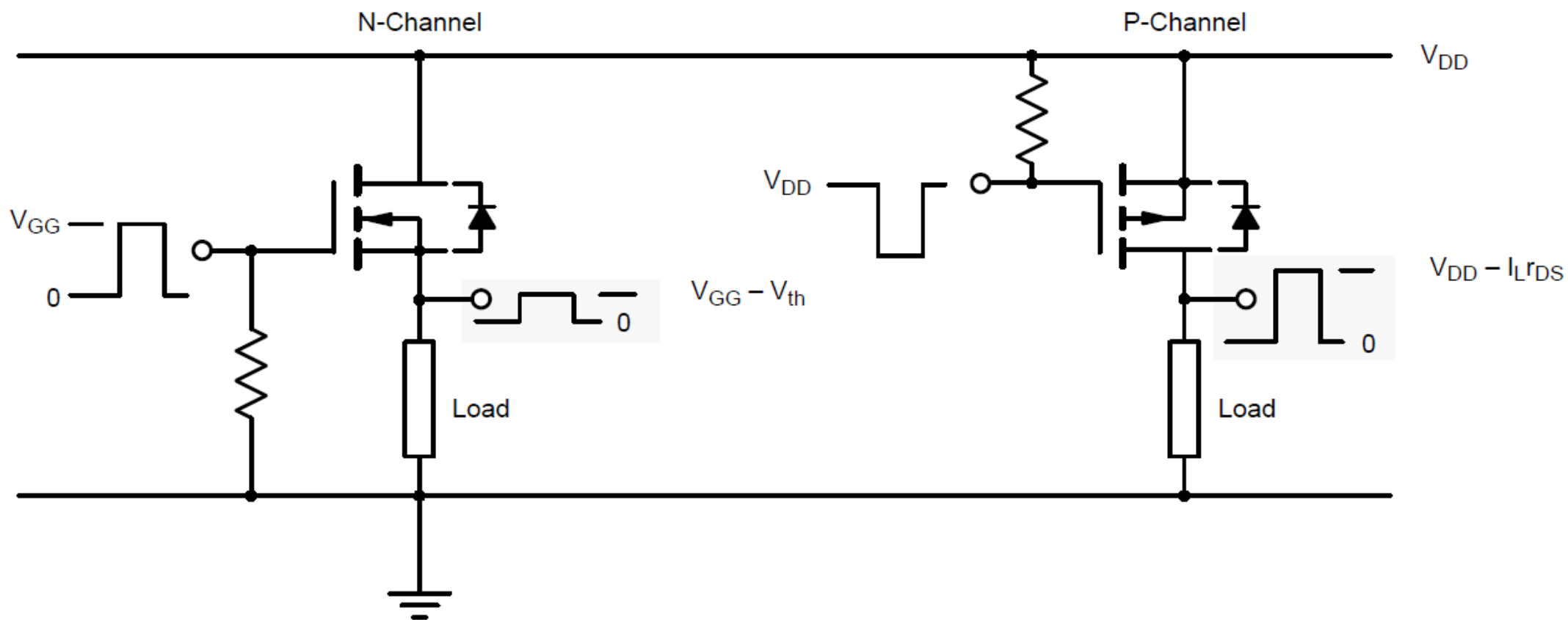
Преходен процес при запусване
на N-канален MOS транзистор

MOS ключови схеми

Управление на индуктивен товар
с N-канален MOS транзистор

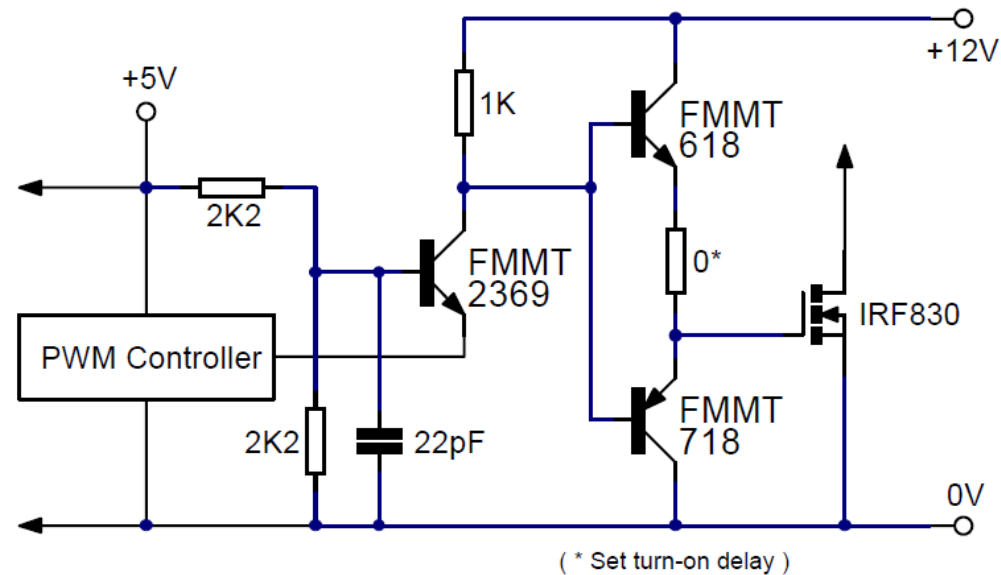
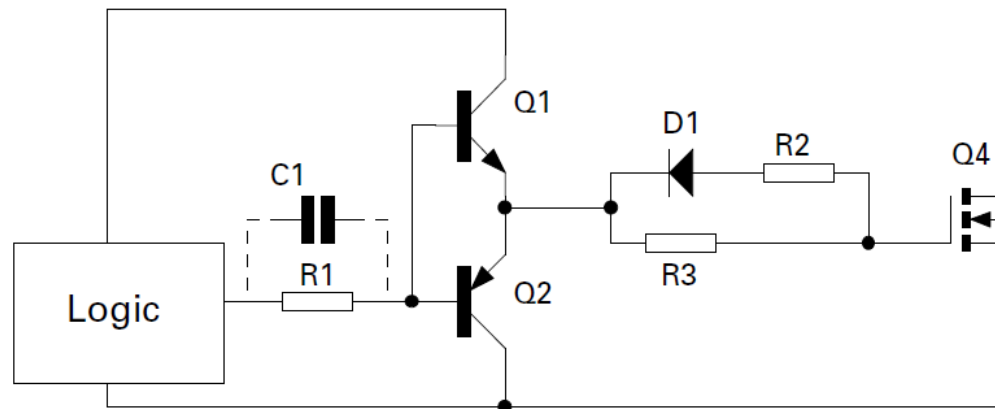


MOS ключови схеми



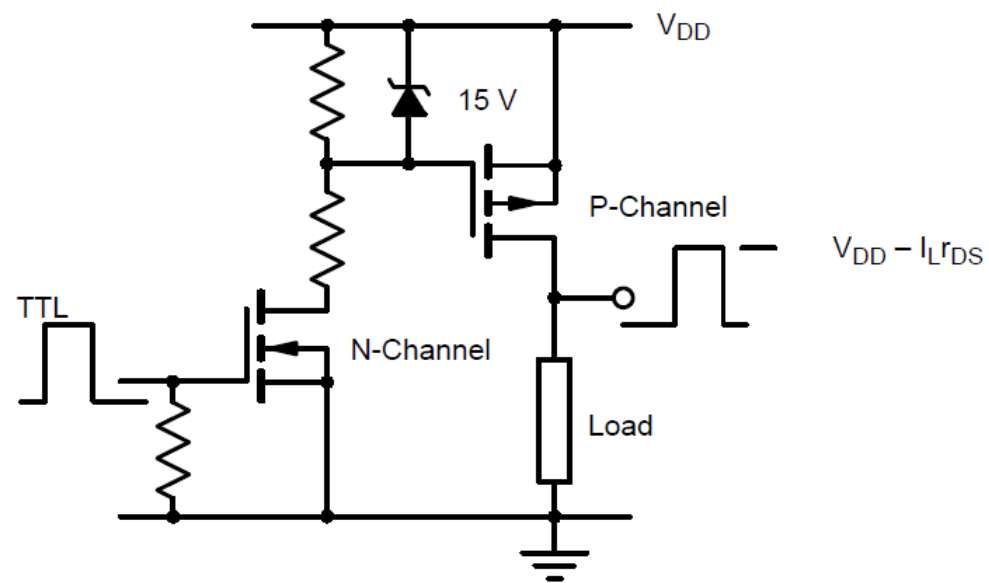
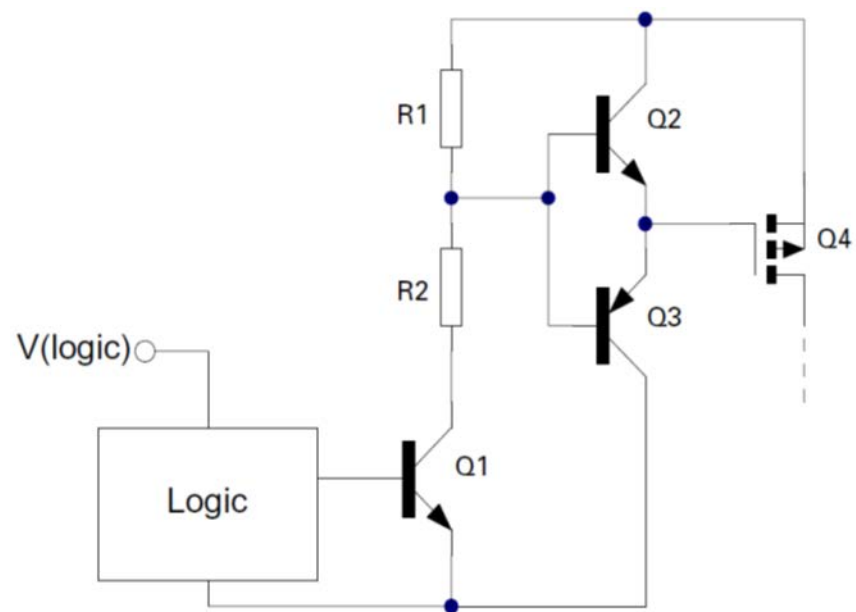
Управление на замасен товар
с N- и P-канален MOS транзистор

MOS ключови схеми



Управляващи схеми
за N-канален MOS транзистор

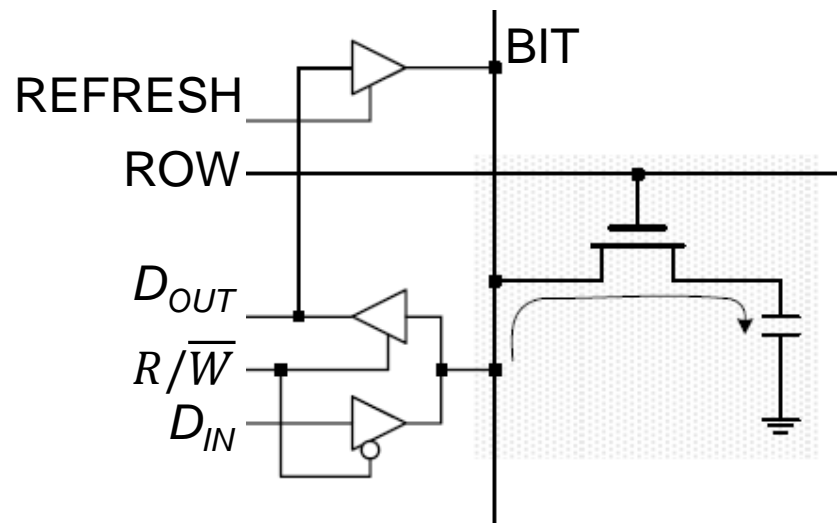
MOS ключови схеми



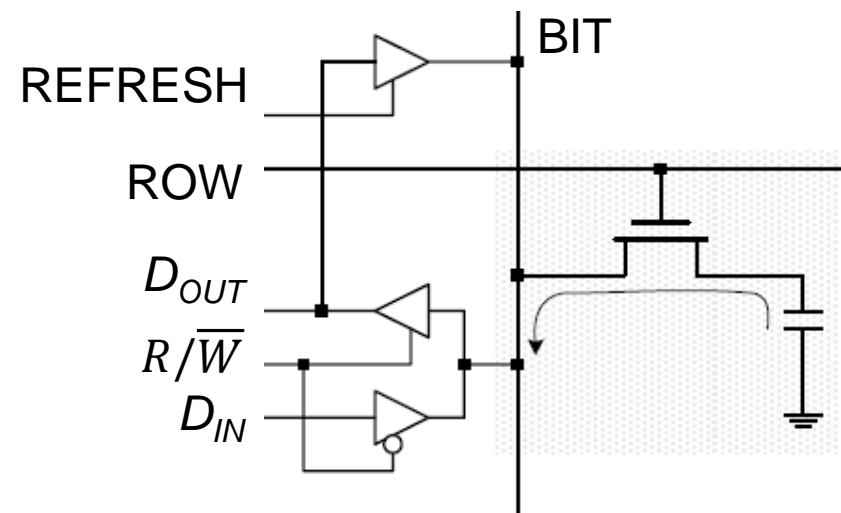
Управляващи схеми
за P-канален MOS транзистор

MOS ключови схеми

Random access memory - RAM



Запис на "1"



Запис на "0"

MOS ключови схеми

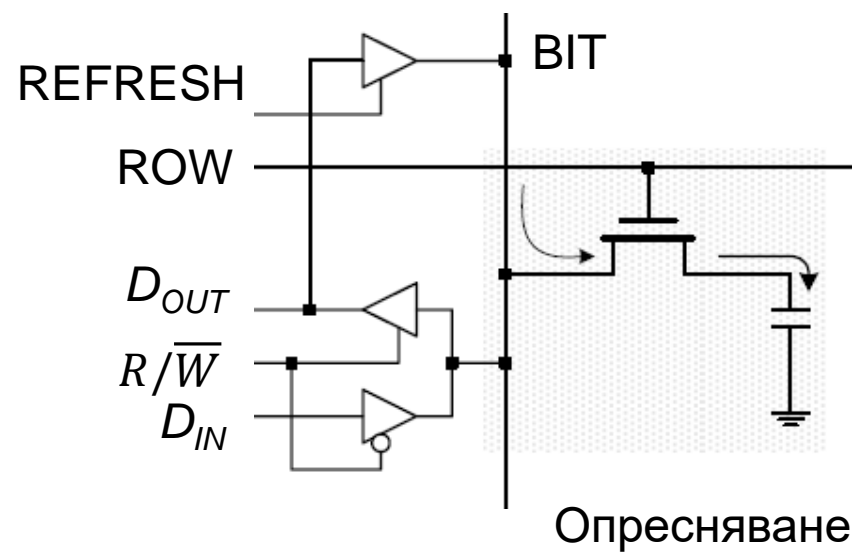
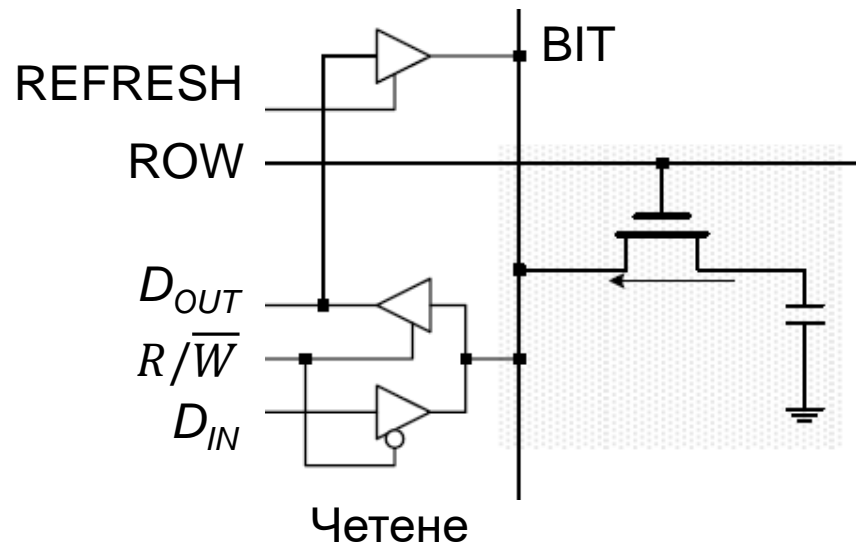
Random access memory - RAM

Логическа „0“ на линията R/\overline{W} (режим запис) рзрешава входния буфер и забранява изходния буфер. За да бъде записана 1 в клетката, входът за данни D_{IN} трябва да бъде във високо ниво, а транзисторът да бъде включен чрез логическа „1“ на входа ROW. За запис на логическа „0“ към входа за данни D_{IN} се подава ниско ниво. Следователно транзисторът включва кондензатора към двупосочната линия BIT.

Когато входът ROW се върне обратно в ниско ниво, транзисторът се запушва и отделя кондензатора (запомнящата клетка) от входа BIT, запазвайки заряда (1 или 0) на кондензатора.

MOS ключови схеми

Random access memory - RAM



MOS ключови схеми

Random access memory - RAM

За четене от клетка на паметта, входът R/\overline{W} е във високо ниво и разрешава изходния буфер, а забранява входния буфер. Когато входът ROW е във високо ниво, транзисторът се отпушва и свързва кондензатора към линията BIT и също така към изходния буфер. Така информацията достига до изходната линия D_{OUT} .

За опресняване на клетката от паметта входът R/\overline{W} е във високо ниво, входовете ROW и REFRESH също. Транзисторът е отпушен и свързва кондензатора към линията BIT. Информацията преминава през разрешените изходен и REFRESH буфери, което води до подаване на напрежение на линията BIT, отговарящо на запомнената стойност и по този начин се дозарежда кондензатора.

CMOS ключови схеми

Схемата използва както N-канален, така и P-канален транзистор и поради това се описва като допълваща (комплементарна) MOS логика или просто CMOS. Както при N-MOS схемите, V_{DD} представлява логическа 1 и $0V$ представлява логическа 0. Тъй като са с различни полярности, двата транзистора реагират противоположно на напреженията, приложени към гейтовете им. Така напрежението на гейта със стойност V_{DD} ще включи N-каналния транзистор и ще изключи P-каналния. По същия начин напрежение от $0V$ ще изключи N-каналния транзистор и ще включи P – каналния.

CMOS ключови схеми

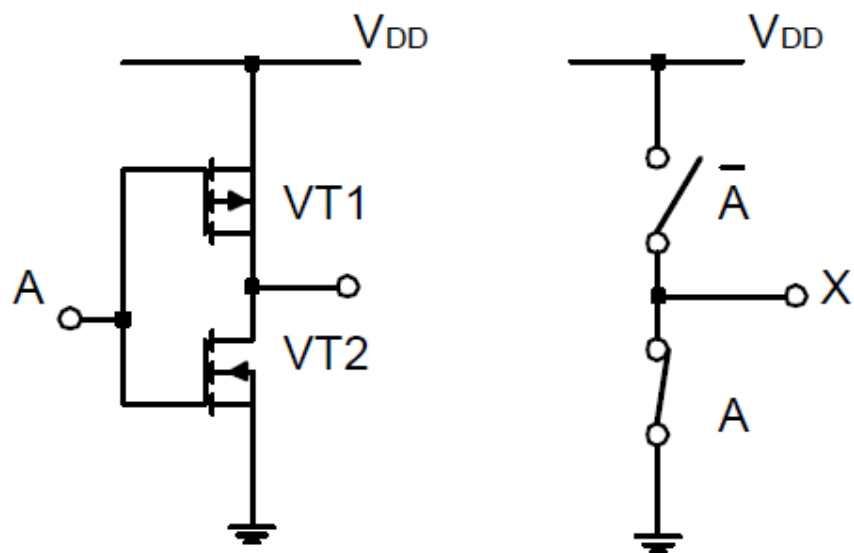
Тъй като гейтовете на двата MOSFET са свързани, входното напрежение на всяко логическо ниво ще включи единия транзистор, а другия ще изключи. Тази схема осигурява ниско изходно съпротивление, което може да зарежда по-бързо товарните капацитети, постигайки по-бързо време за превключване. Ниското изходно съпротивление също така дава висока товароспособност - до около 50 входа могат да бъдат управлявани от един изход. Тъй като единият от двата транзистора винаги е изключен, между захранващите шини не тече постоянен ток, и единственият ток, консумиран от захранването, е този, който се подава към изхода.

CMOS ключови схеми

Високото входно съпротивлението на гейтовете прави този изходен ток пренебрежимо малък, освен когато входният капацитет на гейта се зарежда или разрежда след промяна на изхода. Енергия от захранването също се консумира, когато схемата превключва от едно състояние в друго, тъй като за кратък период и двата транзистора провеждат по едно и също време. Следователно резултатната консумация на енергия обикновено е незначителна, когато схемата е статична, но се увеличава със скоростта на превключване.

CMOS ключови схеми

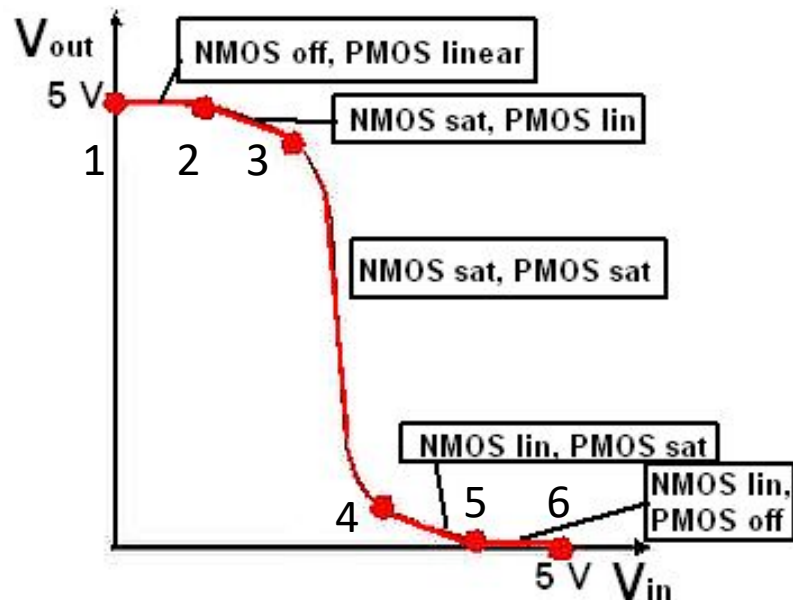
Типични стойности за консумацията на енергия може да бъдат около 10nW на схема, когато е статична и около 1mW , когато превключва с тактова честота 1MHz . Ясно е, че дори когато работят при високи скорости, схемите консумират много малко енергия.



Основна ключова схема – CMOS инвертор

CMOS ключови схеми

N-каналният транзистор е запушен в участъка 1-2, а P-каналният – в участъка 5-6. Между точките 2-3 и 4-5 се увеличават тока на отпушващия се транзистор и съпротивлението на запушващия се. В резултат расте усилването на схемата като стръмността на характеристиката е най-голяма в участъка 3-4 където и двата транзистора работят в насищане.



Предавателна характеристика
на CMOS инвертор