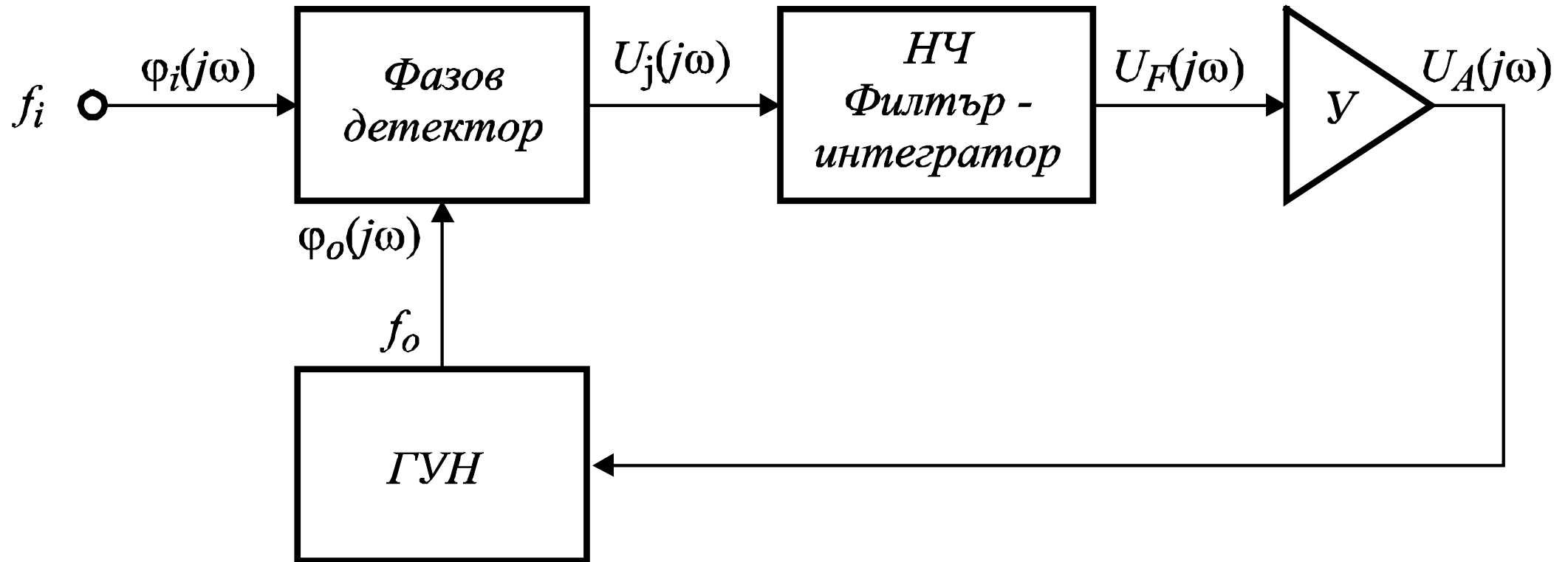


Фазово затворени вериги - PLL

Системите за фазова и честотна синхронизация намират голямо приложение в съвременните електронни устройства. Основен метод за постигането на синхронизация е методът за Фазово Автоматично Поддържане на Честота – ФАПЧ, основаващ се на фазова затворена верига (Phase Locked Loop – PLL).

Класическата схема на фазов синхронизатор PLL се състои от фазов детектор – ФД, нискочестотен филтър-интегратор – НЧФ, усилвател – У и генератор, управляван от напрежение – ГУН (Voltage Controlled Oscillator – VCO).

Фазово затворени вериги - PLL



Блокова схема на фазово затворена верига – PLL

Фазово затворени вериги - PLL

Фазовият детектор представлява устройство, което сравнява две честоти и формира изходен сигнал, пропорционален на тяхната фазова разлика. Едната честота е означена като входна с f_i , а другата – като изходна – с f_o . Фазите на двете сравнявани честоти могат да бъдат означени в комплексна форма съответно с $\varphi_i(j\omega)$ и $\varphi_o(j\omega)$. Изходното напрежение на фазовия детектор има вида

$$U_{\varphi}(j\omega) = K_{\varphi} [\varphi_i(j\omega) - \varphi_o(j\omega)],$$

където K_{φ} е коефициентът на предаване на фазовия детектор.

Фазово затворени вериги - PLL

Освен компонентата, пропорционална на фазовата разлика, напрежението в изхода на фазовия детектор съдържа и високочестотни компоненти, равни и кратни на сравняваните честоти. Предназначението на нискочестотния филтър е да подтисне тези високочестотни компоненти и да остави само съставната, пропорционална на фазовата разлика. Напрежението в изхода на филтъра се описва с уравнението

$$U_F(j\omega) = K_F(j\omega) \cdot U_\varphi(j\omega) = K_F(j\omega) \cdot K_\varphi [\varphi_i(j\omega) - \varphi_o(j\omega)],$$

където $K_F(j\omega)$ е комплексният коефициент на предаване на нискочестотния филтър (този коефициент е честотно зависим).

Фазово затворени вериги - PLL

Усилвателят усилва изходния сигнал от изхода на нискочестотния филтър и го подава към генератора, управляван от напрежение. Изходният сигнал от усилвателя се описва с уравнението

$$U_A(j\omega) = K_A \cdot U_F(j\omega) = K_A K_F(j\omega) \cdot K_\varphi [\varphi_i(j\omega) - \varphi_o(j\omega)],$$

където K_A е коефициентът на предаване на усилвателя. В много случаи при фазовите синхронизатори липсва усилвател и тогава $K_A = 1$.

Фазово затворени вериги - PLL

Генераторът, управляван от напрежение изработва на изхода си честотата $f_o(j\omega)$, която е пропорционална с някакъв коефициент на пропорционалност K_G на входящото в него напрежение, т.е. $f_o(j\omega) = K_G U_A(j\omega)$. Фазата и честотата в изхода на генератора са в интегрална зависимост, т.е. $\varphi_o(j\omega) = f_o(j\omega) / j\omega$. В комплексна форма тя има вида $\varphi_o = \int f_o dt$. Тогава изходното уравнение на генератора, управляван от напрежение, добива вида

$$\varphi_o(j\omega) = K_G \frac{U_A(j\omega)}{j\omega} = \frac{K_G K_A K_F(j\omega) \cdot K_\varphi [\varphi_i(j\omega) - \varphi_o(j\omega)]}{j\omega} .$$

Фазово затворени вериги - PLL

След преработка на уравнението се получава предавателната функция на затворената верига $H(j\omega)$:

$$\frac{\varphi_o(j\omega)}{\varphi_i(j\omega)} = H(j\omega) = \frac{K_G K_A K_\varphi K_F(j\omega)}{j\omega + K_G K_A K_\varphi K_F(j\omega)} = \frac{K_P(j\omega)}{1 + K_P(j\omega)}.$$

Пълният коефициент на предаване на фазово затворената верига е:

$$K_P(j\omega) = \frac{K_G}{j\omega} K_A K_\varphi K_F(j\omega).$$

Фазово затворени вериги - PLL

PLL се проектира по такъв начин, че затворената верига да е с отрицателна обратна връзка, което означава, че действието ѝ трябва да върви в посока на достигане и поддържане на определена фазова разлика (в частност нулева). Равенство на честотите е възможно само при постоянна фазова разлика между тях.

Съществува едно основно различие между обикновените системи за регулиране и фазово затворените вериги. В обикновените системи регулираната с помощта на обратна връзка величина съвпада с измерваната величина, от която се формира сигнал за корекция.

Фазово затворени вериги - PLL

При фазово затворените вериги се регулира честота, а се измерва фаза, поради което неизменно присъства едно постоянно интегриране, тъй като фазата представлява интеграл от честотата. Затова във фазово затворената верига съществува постоянно фазово изместване от 90° .

Присъстващият в затворената верига интегратор съществено влияе върху нейната работа. Той въвежда постоянен наклон от 20dB/dec в характеристиката на пълния коефициент на предаване. Ако вследствие на допълнителни фазови измествания наклонът на характеристиката в зоната на единичното усилване стане 40dB/dec , може да настъпи самовъзбуждане.

Фазово затворени вериги - PLL

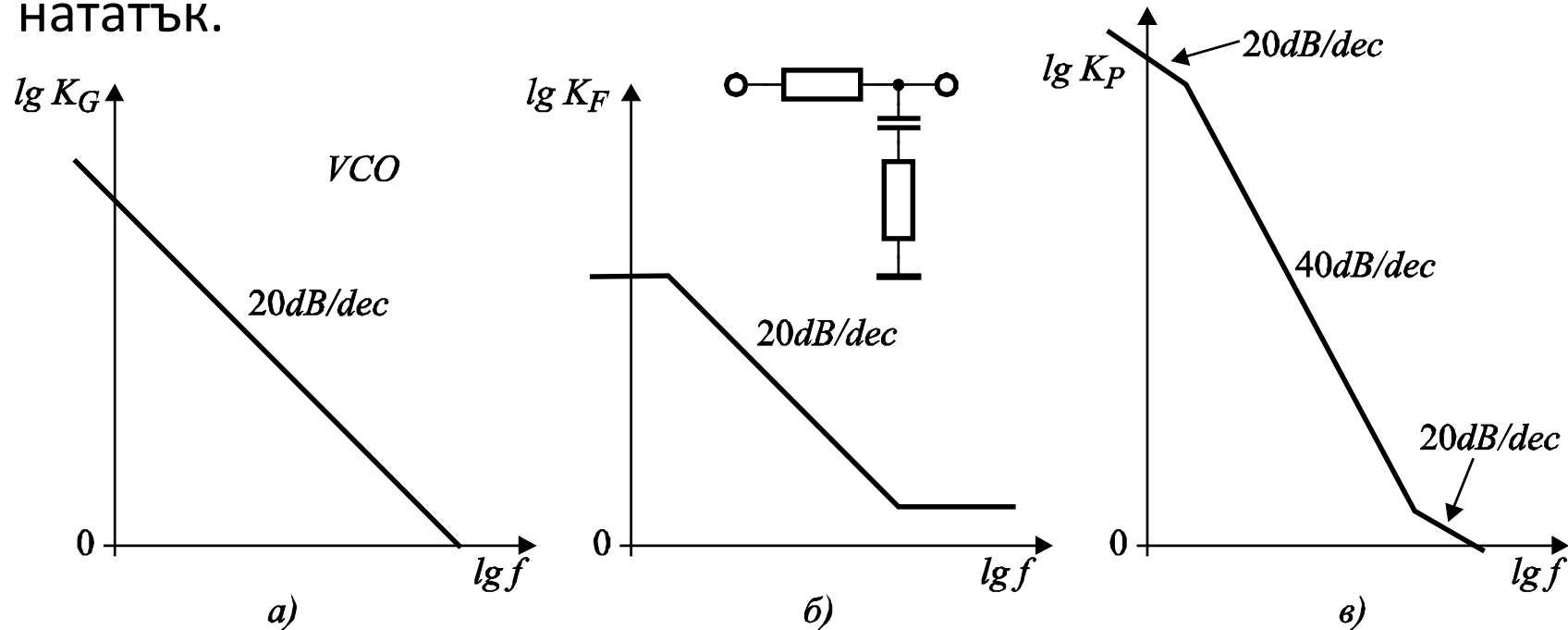
Най-простото решение за избягване на самовъзбуждането е в затворената верига да не се включват други компоненти, даващи допълнително фазово закъснение. Такива затворени вериги не съдържат нискочестотен филтър и се наричат „затворени вериги от първи ред“. В много случаи те са удобни, но не притежават свойството да изглаждат шумовете и флуктуациите на входния сигнал. Освен това те не могат да съхранят постоянно фазово съотношение между сравняваните честоти, тъй като изходът на фазовия детектор непосредствено управлява ГУН.

Фазово затворени вериги - PLL

Поставянето на допълнително интегриращо звено (нискочестотен филтър от първи ред) във фазово затворената верига изглажда пулсациите в изхода на фазовия детектор, а оттам и флуктуациите в изходната честота. Такива фазово затворени вериги се наричат „затворени вериги от втори ред“. Нискочестотният филтър от първи ред също въвежда постоянно фазово закъснение от 90° след честотата на среза. Това означава, че в характеристиката на общия коефициент на предаване на затворената верига се появява допълнителен наклон от 20 dB/dec.

Фазово затворени вериги - PLL

За да се осигури достатъчен запас от устойчивост, последователно на кондензатора в нискочестотния филтър от първи ред се включва резистор, чрез който спадът на характеристиката се преустановява от определена честота нататък.



Фазово затворени вериги - PLL

Така в пълната характеристика на коефициента на предаване на фазово затворената верига в областта на единичното усилване (пресичането на честотната ос) се осигурява наклон от 20 dB/dec.

На практика повечето от съществуващите фазово затворени вериги се изграждат от втори ред. Може да се изгради и верига от по-висок ред, съдържаща по-висок от първи ред нискочестотен филтър, но тогава трябва да се решават сериозни проблеми по осигуряването на устойчивостта.

Фазово затворени вериги - PLL

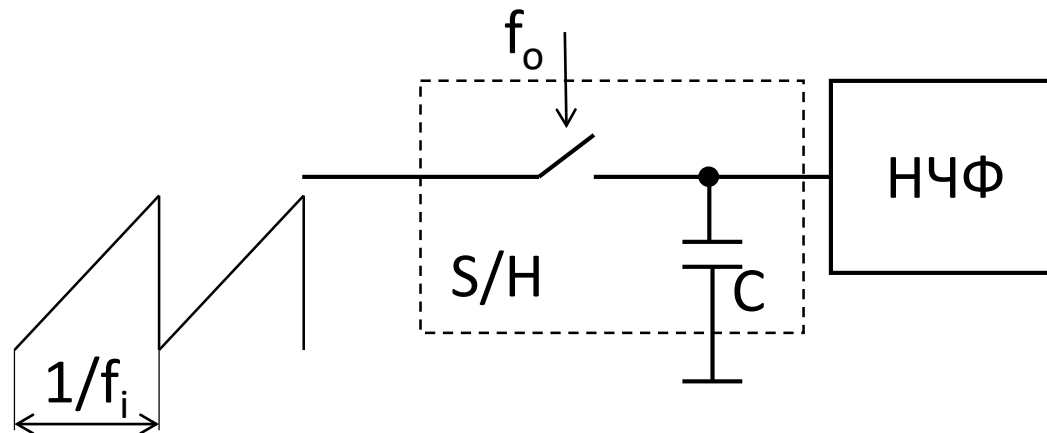
Съществуват множество видове фазови детектори. При избора на фазов детектор за практическо приложение трябва да се отчитат редица фактори:

- същността на входния сигнал. Фазови детектори с вход за синусоидално напрежение могат да бъдат неприложими за цифрови сигнали. Фазови детектори за цифрови регулярни сигнали могат да са неприложими за случайни входни величини и т.н.;

- линейността на предавателната характеристика на фазовия детектор;

Фазово затворени вериги - PLL

– диапазонът на фазовата и честотната разлика, за който предавателната характеристика е линейна. Колкото по-широк е този диапазон, толкова по-полезен е фазовият детектор и толкова по-защитен е той от смущения в сигнала.



Аналогов фазов детектор

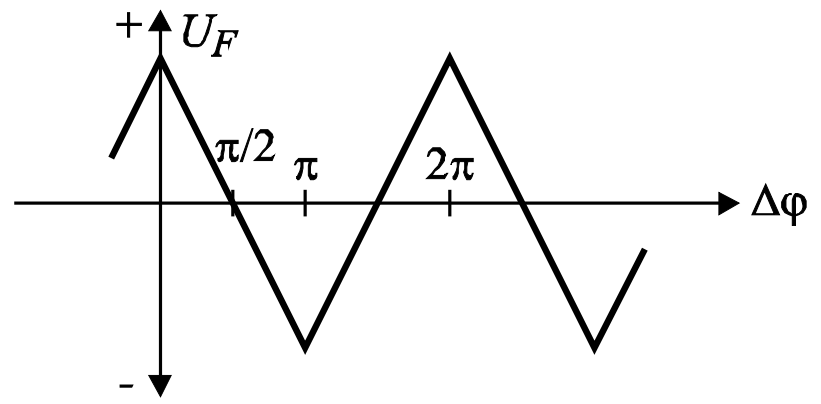
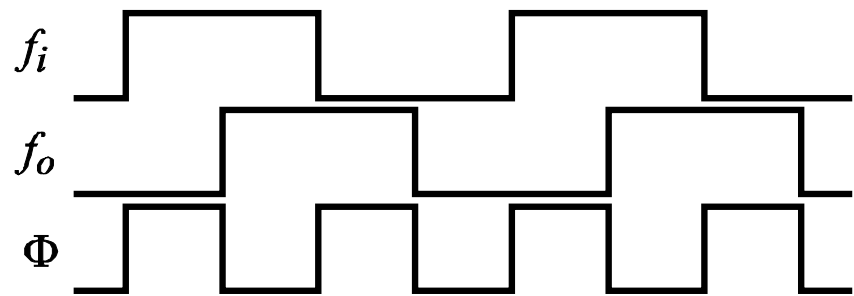
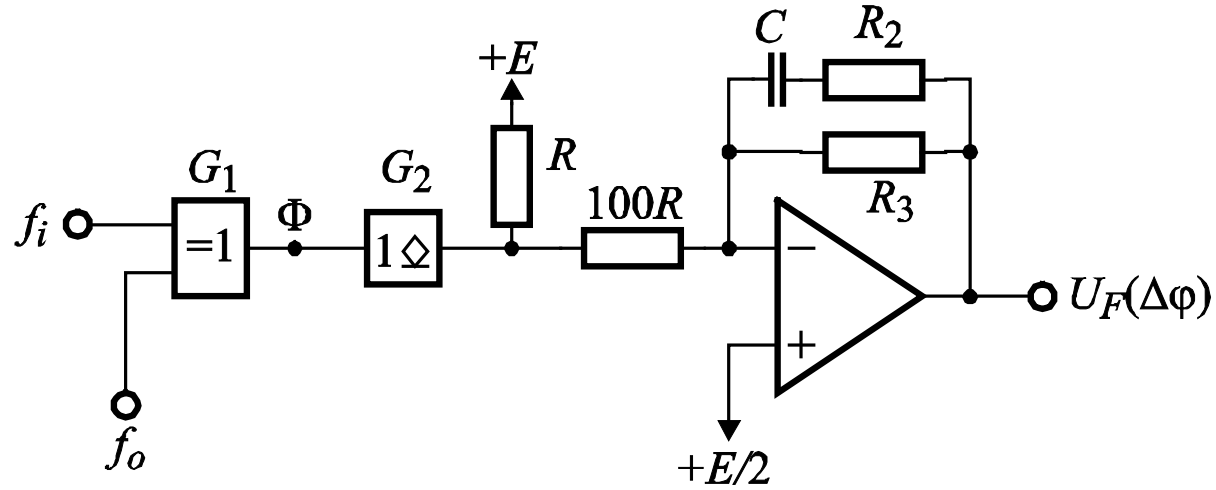
Фазово затворени вериги - PLL

Много разпространена схема на аналогов фазов детектор е с използване на устройство следене-запомняне (S/H). На входа се подава линейно изменящо се напрежение с честота, равна на входната честота f_i . Генераторът на линейното напрежение трябва да има „нулев“ обратен ход. Амплитудата му трябва да отговаря на стойността, която е необходима при максималната фазова разлика. Аналоговият ключ на устройството следене-запомняне (S/H) се управлява от импулси с честота, равна на изходната честота f_o . Така запомнящият кондензатор C ще се зарежда винаги до напрежение, пропорционално на фазовата разлика между двете честоти.

Фазово затворени вериги - PLL

Цифрови фазови детектори са тези, които работят с логически сигнали. Съществуват два основни типа цифрови фазови детектори, които се наричат тип 1 и тип 2. Фазовите детектори от тип 1 са предназначени за работа с еднакви по форма сравнявани сигнали (най-често с коефициент на запълване $1/2$). Детекторите от тип 2 работят по преход (фронт) на сигналите. В следващите схеми детекторите са дадени заедно с примерно изпълнение на нискочестотен филтър, отделящ пропорционалната на фазовата разлика съставка на сигнала.

Фазово затворени вериги - PLL



Цифров линеен фазов детектор от тип 1

Фазово затворени вериги - PLL

Фазов детектор от тип 1 лесно се изгражда с помощта на елемент XOR. Според логическата си функция той представлява детектор на равенство между две логически променливи. С помощта на подходящо формиране на сигнала в изхода му се получава напрежение, пропорционално на фазовата разлика между сравняваните логически величини. Всъщност това е и най-простият цифров фазов детектор. На времедиаграмите е показано действието му при коефициент на запълване $K = 1/2$ на сравняваните честоти.

Фазово затворени вериги - PLL

В схемата е показан и примерен нискочестотен филтър с операционен усилвател. В изхода на G_1 (точка Φ) е поставен буферен елемент G_2 с отворен колектор, който формира зарядния и разрядния ток за нискочестотния филтър. Филтърът в показания пример е същевременно и преобразувател ток – напрежение. Когато изходното ниво в изхода на G_2 е високо, във филтъра се напмпва ток $I^+ = \frac{E}{2(R+100R)}$, а когато нивото е ниско – от филтъра се изпмпва ток $I^- = -\frac{E}{2(100R)}$. Напмпването и изпмпването на ток се осъществява защото на неинвертиращият вход на филтровия операционен усилвател е подадено напрежение $+E/2$.

Фазово затворени вериги - PLL

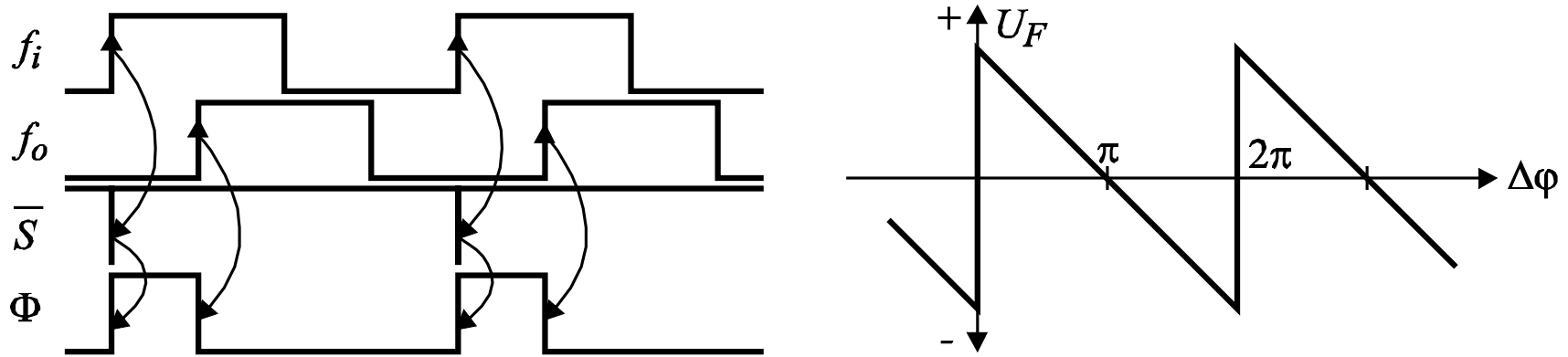
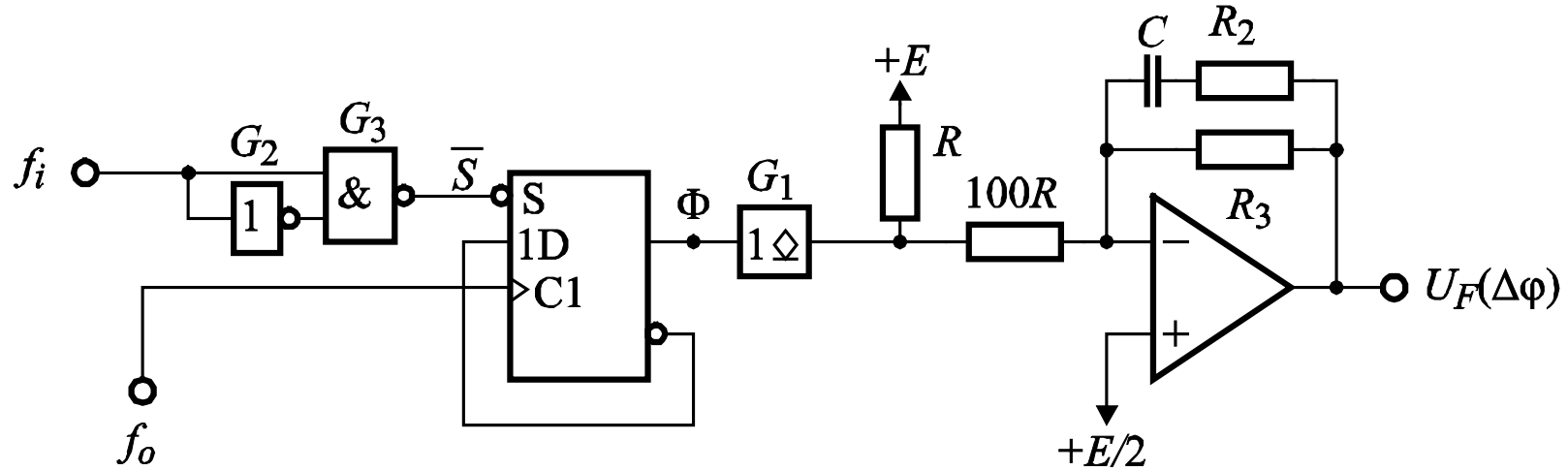
Съпротивлението R е избрано да бъде 100 пъти по-малко от съпротивлението във входа на филтъра, за да може двата тока да са приблизително равни. Равновесното състояние ще бъде достигнато, когато внасяният във филтъра заряд е равен на изнасяния, т.е. когато импулсите в изхода на G_1 са с коефициент на запълване $1/2$. Това се постига при установяване на фазова разлика $\pi/2$ между сравняваните честоти.

Фазово затворени вериги - PLL

Основни характеристики на този фазов детектор са следните:

- предавателната характеристика е трионообразна и линейна в областта от 0 до π ;
- установената фазова разлика трябва да бъде $\pi / 2$, за да се работи в центъра на линейната област от предавателната характеристика;
- при отсъствие на входен сигнал ($f_i = '0'$) изходът се намира в центъра на линейната зависимост;
- честота в изхода е два пъти по-висока от входната.

Фазово затворени вериги - PLL



Цифров фазов детектор от тип 2

Фазово затворени вериги - PLL

Цифровият фазов детектор от тип 2 работи по нарастващите фронтове на сравняваните сигнали f_i и f_o . На входа за f_i е поставена формираща група G_2, G_3 , която изработва кратки отрицателни импулси по нарастващия фронт на f_i . Така нарастващият фронт на f_i установява тригера в '1', а нарастващият фронт на f_o го нулира.

Приложен е същият нискочестотен филтър, както и в предишния детектор. Равновесното състояние ще бъде достигнато, когато внасяният заряд във филтъра е равен на изнасяния, т.е. когато импулсите в изхода на D-тригера са с коефициент на запълване $1/2$. Това става при фазова разлика π между сравняваните честоти.

Фазово затворени вериги - PLL

От показаните времедиаграми на този фазов детектор могат да се забележат неговите основни черти:

- предавателната характеристика е трионообразна и линейна в диапазона от 0 до 2π ;
- установената фазова разлика трябва да бъде π , за да се работи в средата на линейната област;
- при отсъствие на входен сигнал, т.е. при $f_i = '0'$, фазовият детектор работи в средата на диапазона;
- честотата в изхода на фазовия детектор е равна на входната честота.

Фазово затворени вериги - PLL

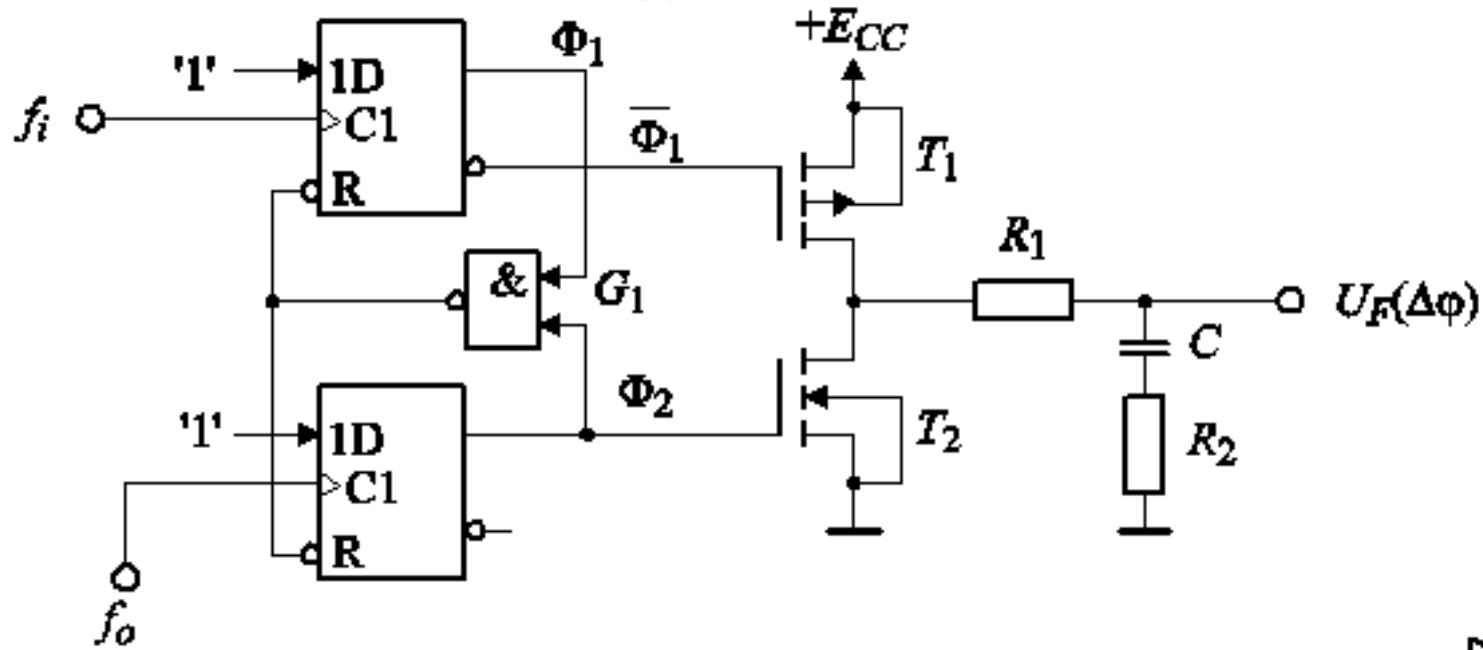
Както се вижда, съществуват две основни различия между показаните фазови детектори. Първото се отнася до работния диапазон. Работният диапазон на първият детектор е два пъти по-малък от този на втория, което е недостатък. Второто се отнася до изходната честота – при вторият тя е равна на входната, докато при първият – тя е два пъти по-висока от входната. Два пъти по-високата изходна честота значително облекчава нейното филтриране и отделянето на нискочестотната съставка, пропорционална на фазовата разлика, което определено е предимство за този фазов детектор.

Фазово затворени вериги - PLL

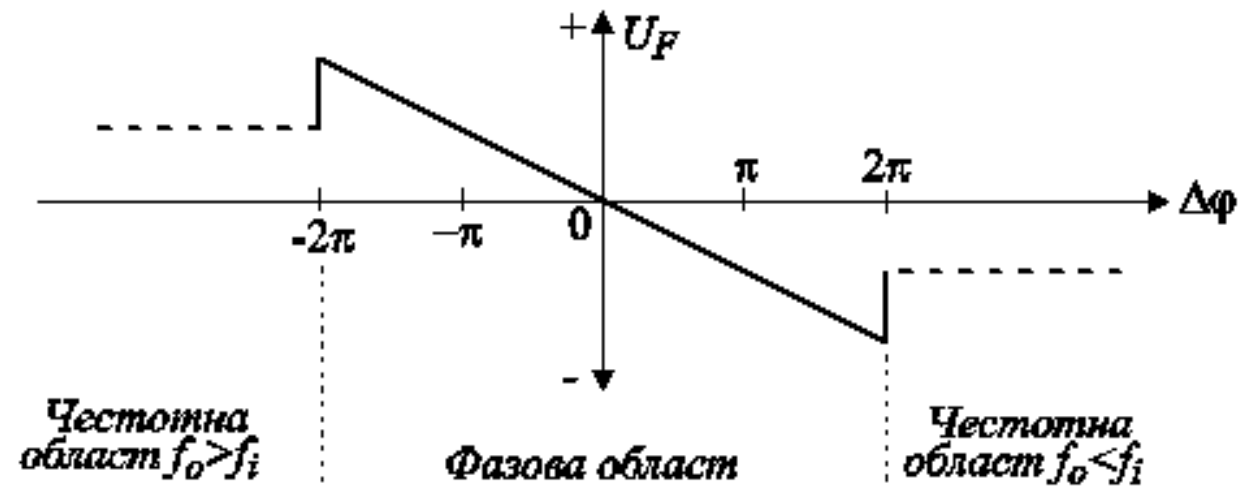
Показаните дотук два цифрови фазови детектора, имащи един изход – Φ , се наричат още детектори на съвпадение, тъй като сигналът в този изход е '0' или '1', ако двата сравнявани сигнала са еднакви или не.

При реализирането на PLL широко се използват детектори, които изработват коригиращ сигнал и при отклонение в честотите на двата сравнявани сигнала – т.нар. честотночувствителни фазови детектори. От този тип е схемата на широко известния цифров честотночувствителен фазов детектор за регулярни входни величини. Той се нарича още фазовочестотен детектор.

Фазово затворени вериги - PLL



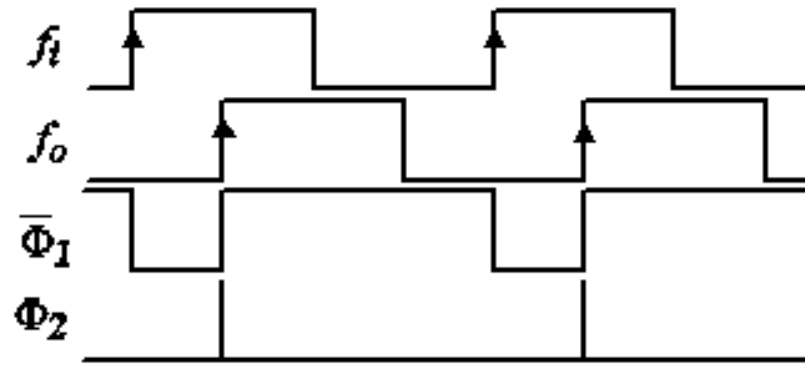
Цифров фазочестотен детектор за
регулярни входни величини



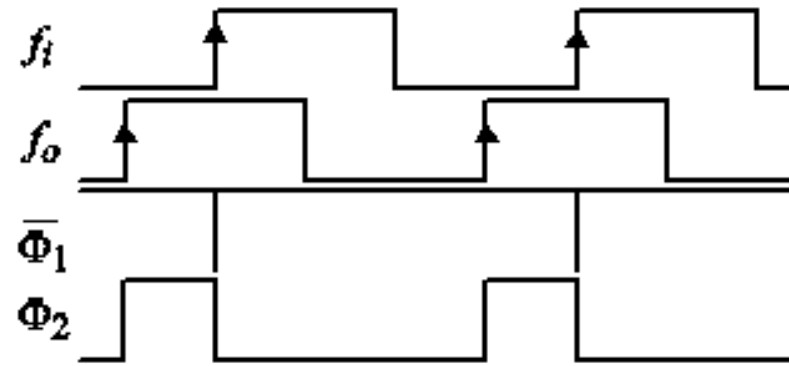
Фазово затворени вериги - PLL

Сравняваните сигнали f_i и f_o превключват с нарастващите си фронтове в състояние '1' два отделни D-тригера. Логическата схема И-НЕ изработва на изхода си '0', когато двата D-тригера застанат в '1' и едновременно ги нулира. Изходът на първия тригер (точка Φ_1) ще бъде в състояние '1', ако f_o изостава от f_i , и то за времето на изоставане, а инверсният изход на втория тригер (точка $\overline{\Phi_2}$) ще бъде в състояние '0', ако f_o избързва пред f_i , и то за времето на избързване.

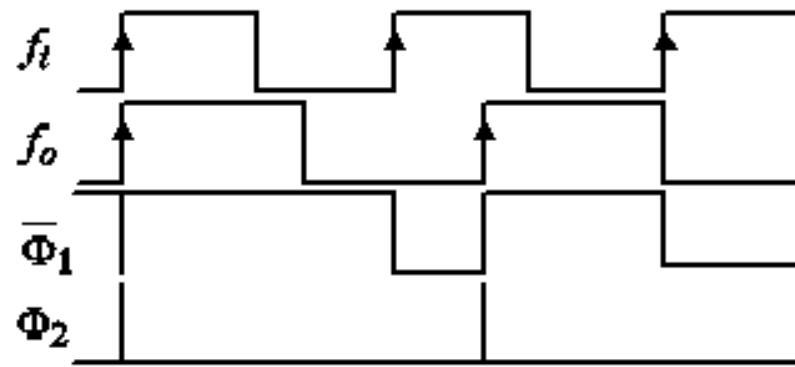
Фазово затворени вериги - PLL



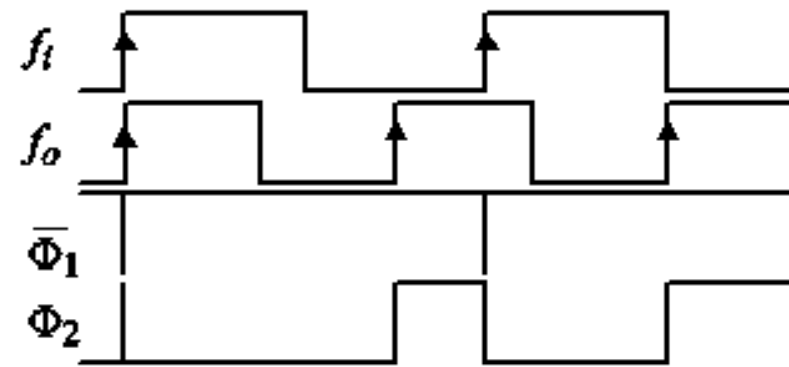
Изоставане



Избързване



$f_o < f_i$



$f_o > f_i$

Времедиаграми на работата на цифровия фазочестотен детектор за регулярни входни величини

Фазово затворени вериги - PLL

В схемата е показан друг начин на организиране на нискочестотния филтър (от първи ред), подходящ за CMOS изпълнение на детектора.

Напомпващата и изпомпващата верига за нискочестотния филтър тук са разделени. Единичните импулси в точка Φ_1 (нулеви импулси във $\overline{\Phi_1}$) предизвикват напомпване на ток във филтъра през транзистора T_1 , докато единичните импулси в точка Φ_2 (нулеви импулси във $\overline{\Phi_2}$) предизвикват изпомпване на ток от филтъра през транзистора T_2 .

Схемата се вгражда в много интегрални фазови синхронизатори, като MC4343/4044 на Motorola в TTL вариант с работна честота до 15 MHz и MC12040 в ECL вариант с работна честота до 80 MHz, CD40464 на RCA и др.

Фазово затворени вериги - PLL

Анализът на времедиаграмите на работа на честотно чувствителния фазов детектор показват следните съществени особености:

– съществува установена постоянна съставна на изхода на филтъра, когато честотата f_o е различна от f_i , като полярността на тази постоянна съставна зависи от това дали f_o е по-висока или по-ниска от f_i . Благодарение на това си свойство схемата работи и като честотен детектор;

– при $f_o = f_i$ схемата работи като фазов детектор и нейната предавателна характеристика е линейна в диапазона от -2π до $+2\pi$;

– установената фазова разлика е 0 за центъра на работния диапазон.

Фазово затворени вериги - PLL

Показаните фазови детектори изискват постъпването на регулярна входна честота f_i . В редица практически случаи обаче входният сигнал може да пропадне. Тогава входните величини се считат за случайни.

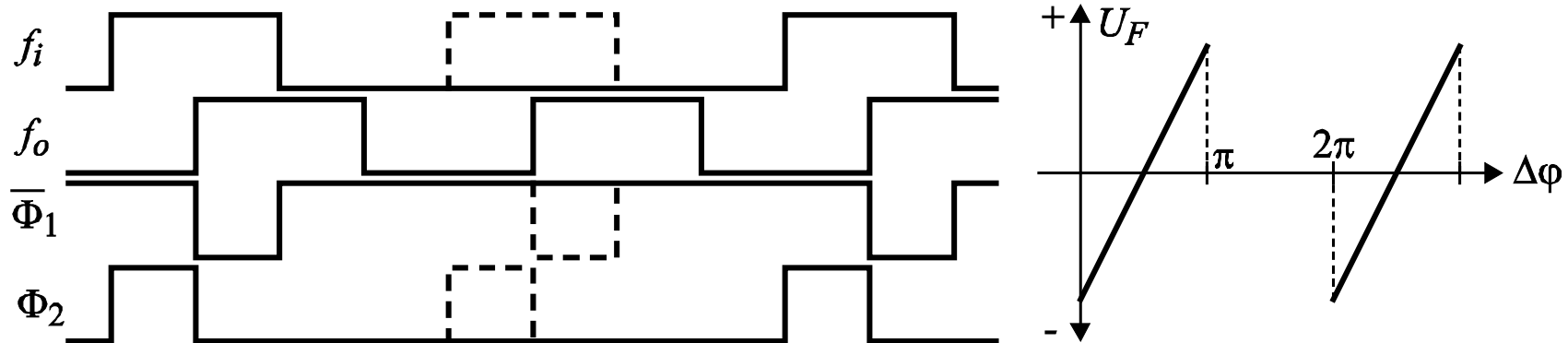
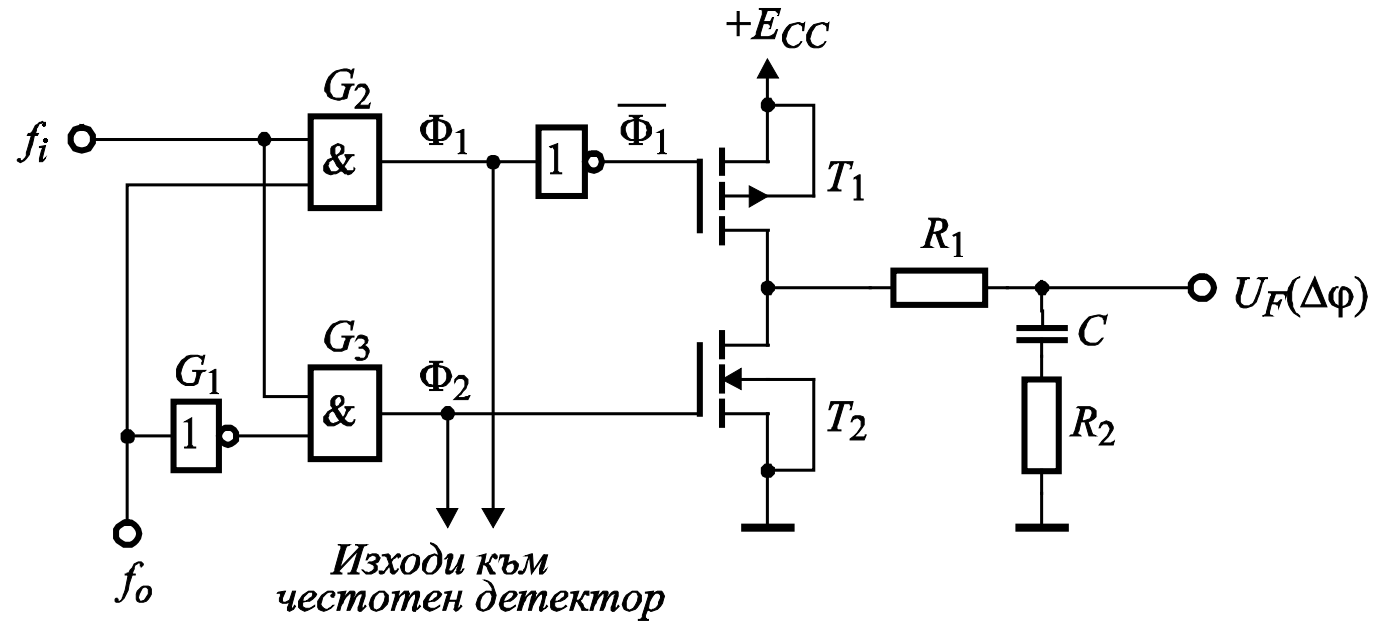
Фазовият детектор от тип 1 за случайни входни величини изработва на изхода си сигнал само тогава, когато на входа се появи логическа '1'. Ако входната величина е '0', фазовият детектор не изработва коригиращи сигнали и в изхода на филтъра се запазва старото състояние. От показаните времедиаграми и предавателна характеристика могат да се направят следните заключения:

Фазово затворени вериги - PLL

- предавателната характеристика е трионообразна и линейна в диапазона от 0 до π (ако сравняваните сигнали са с коефициент на запълване $1/2$);
- установената фазова разлика е $\pi/2$;
- за правилната работа на фазовия детектор от входящата честота f_i трябва да постъпят достатъчен брой единици, т.е дълготрайно подаване на логическа '0', като входна величина, не трябва да се допуска.

Такъв тип фазов детектор е включен като втори фазов детектор в по-горе споменатата интегрална схема MC4344/4044 на Motorola.

Фазово затворени вериги - PLL



Фазов детектор от тип 1 за случайни входни величини

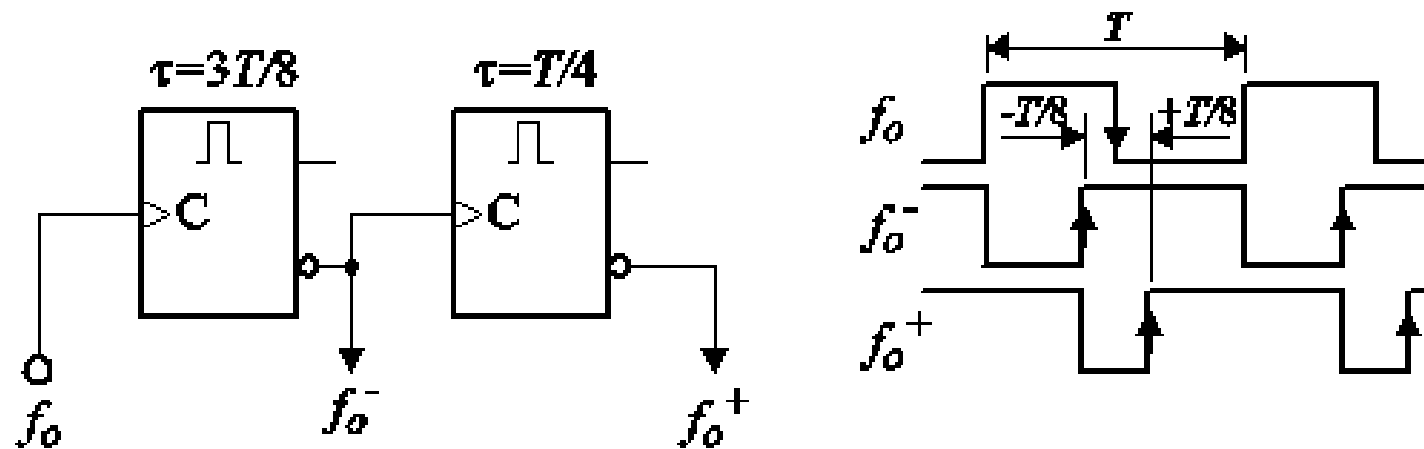
Фазово затворени вериги - PLL

Най-сложен е фазовочестотният детектор за работа със случайни входни величини. Той е съставен от две части – разгледаните цифров честотен детектор и фазовия детектор за случайни входни величини. Двата детектора работят паралелно и изходите им са обединени в един общ НЧ филтър.

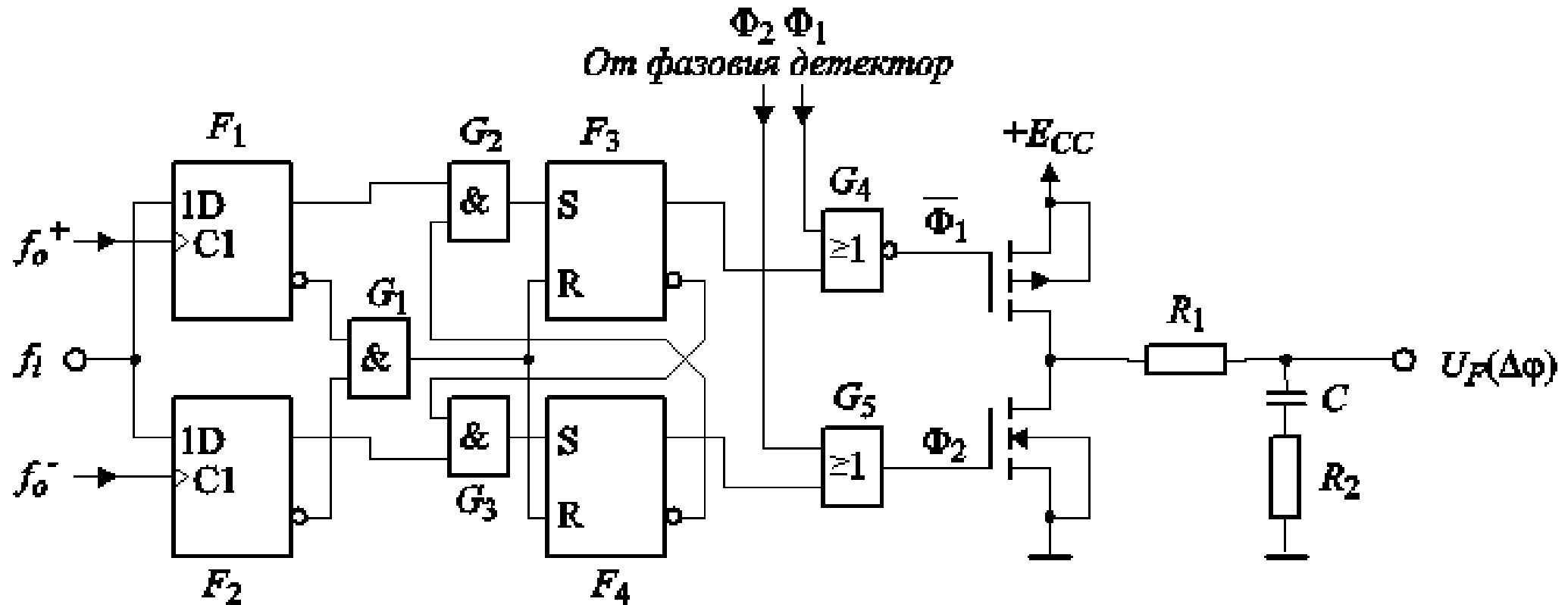
Освен честотата f_0 в показания фазовочестотен детектор се използват още две тактови поредици f_0^+ и f_0^- , чиито активни фронтове съответно избързват и изостават спрямо спадащия фронт на f_0 .

Фазово затворени вериги - PLL

Избързването и изоставането е с около $T/8$ (при коефициент на запълване $1/2$ на сравняваните честоти) и то определя допустимото отклонение на входящата честота от установения режим. Използваните три тактови поредици могат да се изработят с помощта на чакащи мултивибратори.



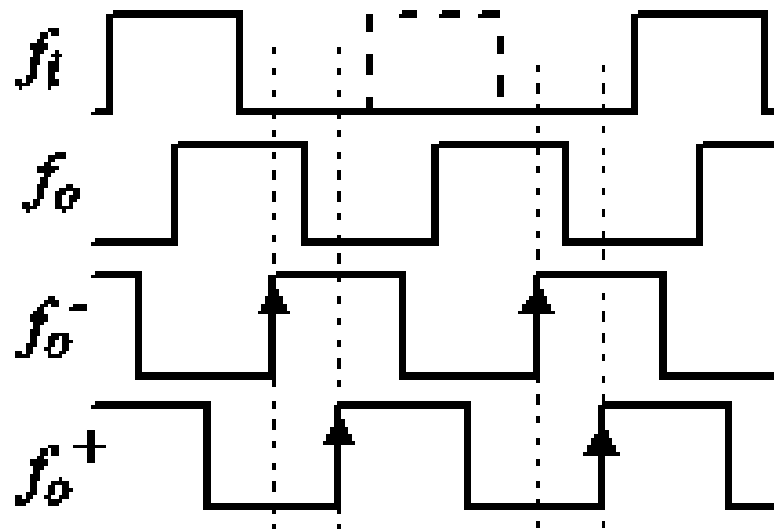
Фазово затворени вериги - PLL



Цифров фазочестотен детектор за работа
със случайни входни величини

Фазово затворени вериги - PLL

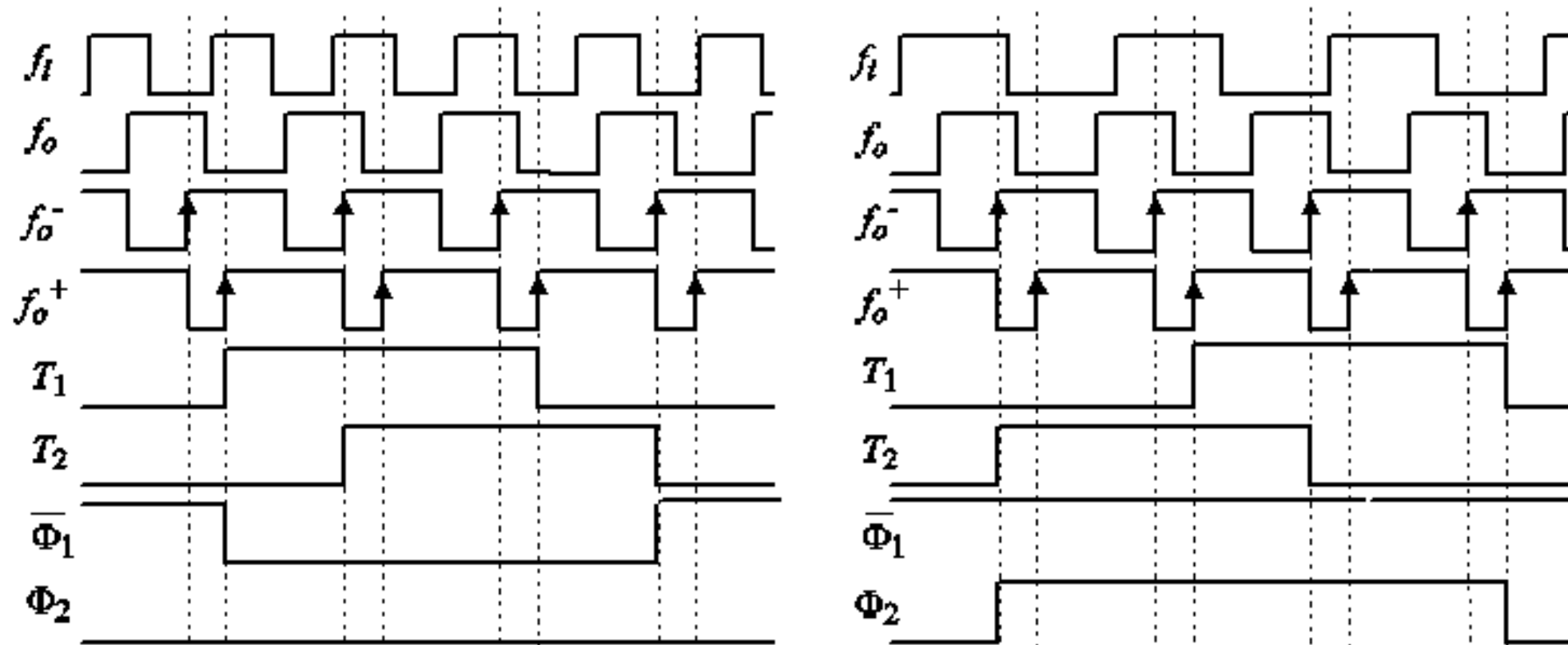
Ако сравняваните честоти са в установения режим на фазовия детектор, честотният детектор няма да изработва коригиращи сигнали, тъй като сигналите f_0^+ и f_0^- ще записват нули в тригерите F_1 и F_2 и изходните му тригери F_3 и F_4 ще бъдат нулирани.



Фазово затворени вериги - PLL

Ако f_i е по-висока от f_o , нейната фаза ще предхожда фазата на f_o . Първо ще се запише '1' в тригера F_1 , което също ще установи тригера F_3 в '1' и чрез логическия елемент G_3 ще се забрани установяването на тригера F_4 . През буфера G_4 във филтъра ще бъде напompван ток. Първи се нулира тригерът F_1 , а след нулирането на F_2 се нулира и F_3 . Ако f_i е по-ниска от f_o , нейната фаза ще започне да изостава от фазата на f_o . Тогава първо ще се запише '1' в тригера F_2 , което също ще установи тригера F_4 в '1' и чрез логическия елемент G_2 ще се забрани установяването на тригера F_3 . През буфера G_5 от филтъра ще бъде изпompван ток. Сега първи се нулира тригерът F_2 , а след нулирането на F_1 се нулира и F_4 .

Фазово затворени вериги - PLL



Времедиаграми на работа на цифровия фазовочестотен детектор за работа със случайни входни величини

Фазово затворени вериги - PLL

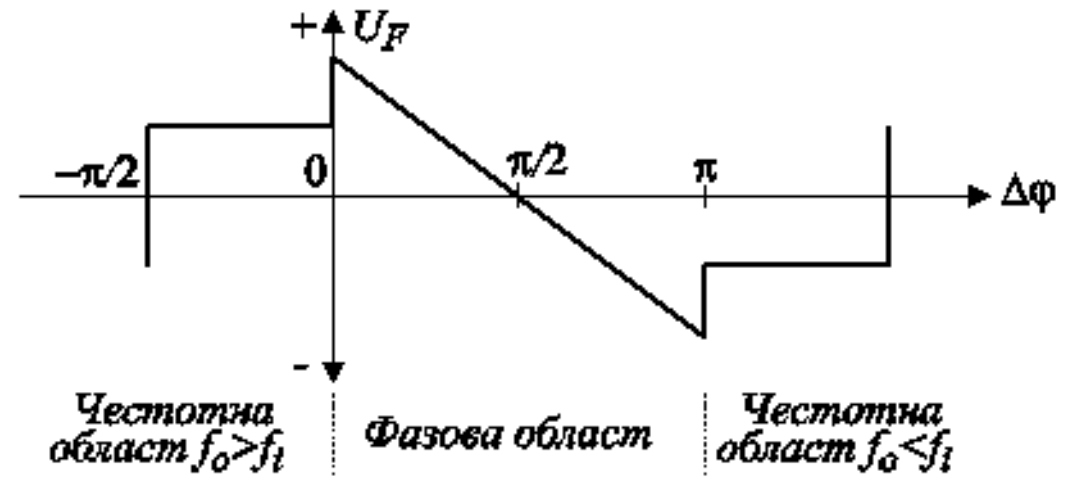
По този начин при $f_i > f_o$ на изхода на филтъра ще има положителна постоянна съставна, а при $f_i < f_o$ – отрицателна. Тези постоянни съставни помагат на фазовия синхронизатор да влезе в установен режим. Както се вижда, честотният детектор изработва на изхода си коригиращ сигнал само при наличие на логически единици в f_i , което именно определя работата му със случайни входни величини.

Фазово затворени вериги - PLL

Трябва да се отбележи принципната разлика между работата на фазовия детектор за случайни входни величини, на честотния детектор и на фазовочестотния детектор. Последният изработва в изхода си постоянна съставна винаги когато сравняваните честоти са различни, т.е. $f_i \neq f_o$. За честотния детектор работният диапазон на сравняваните честоти е ограничен до $\pm\Delta f < f_o/2$. Вижда се, че това е определено от зададеното отклонение между помощните честоти f_o^+ и f_o^- на $\pm T/8$. По-малко отклонение би увеличило работния честотен диапазон на сравняване, но също би увеличило и времето за отработването на корекцията. Затова необходимото отклонение се избира от конкретните условия на работа.

Фазово затворени вериги - PLL

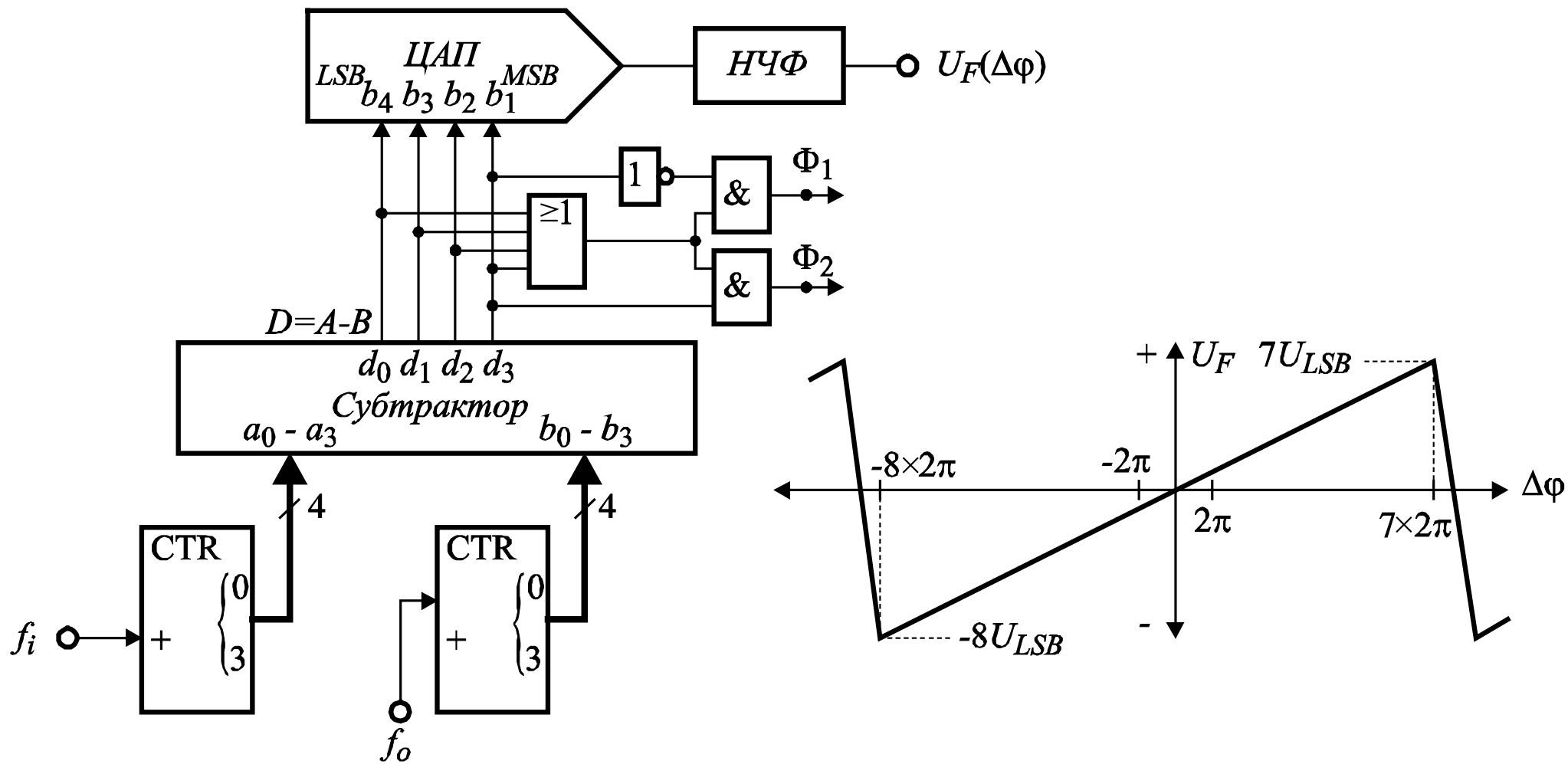
Както се вижда от предавателната характеристика на фазочестотния детектор за случайни входни поредици, тя е линейна в областта от 0 до π , като установеният режим е при $\pi/2$. Едновременно с това в областта от 0 до $\pi/4$ и от $3\pi/4$ до π в помощ на фазовия детектор се включва и честотният (това също е обусловено от зададеното отклонение между помощните честоти f_0^+ и f_0^- на $\pm T/8$).



Фазово затворени вериги - PLL

С помощта на описаните по-горе фазови детектори е невъзможно да се индицира фазово изместване на повече от един период, тъй като измерването на фазите е ограничено до стойността 2π . Съществуват обаче области на приложение, при които е необходимо да се следи изместване между честотите на повече от един период. За тази цел е подходящ следващият фазов детектор. Той е изграден на базата на нечувствителен към съвпадение реверсивен брояч, състоящ се от два отделни брояча и цифрово изваждащо устройство (субтрактор) на техните стойности. Цифровият код в изхода на брояча се преобразува в аналогова стойност чрез цифрово-аналогов преобразувател, работещ в допълнителен код.

Фазово затворени вериги - PLL



Цифров фазов детектор с линеен диапазон на работа от -16π до 14π

Фазово затворени вериги - PLL

Близо до нулата (при фазова разлика по-малка от $\pm 2\pi$) показаният фазов детектор се държи също както цифровия фазочестотен детектор за регулярни входни величини – ако f_i изпреварва f_o , на изхода се формират положителни импулси с амплитуда U_{LSB} , продължителността на които е равна на времето между едноименните активни фронтове на f_i и f_o , а изоставането предизвиква появата на отрицателни импулси.

Средната стойност на тези импулси е

$$U_F = U_{LSB} \frac{\Delta t}{T} = U_{LSB} \frac{\varphi}{2\pi}$$

Фазово затворени вериги - PLL

Ако фазовата разлика достигне 2π , времето Δt се променя скокообразно от T до 0 , но изходното напрежение остава равно на U_{LSB} , тъй като същевременно разликата D се повишава скокообразно на 1 . Затова в общия случай изходното напрежение ще бъде

$$U_F = U_{LSB} \left(D + \frac{\Delta t}{T} \right) = U_{LSB} \frac{\varphi}{2\pi}$$

Изразът $D + \Delta t/T$ определя на колко периода двете сравнявани честоти са изместени една спрямо друга. Работният диапазон може да бъде произволно увеличен чрез увеличаване разредността на реверсивния брояч и на цифрово-аналоговия преобразувател.

Фазово затворени вериги - PLL

Три са основните видове генератори, управлявани от напрежение, използвани в PLL – кварцови генератори, LC-генератори и RC-мултивибратори. Изборът на генератор за конкретното приложение се определя от две основни съображения:

– честотна и фазова стабилност. Честотата и фазата на изходния сигнал от генератора могат да бъдат повлияни от такива смущаващи фактори като изменението на температурата или стареенето на елементите. При много силни изменения може да бъде загубена синхронизацията. Трябва да се отбележи, че дори да се вземат мерки за поддържане на постоянна честота, смущаващите фактори могат да повлияят на фазата на сигнала.

Фазово затворени вериги - PLL

Затова се предпочитат генератори със стабилни параметри на изходния сигнал при изменението на температурата, въздействието на смущения и стареенето на елементите;

– широк диапазон на управление. Желателно е генераторът да може да се синхронизира в широк диапазон на честотата. Колкото по-широк е диапазонът, толкова по-лесно е да се установи синхронизацията в затворената верига и толкова по-лесно е тя да бъде удържана.

Тези изисквания са явно противоречиви. Големият диапазон на изменение на честотата изисква голям диапазон на управление и, за съжаление, значителна възприемчивост към смущаващите фактори .

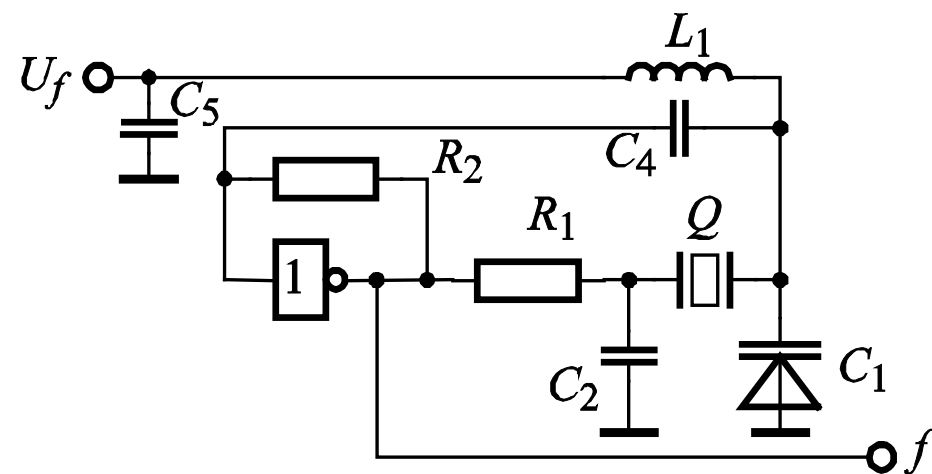
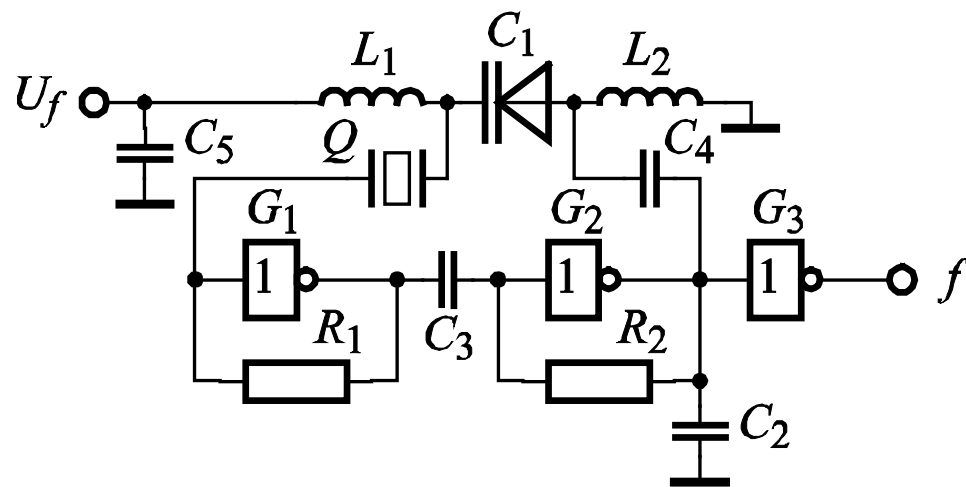
Фазово затворени вериги - PLL

Кварцовите генератори са най-стабилните от генераторите, споменати в началото. Техният диапазон на управление обаче е най-малък – около 0,1 %. Съществуват много различни схеми на кварцови генератори. При повечето от тях вместо донастройващ капацитет за кварцовия резонатор се използва варикап. Чрез прилагане на постоянно напрежение върху варикапа се управлява неговият капацитет, а оттам и честотата на генератора.

При замяната на донастройващия капацитет с варикапа са включени допълнителни елементи, осигуряващи разделяне на постояннотоковата верига за напрежението върху варикапа и високочестотната верига на осцилациите.

Фазово затворени вериги - PLL

Това се осигурява от индуктивностите L_1 , L_2 и капацитетите C_4 , C_5 . Индуктивностите трябва да имат високо съпротивление за честотата на осцилациите, а капацитетите – ниско. По тези схеми може да се достигне кратковременна нестабилност от порядъка на 10^{-3} .



Кварцовостабилизирани VCO с варикапно регулиране на честотата

Фазово затворени вериги - PLL

За постигане на висока стабилност се изграждат генератори със сложна конструкция, при които кварцовият резонатор е термостатиран и с регулиране на температурата (постигнатата нестабилност за генерираната честота е от порядъка на 10^{-9}).

Съществуват готови интегрални кварцовостабилизирани генератори, управлявани от напрежение, като интегралната схема '624.

За широк диапазон на работа, се използват LC- и RC-генератори. LC-генераторите се прилагат при сравнително високи честоти на работа – над 30 MHz. За да се получи управление на честотата с напрежение, кондензаторът С се заменя с варикап, върху който се прилага управляващото напрежение.

Фазово затворени вериги - PLL

Така продължителността на генерираните импулси се управлява от напрежение. В случая управляващото напрежение се подава между базите на транзисторите и захранващия проводник.

Съществува широк избор от интегрални схеми, представляващи управлявани от напрежение RC-мултивибратори, като например 566 на Signetics и National Semiconductors, XR2209 на Exar, 1658 на Motorola и др. Стабилните мултивибратори обикновено се изграждат чрез схеми с емитерна връзка. АЦП от типа преобразуватели напрежение в честота или напрежение в период също могат да се разглеждат и използват като генератори, управлявани от напрежение.

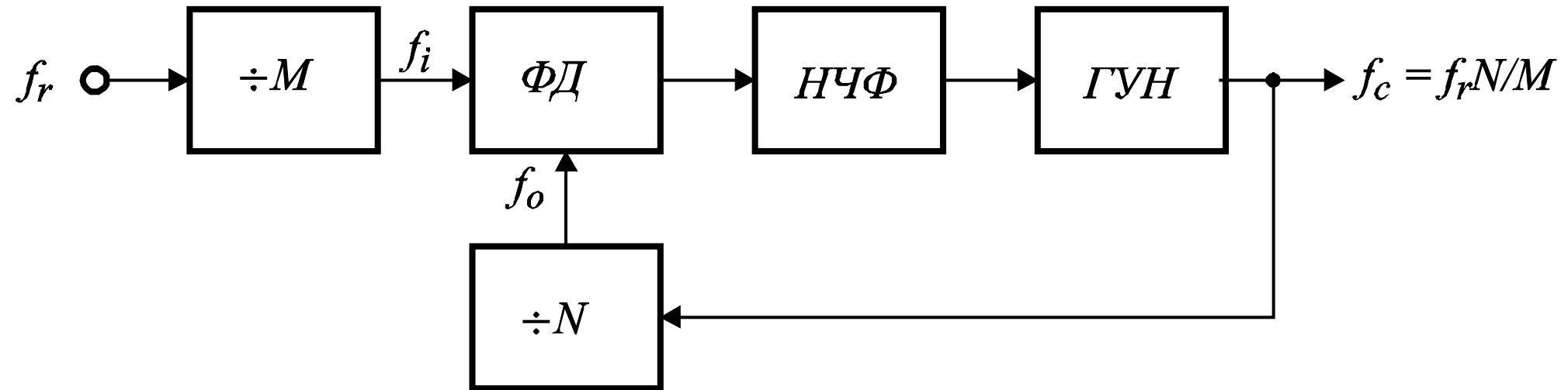
Фазово затворени вериги - PLL

Едно от основните приложения на системите за фазово автоматично поддържане на честота е за синтезиране на набор от стабилни честоти, различаващи се помежду си със строго определен коефициент. Синтезирането се извършва от една основна честота, като производните запазват нейната стабилност.

В основната блокова схема на честотен синтезатор с PLL двата предварителни програмируеми делителя с коефициенти съответно M и N са включени на пътя на сравняваните сигнали преди фазовия детектор. Тъй като системата се стреми да поддържа $f_i = f_o$, а $f_i = f_r/M$ и $f_o = f_c/N$, за честотата в изхода на генератора се получава $f_c = (N/M)f_r$.

Фазово затворени вериги - PLL

Променяйки N и M , от опорната честота f_r се получават различни честоти, при това със стабилността на f_r .



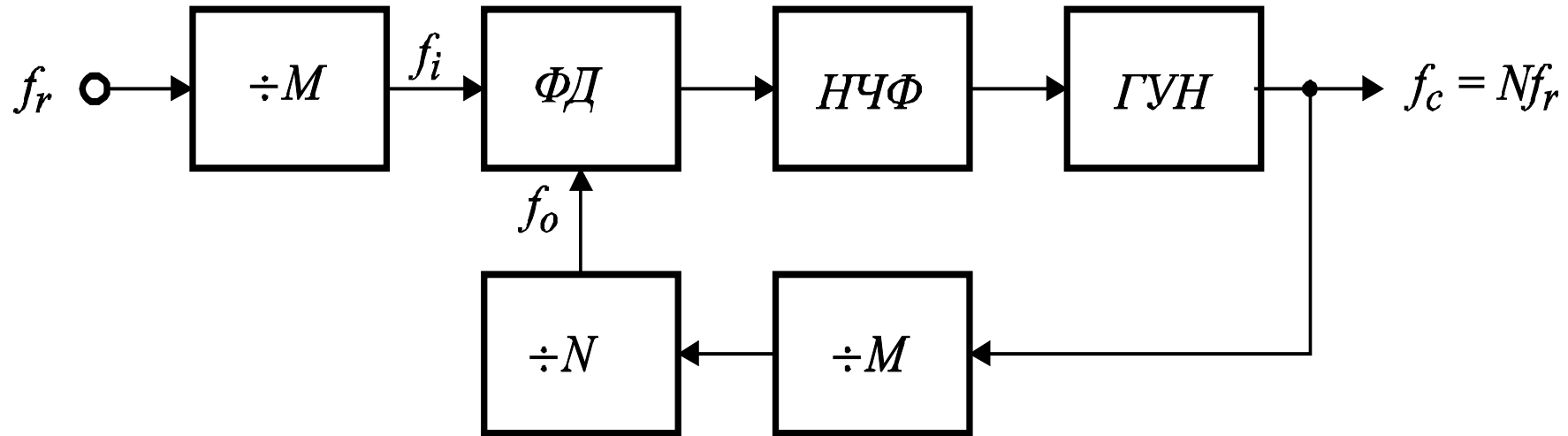
Обобщена блокова схема на честотен синтезатор

Фазово затворени вериги - PLL

Показаната схема има недостатъка, че, променяйки M , се променя честотата на сравнявания сигнал, оттам се променят и високочестотните компоненти в изхода на фазовия детектор, което в повечето случаи изисква и промяна на параметрите на нискочестотния филтър. Затова по-често се прилага вариант, при който M е фиксирано число и в частен случай $M = 1$.
Тогава $f_c = N \cdot f_r$

Програмируемият делител $\div N$ трябва да може да работи с честотата на генератора, управляван от напрежение. Ако това не може да се изпълни, е необходимо да се използват бързи предварителни делители с фиксиран коефициент на делене (в случая M).

Фазово затворени вериги - PLL

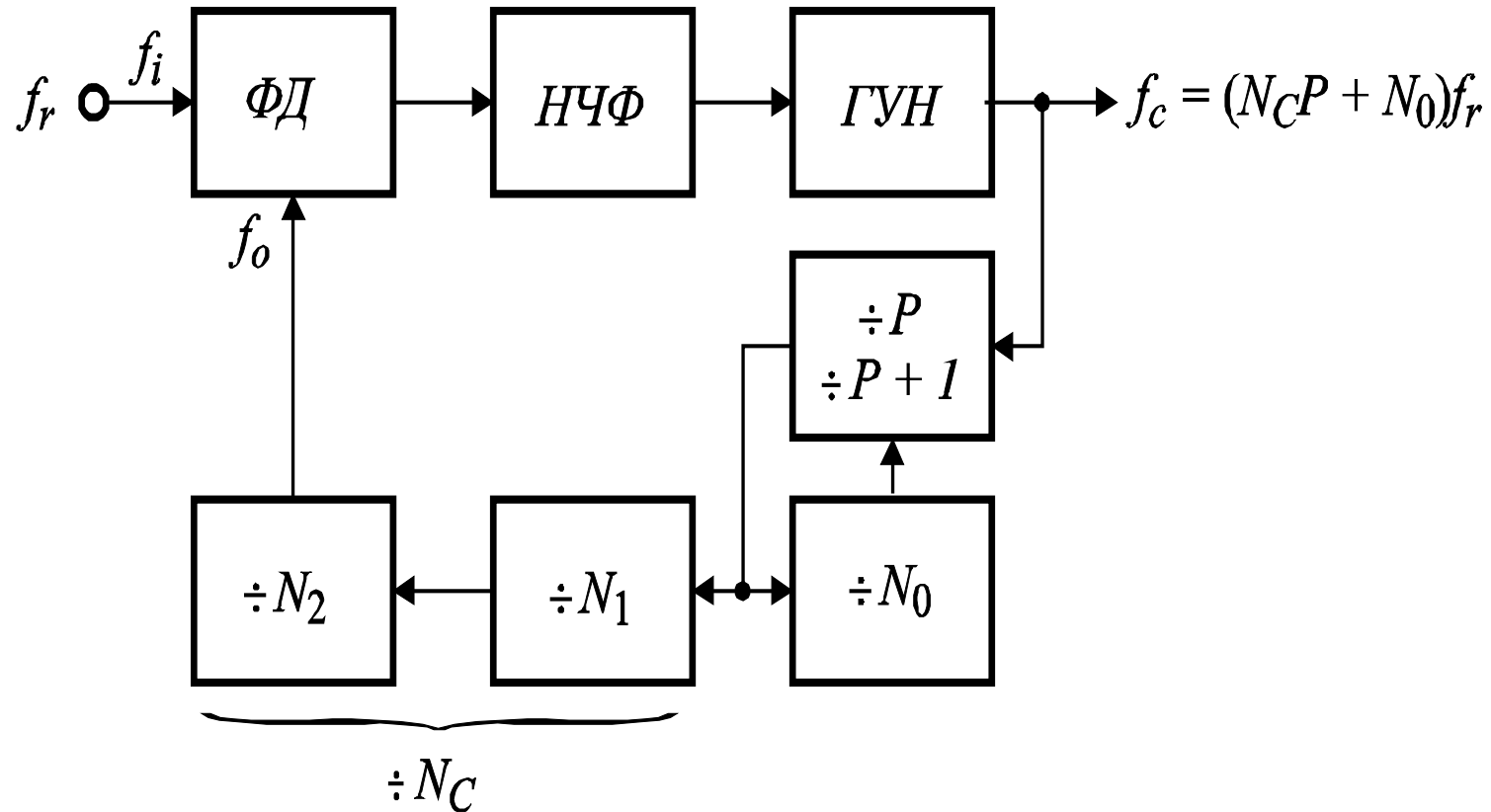


Честотен делител с два бързи предварителни честотни делителя

Големият коефициент на делене във веригата на обратната връзка намалява общия коефициент на усилване на веригата и увеличава нейното време на реакция при смяна на програмируемия коефициент.

Фазово затворени вериги - PLL

За избягване на този недостатък се предлага следното решение.



Честотен синтезатор с бърз двукоефициентен предварителен честотен делител

Фазово затворени вериги - PLL

Схемата съдържа един бърз предварителен делител само с два коефициента на делене – съответно P и $P + 1$. Делителите на N_C и N_0 са побавни програмируеми делители (максималната им работна честота трябва да бъде f_c/P), реализирани чрез работещи в режим на изваждане броячи.

Отначало делителите са установени с коефициент на делене N_C и N_0 , а предварителният делител дели на $P + 1$. След като делителят на N_0 достигне до 0, а делителят на N_C достигне до $N_C - N_0$, предварителният делител започва да дели на P .

Фазово затворени вериги - PLL

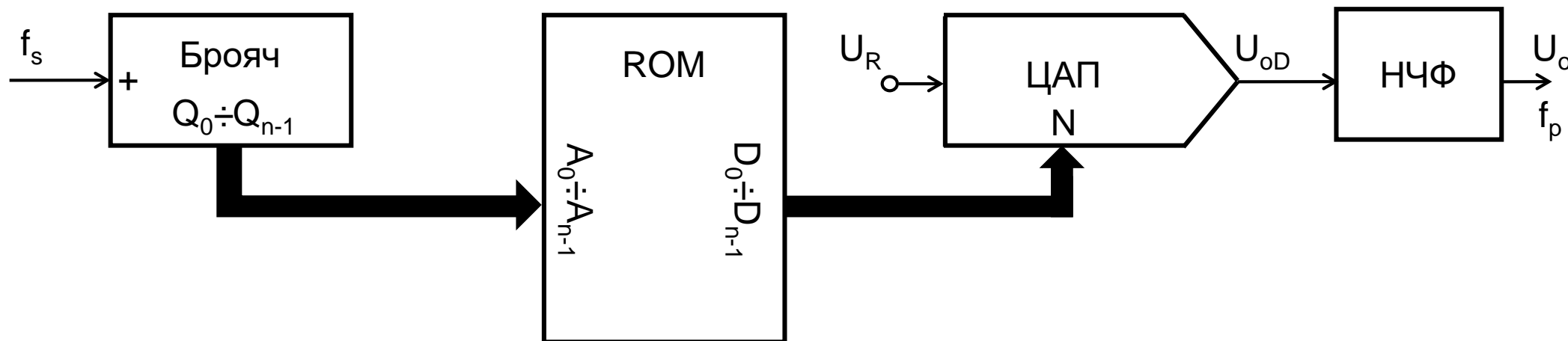
Броят на импулсите, след които делителят на N_C ще се нулира, е

$$N = (N_C - N_0)P + N_0(P + 1) = N_C P + N_0 \quad \text{при } N_C > N_0.$$

Често програмирането на синтезатора се извършва в десетична бройна система. За такива случаи се избира $P = 10$, а делителят на N_C се реализира с два последователно свързани десетични брояча, т.е. $N_C = 10N_2 + N_1$. Тогава $N = 100N_2 + 10N_1 + N_0$.

Цифров синтез на сигнали

В съвременните измервателни и управляващи уреди често се налага генерирането на сигнали със специфични параметри. Тогава най-често се използва **цифров синтез на сигнали**.



Блокова схема на цифров синтезатор на сигнали

Цифров синтез на сигнали

Блоковата схема на цифров синтезатор на сигнали съдържа брояч, постоянна памет (ROM), ЦАП и нискочестотен филтър (НЧФ).

В ROM са записани кодовете на дискретните стойности на синтезирания сигнал. Към брояча постъпват импулси с честотата на дискретизация f_s . Неговите изходи $Q_0 \div Q_{n-1}$ управляват адресите на паметта $A_0 \div A_{n-1}$. При всеки импулс f_s от изходите на паметта $D_0 \div D_{n-1}$ към цифровите входове на ЦАП се подава кода N на съответната моментна стойност на изходния сигнал. НЧФ отделя полезния сигнал с честота f_0 и потиска високочестотните съставки. Броят на дискретните стойности за един период на изходния сигнал U_0 е равен на f_s/f_0 , това число определя и модула на броене на брояча.

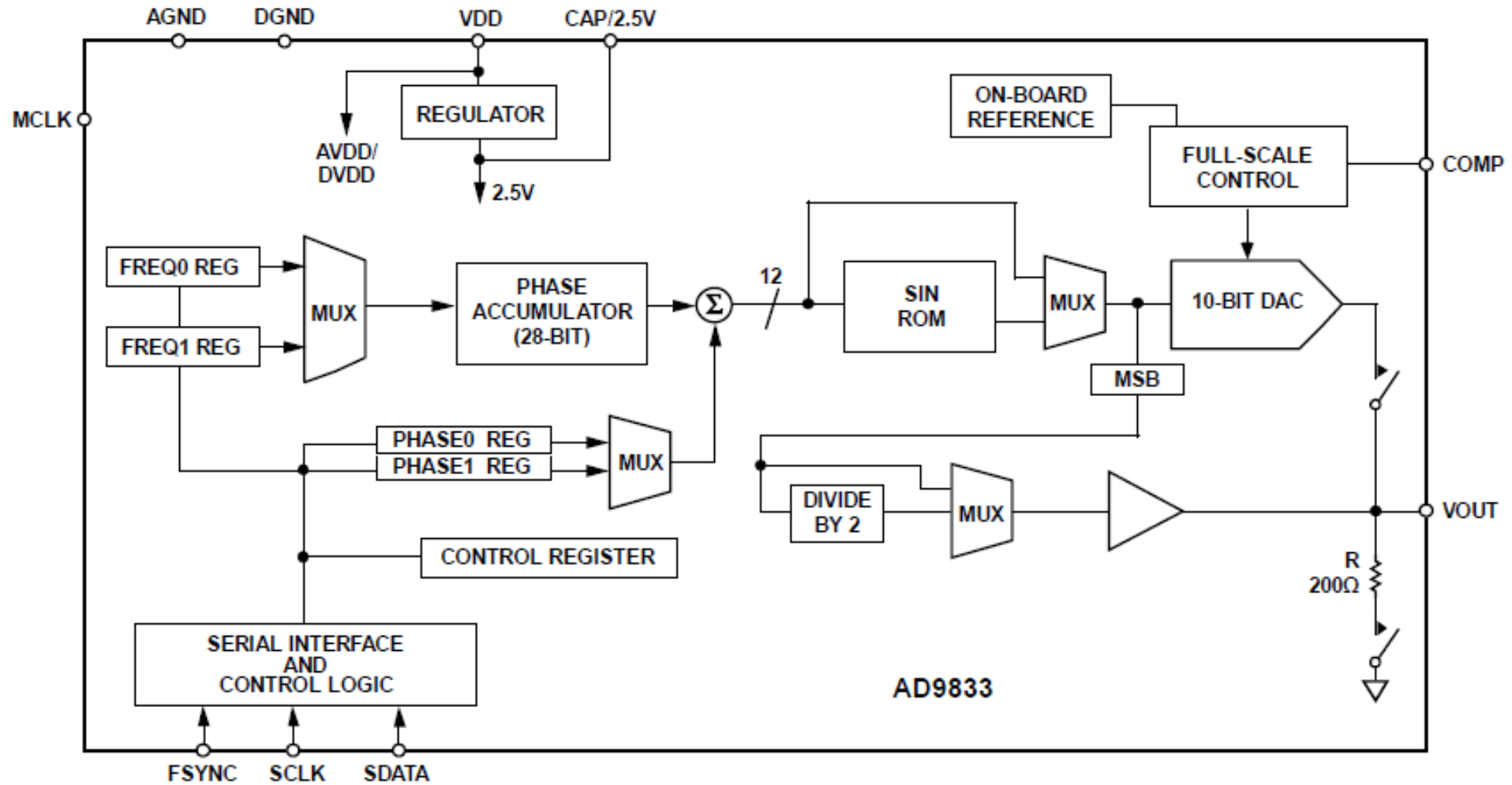
Цифров синтез на сигнали

Директният цифров синтез (Direct Digital Synthesis - DDS) е метод за получаване на аналогови сигнали – на-често синусоидални - чрез генериране в цифрова форма на променлив във времето сигнал и след това извършване на цифрово-аналогово преобразуване. Тъй като операциите в DDS устройството са предимно цифрови, то може да извършва бързо превключване между изходните честоти, фина честотна разделителна способност и работа в широк спектър на честотите. С напредъка в дизайна и технологията на процеса, съвременните DDS устройства са много компактни, могат да генерират честоти от по-малко от 1 Hz до 400 MHz (при 1 GHz опорна честота) и изразходват малко енергия.

Цифров синтез на сигнали

Типичен представител на DDS генератор е AD9833 - програмируем генератор с ниска мощност, който може да генерира синусоидални, триъгълни и правоъгълни изходни сигнали. Изходната честота и фаза са софтуерно програмируеми, позволяващо лесна настройка. Честотните регистри са 28 битови - при тактова честота 25 MHz може да бъде постигната разделителна способност 0,1 Hz; с тактова честота от 1 MHz, AD9833 може да бъде настроен на разделителна способност 0,004 Hz. За програмиране на AD9833 се използва стандартен 3-проводен сериен интерфейс, който е съвместим с SPI.

Цифров синтез на сигнали



Блокова схема на DDS генератор AD9833

Цифров синтез на сигнали

AD9833 генерира изходния сигнал въз основа на уравнението:

$$f = \Delta Phase \times f_{MCLK} / 2\pi.$$

Реализацията на това уравнение се извършва с три основни подсхеми: фазов акумулатор, SIN ROM и цифрово-аналогов преобразувател (ЦАП).

Фазовият акумулатор е 28-битов, следователно $2\pi = 2^{28}$. Тогава стойността на $\Delta Phase$ се намира в диапазона от числа $0 < \Delta Phase < 2^{28} - 1$. Основното уравнение добива вида $f = \Delta Phase \times f_{MCLK} / 2^{28}$. Промените в стойността на $\Delta Phase$ водят до незабавни и непрекъснати фазови промени в изходната честота.

Цифров синтез на сигнали

Стойността на ΔPhase 0000 ... 0001 би довело до препълване на фазовия акумулатор след 2^{28} цикъла на еталонната честота (стъпки). Ако стойността на ΔPhase е променена на 0111 ... 1111, фазовият акумулатор ще се препълни само след 2 цикъла на еталонната честота. С увеличаване на изходната честота броят на стъпките на цикъл намалява. Тъй като теоремата за дискретизацията изисква, че за реконструкция на изходната форма на сигнала са необходими поне две стъпки на цикъл, максималната изходна честота на DDS е $f_{\text{MCLK}}/2$. За практически приложения обаче изходната честота е ограничено до малко по-ниска, подобрявайки качеството на реконструирана форма на сигнала и позволяваща филтриране на изхода.

Цифров синтез на сигнали

SIN ROM използва цифровата информация за фазата като адрес към таблица на съответствието (lookup table) и преобразува информацията за фазата в амплитуда. Въпреки че фазовият акумулатор е 28-битов, изходът към SIN ROM е съкратен до 12 бита. Използването на пълната разделителна способност на фазовия акумулатор е непрактично и ненужно, тъй като това ще изисква таблица от 2^{28} стойности. Необходимо е само да има достатъчно фазова разрешаваща способност, така че грешките, дължащи се на съкращаването, да са по-малки от разрешаващата способност на 10-битовия ЦАП. Това изисква SIN ROM да има два бита фазова разрешаваща способност повече от 10-битовия ЦАП.

Цифров синтез на сигнали

AD9833 съдържа 10-битов ЦАП с токов изход с висок импеданс. ЦАП получава цифровите думи от SIN ROM и ги преобразува в съответните аналогови напрежения.

ЦАП е конфигуриран с несиметричен изход. Не се изисква външен товарен резистор, тъй като устройството има вграден резистор 200 Ω . ЦАП генерира изходно напрежение обикновено $0,6 V_{p-p}$.

SIN ROM може да бъде заобиколен, така че ограниченият цифров код да бъде изпратен към DAC. В този случай ЦАП ще генерира триъгълно напрежение с 10-битова разрешаваща способност.

Цифров синтез на сигнали

MSB на кода към ЦАП може да бъде изведен от AD9833. Честотата на този правоъгълен сигнал може също да бъде разделена на 2, преди да той да бъде изведен.

Предимствата, които правят DDS генераторите привлекателни са: цифрово управление на честотата и фазова настройка със стъпка под 1° ; изключително бързо превключване на честотата; елиминиране необходимостта от ръчна настройка и настройки, свързани със стареенето на компонентите и отклонение на температурата в сравнение с аналоговите синтезатори.