

Емил Д. Манолов

Ръководство за лабораторни
упражнения по
**СХЕМОТЕХНИКА
НА ИНТЕГРАЛНИТЕ СХЕМИ**

Технически университет – София
2014 г.

В ръководството са включени 10 лабораторни упражнения по проектиране и симулиране на CMOS схемни елементи за аналоговите интегрални схеми. Разглеждат се специфичните особености на субмикронните CMOS технологии, схемотехниката, проектирането и симулирането на веригите за осигуряване на постоянен ток режим и основните функционални блокове на CMOS интегралните схеми.

Ръководството е предназначено за студентите, изучаващи дисциплината “Схемотехника на интегралните схеми” и ще бъде полезно за всички, които проектират и използват интегрални схеми и устройства.

Съдържание

Увод.....	5
1. Параметри и характеристики на CMOS технологията.....	7
1.1. Конструкция на CMOS транзисторите.....	7
1.2. Режими на работа на MOS транзисторите.....	8
1.3. Прагово напрежение на MOS транзисторите.....	10
1.4. Работа в режим на силна инверсия.....	11
1.5. Работа в режим на слаба инверсия	21
1.6. Биполярни транзистори в CMOS технологията	22
Упражнение № 1. Запознаване с основните характеристики на 0.35 μ m CMOS технология на AMS (AustriaMicroSystems).....	25
Упражнение № 2. Симулиране на основните характеристики на CMOS транзистори от 0.35 μ m CMOS технология на AMS.....	26
1.7. Определяне на основните параметри за ръчни изчисления на MOS транзисторите от BSIM модели.....	27
Упражнение № 3. Определяне на основните параметри за ръчни изчисления на CMOS транзистори от 0.35 μ m CMOS технология на AMS.....	30
2. Вериги за осигуряване на постоянотоковия режим.....	31
2.1. Токови огледала.....	31
Упражнение № 4. Изследване и сравнение на параметрите и характеристиките на CMOS токови огледала.....	43
2.2. Задаващи източници на ток.....	44
Упражнение № 5. Изследване и сравнение на вериги за установяване на стабилен ток с CMOS транзистори.....	49
2.3. Задаващи източници на напрежение.....	50
Упражнение № 6. Оразмеряване и симулиране на задаващи източници на напрежение с CMOS транзистори.....	54
3. Основни функционални блокове на аналоговите CMOS интегрални схеми.....	55
3.1. Диференциални усилватели.....	55
Упражнение № 7. Изследване и сравнение на основните параметри и характеристики на CMOS диференциални усилватели.....	59

3.2. Операционни усилватели на проводимост.....	60
Упражнение № 8. Проектиране и симулиране на CMOS операционни усилватели на проводимост.....	65
3.3. Стандартни операционни усилватели.....	66
Упражнение № 9. Проектиране и симулиране на CMOS операционен усилвател.....	70
3.4. Операционни усилватели на ток.....	71
3.5. Компаратори.....	73
Упражнение № 10. Оразмеряване и симулиране на операционен усилвател на ток и компаратор.....	76
Основни формули и зависимости, използвани при оразмеряване на схемите в ръководството.....	77
Литература.....	79

Увод

Схемотехническото проектиране на интегрални схеми е сложна задача, за чието изпълнение е необходимо задълбочено познаване на технологията за проектиране и реализация на схемите, параметрите и характеристиките на използваните CMOS транзистори, основните схемотехнически решения на най-често използваните функционални блокове и методите за симулирането и оптимизацията им.

Процедурата за схемотехническо проектиране на интегрални схеми се характеризира с последователни итерации за разработване на работоспособни схеми и за тяхната оптимизация. На първия етап от проектирането се анализират и избират няколко схемни решения, за които се предполага, че изпълняват най-добре изискванията на конкретното задание. С помощта на опростени формули и модели се определят токовете и размерите на транзисторите. На следващия етап, с целенасочени симулации в интерактивен режим, се доуточняват режимите на работа на отделните транзистори и техните окончателни размери, а при необходимост избраните схемни решения се модифицират. За целта се използват сложни компютърни модели, които отчитат ефектите от втори ред и вариациите на технологичния процес. Те осигуряват на проектанта точна информация за работата на схемата. Въз основа на резултатите от симулациите се прави окончателен избор на техническо решение, което да изпълнява по най-добрия начин изискванията на заданието. Следва оптимизация на избраното решение с помощта на съвременни методи и програмни пакети с цел постигане на ниска чувствителност по отношение на вариациите на технологичния процес, режима и температурата.

Представеното ръководство за лабораторни упражнения е посветено на схемотехническото проектиране на аналоговите функционални блокове за CMOS интегралните схеми. То е предназначено за студентите от Факултета по електронна техника и технологии при Техническият университет – София, изучаващи дисциплината “Схемотехника на интегралните схеми”. Неговата задача е да ги запознае с основните принципи при оразмеряването и симулирането на типичните CMOS аналогови блокове на началния етап от проектирането им. За целта е разгледан опростен подход за първоначални ръчни пресмятания на схемите. Поради ограничения хорариум на дисциплината в нея не са включени теми, свързани с оптимизацията на проектираните блокове.

В първата част на ръководството са разгледани основните характеристики, зависимости и еквивалентни схеми от първи ред на интегралните CMOS и биполярни транзистори, които се използват при предварителните ръчни анализи и изчисления на схемите. Специално внимание е обърнато на влиянието на вариациите на технологичния процес върху характеристиките на интегралните транзистори и оттам върху толерансите на схемите. Представени са три лабораторни упражнения, свързани с посочената тематика.

Втората част е посветена на веригите за осигуряване на постояннотоковия режим в CMOS интегралните схеми. Разгледани са примери и са разработени три лабораторни упражнения за проектиране и симулиране на токови огледала, задаващи източници на ток и източници на стабилно напрежение.

В третата част са представени примери за анализ, проектиране и симулиране на основните аналогови функционални блокове на CMOS интегралните схеми. Разработени са четири лабораторни упражнения – за оразмеряване и изследване на диференциални усилватели, операционни усилватели на проводимост, стандартни операционни усилватели, операционни усилватели на ток и компаратори на напрежение.

Теоретичните основи за една част от задачите, включени в лабораторните упражнения, са дадени в това ръководство, а за останалите задачи се разглеждат в [1]. При своята подготовка студентите ще ползват и двата източника.

Авторът се надява, че представените материали ще бъдат полезни за студентите, обучаващи се в областта на проектирането и приложението на интегрални схеми. Всички отзиви, препоръки и забележки ще бъдат приети с благодарност на адрес edm@tu-sofia.bg.

29.09.2014 г.

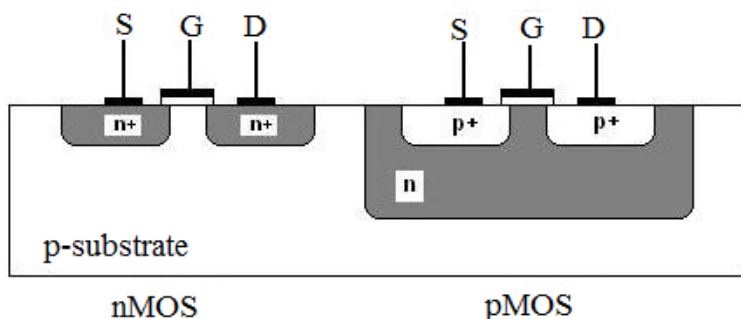
Емил Д. Манолов

1. Параметри и характеристики на CMOS технологията

1.1. Конструкция на CMOS транзисторите

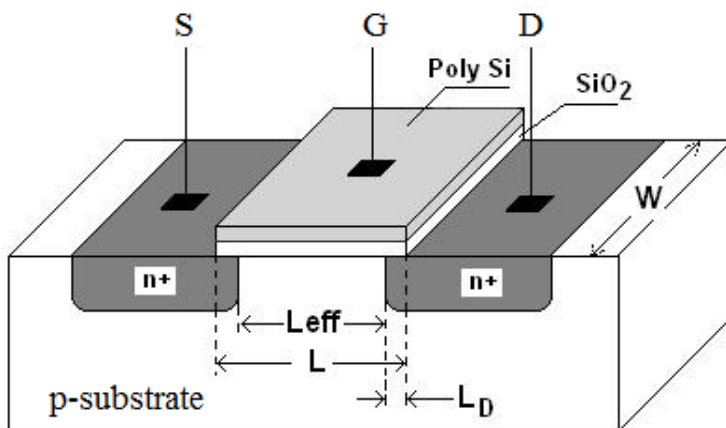
CMOS технологията е в основата на съвременната микроелектроника. Характеризира се със съвместното използване на nMOS и pMOS транзистори с индуциран канал.

На фиг. 1-1 е показана примерната вертикална геометрия на CMOS транзистори. В подложка (*substrate, bulk, body*) от *p-Si* се реализират *n+* областите за сорс (*source*) *S* и дрейн (*drain*) *D* на всички nMOS транзистори. За правилното им функциониране е необходимо подложката да бъде свързана към най-отрицателния потенциал в схемата. За pMOS транзисторите е необходим допълнителен *n* джоб, в който се създават *p+* областите за сорс и дрейн. Този джоб се свързва към най-положителния потенциал в схемата.



Фиг. 1-1. Вертикална геометрия на CMOS транзистори.

На фиг. 1-2 е показано тримерното изображение на интегрален nMOS транзистор. Между *n+* областите на дрейна и сорса е каналът на транзистора. Над него е тънкият изолиращ слой SiO_2 . Гейтът (*gate*) *G* на транзистора е реализиран с полисилиций *Poly Si*. С черно са отбелязани металните контакти на трите извода.



Фиг. 1-2. Тримерно изображение на интегрален nMOS транзистор.

Характеристиките на показания транзистор зависят както от параметрите на технологията (нива на легиране, дебелина на гейтовия окис и др.), така и от геометричните му размери (дължината на канала L и широчината му W). На практика технологичните параметри са фиксирани за използваната технология. Проектантите на схеми могат да променят само геометричните размери L и W на транзисторите с оглед получаване на желаните характеристики [1, 2, 5].

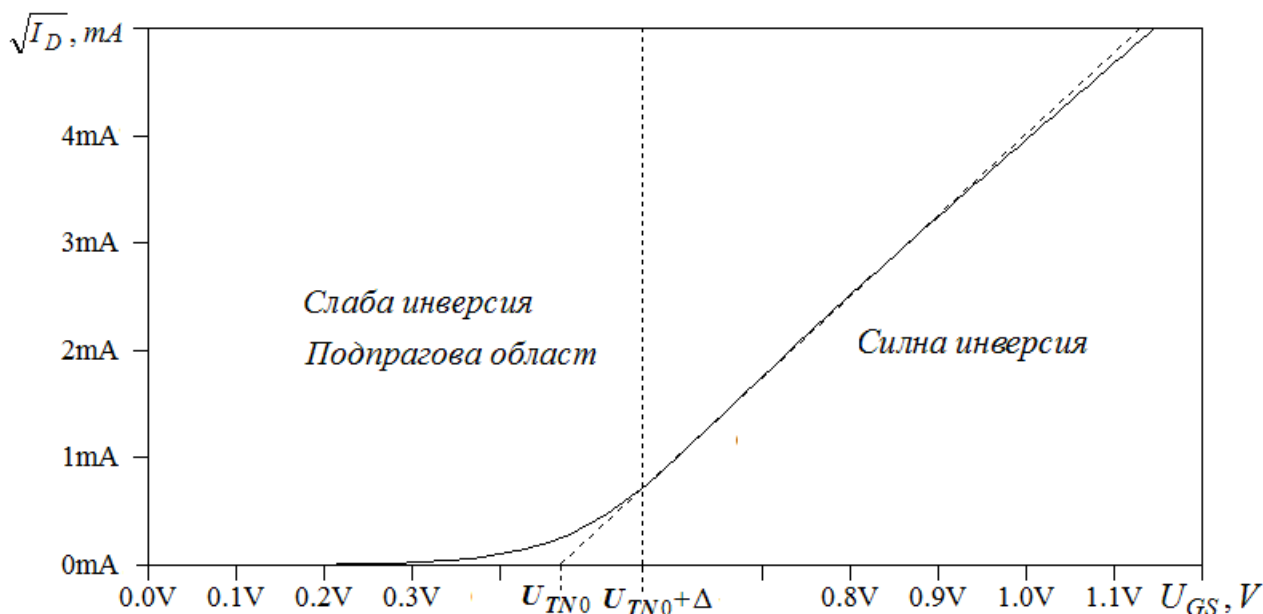
Всяка конкретна CMOS технология се характеризира с минимално допустима дължина на канала L_{min} . Колкото тя е по-малка, толкова по-голям брой транзистори (и съответно по-сложни функции) могат да се реализират върху чипа. В момента актуалните стойности на L_{min} са между $0.35\mu\text{m}$ и 20nm .

Поради неидеалността на технологичния процес гейтът на транзистора припокрива областите на сорса и дрейна (L_D) и намалява дължината на канала до ефективната дължина L_{eff} (вж. фиг. 1-2). В практиката при проектирането на интегрални схеми с аналогови функции се препоръчва дължината на канала на транзисторите да се избира неколkokратно по-голяма от минималния размер L_{min} [1, 2, 3, 6]. Тогава в много случаи L и L_{eff} могат да се приемат за равни, без да се внася съществена грешка в изчисленията.

Припокриването на гейта с областите на сорса и дрейна има като ефект и появата на паразитни CMOS кондензатори, които влошават честотните характеристики на транзисторите. Тяхното влияние трябва да се отчете при проектирането и симулирането на схемите.

1.2. Режими на работа на MOS транзисторите

Работата на MOS транзисторите с индуциран канал се основава на прилагането на напрежение между гейта и сорса за да се управлява проводимостта на канала между областите на сорса и дрейна. При nMOS транзисторите това напрежение е положително, а при pMOS транзисторите – отрицателно.



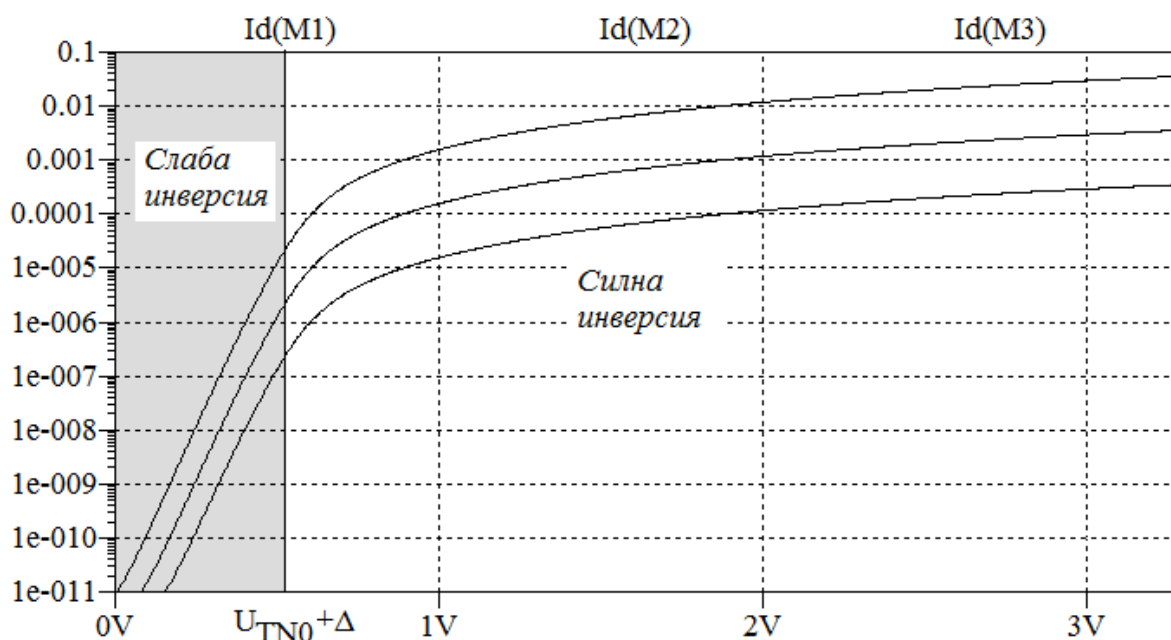
Фиг. 1-3. Зависимост на дрейновия ток от напрежението между гейта и сорса.

На фиг. 1-3 е показана зависимостта $\sqrt{I_D} = f(U_{GS})$ за nMOS транзистор при условие, че $U_{DS} \geq U_{GS}$. Лявата област (стойности на напрежението $U_{GS} < U_{TN0} + \Delta$) се характеризира с експоненциална зависимост на тока от напрежението. Тази област се нарича подпрагова (*subthreshold*), в нея

транзисторът работи в режим на слаба инверсия (*weak inversion*). Дясната област (стойности на напрежението $U_{GS} \geq U_{TN0} + \Delta$) се характеризира с квадратична зависимост на тока от напрежението и се апроксимира с прекъснатата права линия. В тази област транзисторът работи в режим на силна инверсия (*strong inversion*). Напрежението U_{TN0} , при което продължението на прекъснатата права линия пресича абсцисата, се нарича прагово напрежение на транзистора. Стойността на Δ е приблизително равна на $(2 \div 4)\phi_T$ (ϕ_T е топлинният потенциал – около 25.85mV при 300K).

При по-големи стойности на напрежението U_{GS} зависимостта на $\sqrt{I_D}$ се отклонява от прекъснатата права линия поради ефекта на насищане на дрейфовата скорост на токоносителите в канала [3].

Фигура 1-4 представя в логаритмичен мащаб зависимостта на дрейновия ток I_D от напрежението между гейта и сорса U_{GS} при три MOS транзистора с отношения W/L , равни на 1, 10 и 100. Поради експоненциалната зависимост на тока от напрежението в режим на слаба инверсия, в началото графиката има линеен характер. При стойности на U_{GS} малко над 0V, токовете през транзисторите са от порядъка на няколко десетки fA. При $U_{GS} = U_{TN0} + \Delta$, токът през транзистора с отношение $W/L = 1$ достига няколкостотин nA, през транзистора с отношение $W/L = 10$ – няколко μ A, а при отношение $W/L = 100$ – няколко десетки μ A. Режимът на силна инверсия се проявява при стойности на входното напрежение над $U_{TN0} + \Delta$. В този режим токът се променя по квадратичен закон.

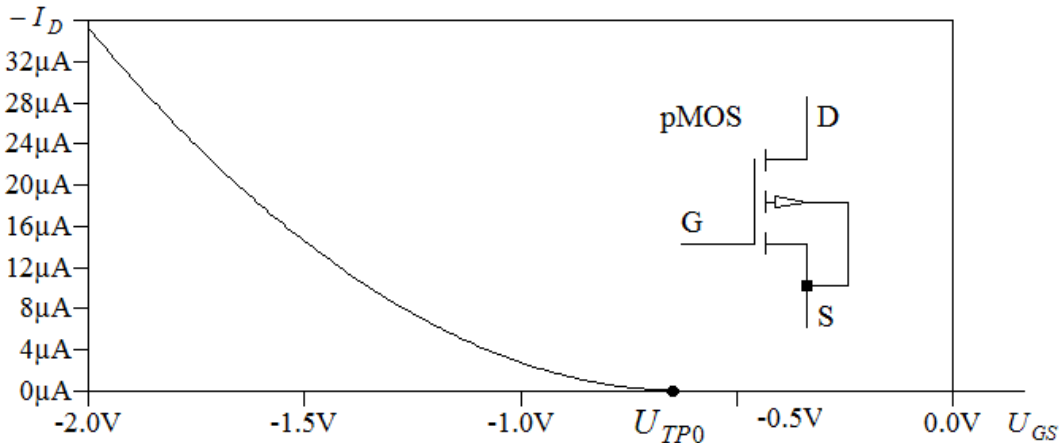


Фиг. 1-4. Зависимост на дрейновия ток I_D (в логаритмичен мащаб) от U_{GS} .

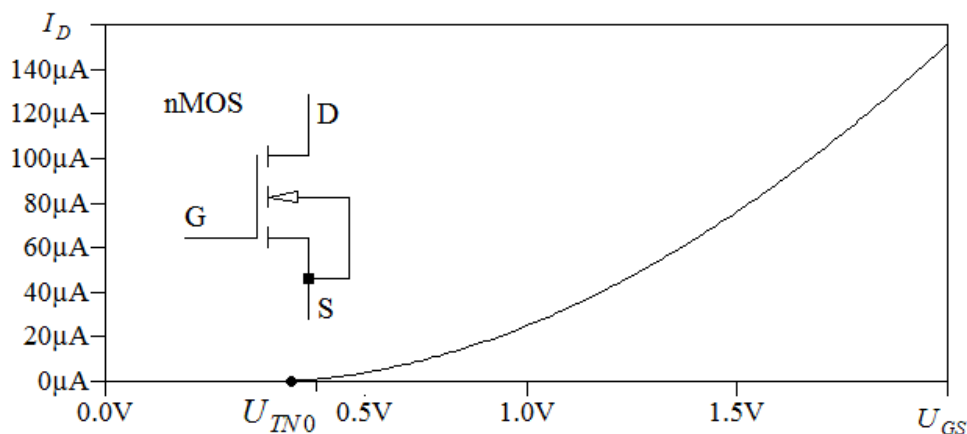
При проектирането на съвременните интегрални схеми най-често транзисторите работят в режим на силна инверсия. Напоследък, във връзка с тенденцията за проектиране на схеми с минимална консумация, се използват и транзистори, работещи в подпраговата област [1, 2].

1.3. Прагово напрежение на MOS транзисторите

Фигура 1-5а и фиг. 1-5б представят предавателните характеристики на nMOS и pMOS транзистори при $U_{DS} \geq U_{GS}$. С U_{TN0} и U_{TP0} са означени праговите напрежения на транзисторите, когато подложката B и сорсът S са свързани нахъсо. Ако между тези два извода е приложено напрежение в обратна посока, прагавото напрежение се променя и се означава с U_{TN} (U_{TP}).



Фиг. 1-5а. Предавателна характеристика на pMOS транзистор.



Фиг. 1-5б. Предавателна характеристика на nMOS транзистор.

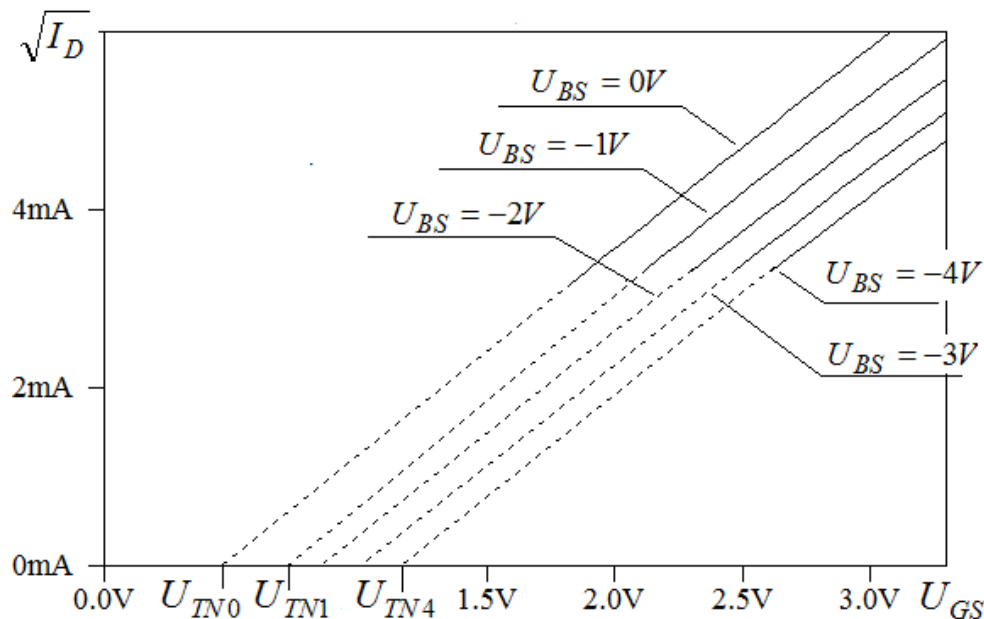
Типичните стойности на праговите напрежения при nMOS транзисторите варират между 0.2V (при $L_{min} = 20nm$) и 0.6V (при $L_{min} = 0.35\mu m$). При pMOS транзисторите тези стойности имат отрицателен знак. Праговите напрежения зависят от температурата и от конкретните размери на канала на транзисторите [5].

Фигура 1-6 представя линеаризираните предавателни характеристики на nMOS транзистор. Колкото потенциалът на подложката е по-отрицателен ($U_{BS} = 0, -1V, -2V, -3V, -4V$), толкова повече нараства прагавото напрежение ($U_{TN0}, U_{TN1}, \dots, U_{TN4}$). Това явление се нарича ефект на подложката.

Стойността на прагавото напрежение при различни стойности на U_{SB} може да се изчисли с формулата

$$U_{TN} = U_{TN0} + \gamma_n \left(\sqrt{U_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|} \right), \quad (1-1)$$

където U_{TN0} е праговото напрежение при свързани нахъсо сорс и подложка ($U_{SB} = 0$), γ_n е параметър на ефекта на подложката, ϕ_F е потенциал на Ферми. Обикновено $\gamma_n \approx (0.3 \div 0.8)V^{1/2}$ и $|2\phi_F| \approx 0.6V$.



Фиг. 1-6. Линеаризирани предавателни характеристики на nMOS транзистор при различни стойности на напрежението между подложката и сорса U_{BS} .

Съответното уравнение за праговото напрежение на pMOS транзистора е

$$U_{TP} = U_{TP0} - \gamma_p \left(\sqrt{U_{BS} + |2\phi_F|} - \sqrt{|2\phi_F|} \right) \quad (1-2)$$

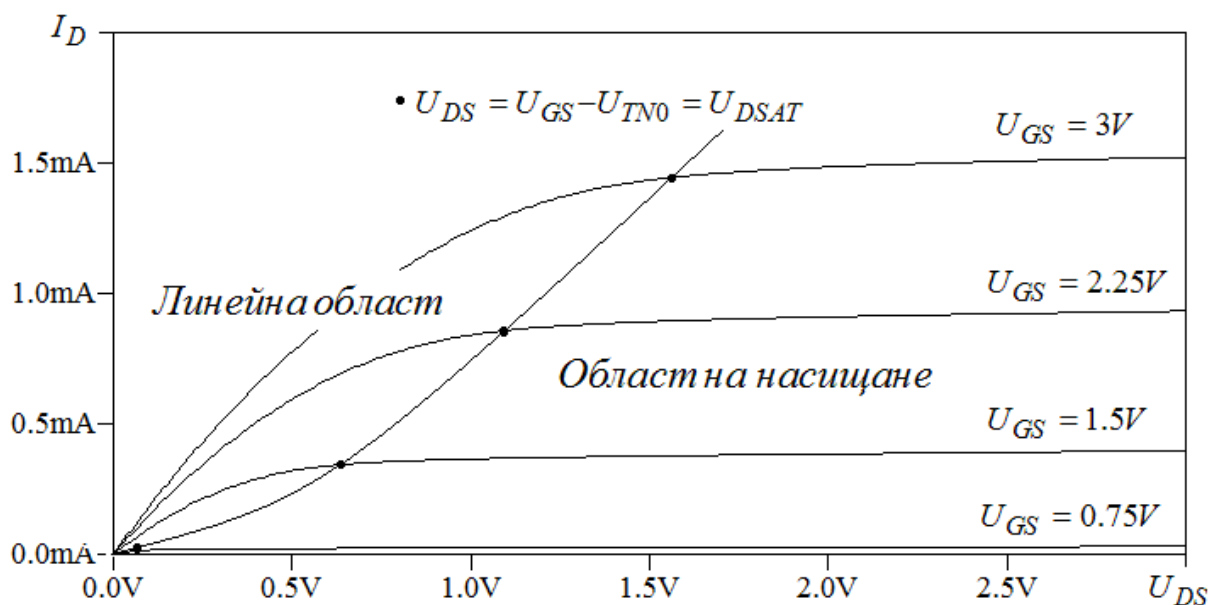
1.4. Работа в режим на силна инверсия

pMOS транзисторът работи в режим на силна инверсия, когато е изпълнено условието $U_{GS} \geq U_{TN} + \Delta$. При технологии с минимална дължина на канала между $0.35\mu\text{m}$ и $0.8\mu\text{m}$, $\Delta \approx 0.1V$ и следователно $U_{GS} - U_{TN} \geq \Delta \approx 0.1V$. Разликата $U_{GS} - U_{TN}$ се нарича “ефективно напрежение” и се бележи с U_{eff} .

Следователно транзисторът работи в режим на силна инверсия, когато

$$U_{eff} = U_{GS} - U_{TN} \geq 0.1V \quad (1-3)$$

На фиг. 1-7 са показани фамилията изходни характеристики на pMOS транзистор в режим на силна инверсия. Характеристиките са разделени на два участъка от парабола, представляваща геометрично място на точки, за които е изпълнено условието $U_{DS} = U_{GS} - U_{TN} = U_{DSAT} = U_{eff}$. U_{DSAT} се нарича *напрежение на насищане* и неговата стойност се променя с промяната на U_{GS} . Първият участък (вляво) се характеризира с почти линейна зависимост на тока от напрежението U_{DS} . Нарича се *линейна област (linear, ohmic, triode region)*. В другия участък токът е практически независим от напрежението U_{DS} . Нарича се *област на насищане (saturation, pinch-off)*, а по аналогия с биполярния транзистор понякога се употребява и изразът *активна (active) област*.



Фиг. 1-7. Изходна характеристика на pMOS транзистор в режим на силна инверсия.

По-долу ще бъдат разгледани основните зависимости и еквивалентни схеми на pMOS транзисторите при работа в линейната област и в областта на насищане. Те могат да бъдат приложени директно и за pMOS транзисторите, ако се приеме, че напреженията в тях са взети с абсолютните им стойности.

1.4.1. Работа в линейната област

Постояннотокови зависимости в линейната област

За да работи транзисторът в линейната област, е необходимо да са изпълнени неравенствата:

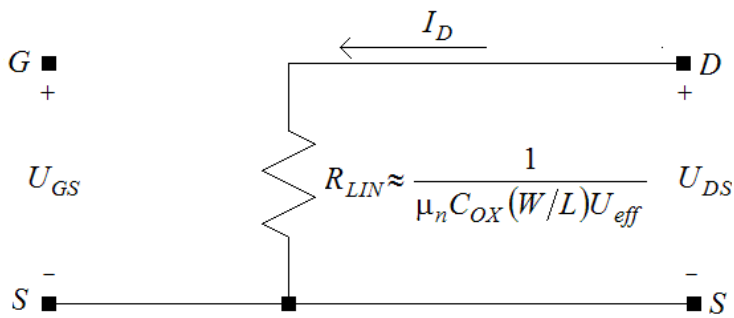
$$\left. \begin{aligned} U_{eff} = U_{DSAT} = U_{GS} - U_{TN} \geq 0.1V \\ U_{DS} < U_{eff} = U_{DSAT} = U_{GS} - U_{TN} \end{aligned} \right| \quad (1-4)$$

Уравнението за дрейновия ток в линейната област се дава с израза

$$I_D = \mu_n C_{OX} \frac{W}{L} \left(U_{GS} - U_{TN} - \frac{U_{DS}}{2} \right) U_{DS} = K_n \frac{W}{L} \left(U_{GS} - U_{TN} - \frac{U_{DS}}{2} \right) U_{DS}, \quad (1-5)$$

където μ_n е подвижността на електроните, C_{OX} е специфичният капацитет (капацитетът на единица площ) на окиса под гейта, W е широчината на канала, а L е дължината му. Обикновено произведението $\mu_n C_{OX}$ се бележи с K_n , а $\mu_p C_{OX}$ – с K_p . Коефициентите K_n и K_p се наричат фактор на стръмността.

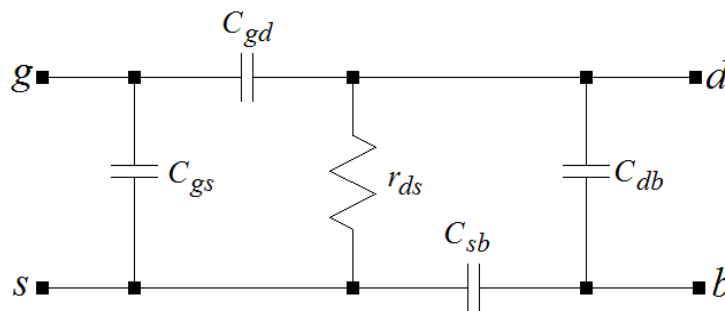
На фиг. 1-8 е показана постояннотоковата еквивалентна схема на pMOS транзистор в линейната област. Транзисторът е моделиран със съпротивлението R_{LIN} , което практически не зависи от U_{DS} .



Фиг. 1-8. Еквивалентна схема на nMOS транзистор по постоянен ток в линейната област.

Физична еквивалентна схема за малки сигнали в линейната област

Физичната еквивалентна схема за малки сигнали в линейната област се състои от резистор и четири паразитни кондензатора (фиг. 1-9). При работа в областта на ниските честоти кондензаторите могат да се пренебрегнат.



Фиг. 1-9. Физична еквивалентна схема за малки сигнали в линейната област.

В разглежданата схема r_{ds} е диференциалното изходно съпротивление между дрейна и сорса. Реципрочната му стойност g_{ds} е изходната проводимост. C_{gs} и C_{gd} са паразитните MOS кондензатори гейт-сорс и гейт-дрейн. C_{sb} и C_{db} представят бариерните capacitети на обратно свързаните преходи сорс-подложка и дрейн-подложка. Техните стойности се определят от площите на дъното и страничните стени на областите на дрейна и сорса. Приблизителните уравнения за стойностите на елементите от еквивалентната схема са [7]:

$$r_{ds} = \frac{1}{g_{ds}} = \left. \frac{dU_{DS}}{dI_D} \right|_{U_{GS}=const.} = \frac{1}{K_n \frac{W}{L} (U_{GS} - U_{TN} - U_{DS})} \approx \frac{1}{K_n \frac{W}{L} U_{eff}} \quad (1-6)$$

$$C_{gs} = C_{gd} = \frac{WL}{2} C_{OX} + WL_D C_{OX} ; \quad C_{sb} = C_{db} = \frac{C_{j0} (A_{S(D)} + WL/2)}{\sqrt{1 + \frac{U_{SB(DB)}}{\Phi_0}}}$$

където C_{OX} е специфичният капацитет на окиса под гейта; L_D е припокриването на гейта и сорса (или гейта и дрейна); C_{j0} е специфичният бариерен капацитет на областта между сорса (дрейна) и подложката; $A_{S(D)}$ е площта на сорса (дрейна); $U_{SB(DB)}$ е напрежението между сорса (дрейна) и подложката; Φ_0 е контактната потенциална разлика на прехода.

1.4.2. Работа в областта на насищане

Постояннотокови зависимости в областта на насищане

За да работи транзисторът в областта на насищане, е необходимо:

$$\left. \begin{aligned} U_{eff} = U_{DSAT} = U_{GS} - U_{TN} \geq 0.1V \\ U_{DS} \geq U_{eff} = U_{DSAT} = U_{GS} - U_{TN} \end{aligned} \right| \quad (1-7)$$

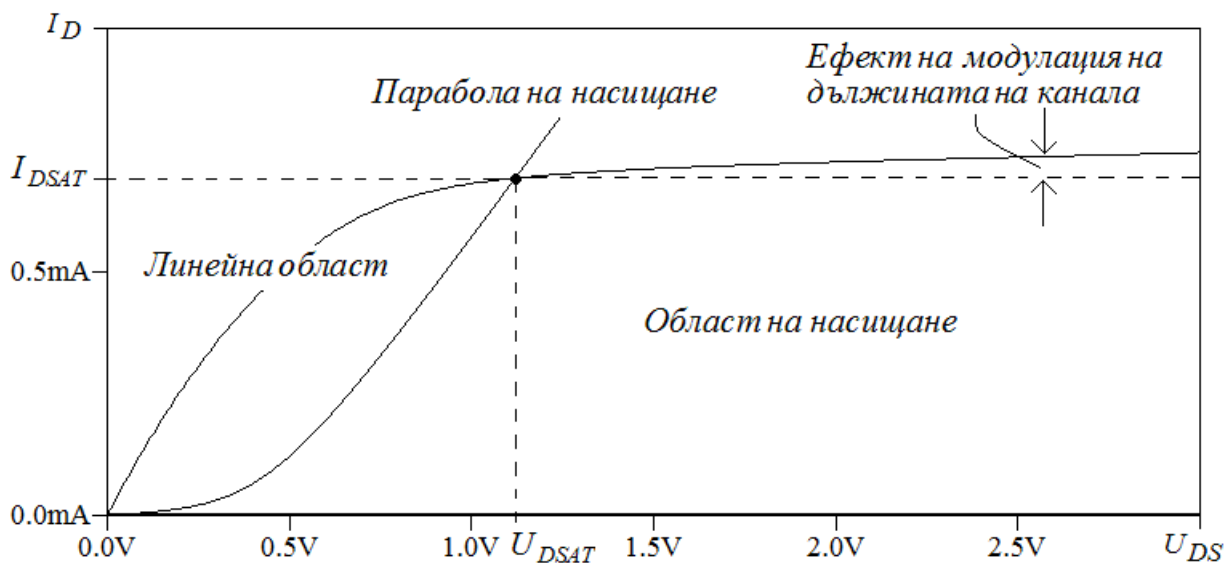
Дрейновият ток на насищане I_{DSAT} е токът при преминаването от линейната област в областта на насищане (при $U_{DS} = U_{DSAT}$) (фиг. 1-10). Неговата стойност се дава с израза

$$I_{DSAT} = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (U_{GS} - U_{TN})^2 = \frac{K_n}{2} \frac{W}{L} (U_{GS} - U_{TN})^2 \quad (1-8)$$

Фигура 1-10 представя изходната характеристика на nMOS транзистор при $U_{GS} = const.$ Вижда се, че при нарастване на U_{DS} дрейновият ток I_D се увеличава спрямо I_{DSAT} . Това явление се нарича ефект на модулация на дължината на канала. За да се отчете наклонът на изходната характеристика се въвежда параметърът λ , който се нарича коефициент на модулация на дължината на канала. Тогава формулата за дрейновия ток добива вида [7]

$$\begin{aligned} I_D &= \frac{\mu_n C_{ox}}{2} \frac{W}{L} (U_{GS} - U_{TN})^2 [1 + \lambda(U_{DS} - U_{DSAT})] = \\ &= I_{DSAT} [1 + \lambda(U_{DS} - U_{DSAT})] \end{aligned} \quad (1-9)$$

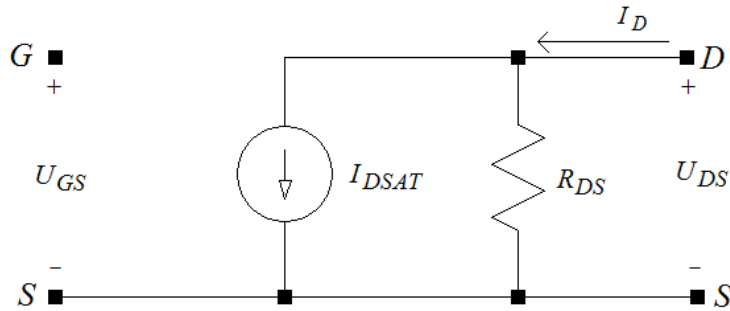
Стойността на λ е обратнопропорционална на дължината на канала L . Най-често варира в границите $0.01 \div 0.1 V^{-1}$, което означава, че влиянието на U_{DS} е сравнително слабо. Затова при началните ръчни пресмятания много често за I_D се използва формула (1-8).



Фиг. 1-10. Изходна характеристика на nMOS транзистор.

На фиг. 1-11 е показана постояннотоковата еквивалентна схема на nMOS транзистор в областта на насищане. Тя се основава на уравнение (1-9) и включва източник на ток I_{DSAT} , управляван от напрежение и резистор:

$$R_{DS} \approx \frac{U_{DS} - U_{DSAT}}{I_{DSAT} \lambda (U_{DS} - U_{DSAT})} = \frac{1}{\lambda I_{DSAT}} \quad (1-10)$$

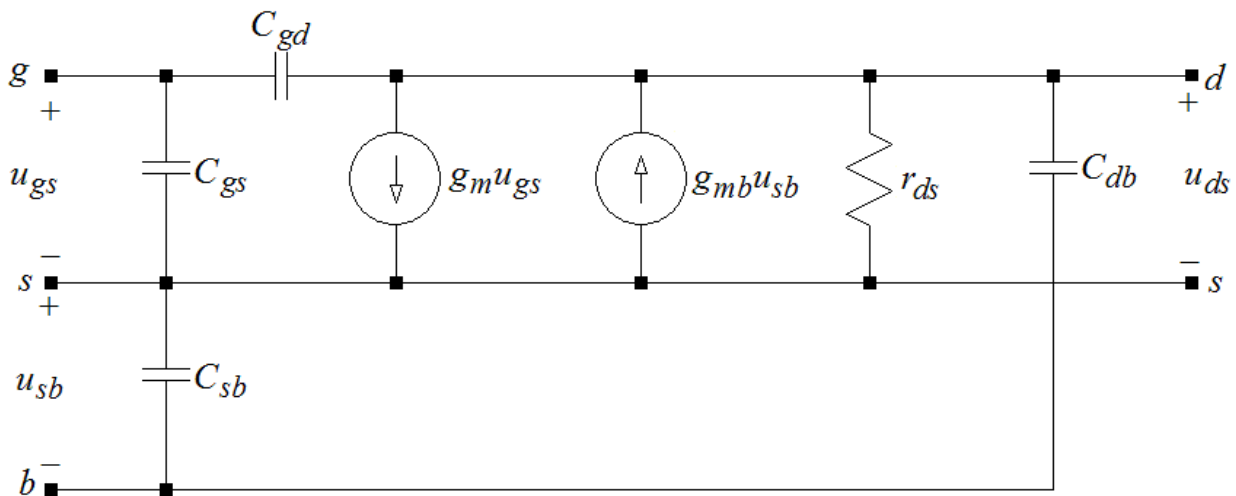


Фиг. 1-11. Постояннотокова еквивалентна схема на nMOS транзистор в областта на насищане.

Ако за моделиране се използва уравнение (1-8), еквивалентната схема се опростява само до източник на ток I_{DSAT} , управляван от напрежение.

Физична еквивалентна схема за малки сигнали в областта на насищане

Физичната еквивалентна схема на транзистора в областта на насищане за малки сигнали и високи честоти е показана на фиг. 1-12.



Фиг. 1-12. Физична еквивалентна схема на транзистора за малки сигнали в областта на насищане при високи честоти.

Източникът на ток $g_m u_{gs}$ е основен компонент на модела. Той представя зависимостта на изходния променлив ток от входното променливо напрежение. g_m се нарича стръмност на транзистора. Вторият източник $g_{mb} u_{sb}$ моделира ефекта на подложката – намаляването на изходния променлив ток на транзистора при наличие на напрежение между сорса и подложката. g_{mb} се нарича стръмност спрямо подложката. Диференциалното съпротивление r_{ds} представя изходното съпротивление на транзистора.

След диференциране на уравнение (1-9) се получава:

$$g_m = \left. \frac{dI_D}{dU_{GS}} \right|_{U_{DS}=const.} \approx K_n \frac{W}{L} U_{eff} = \sqrt{2K_n \frac{W}{L} I_D} = \frac{2I_D}{U_{eff}} \quad (1-11)$$

$$g_{ds} = \frac{1}{r_{ds}} = \left. \frac{dI_D}{dU_{DS}} \right|_{U_{GS}=const.} = \lambda_n \frac{K_n}{2} \frac{W}{L} U_{eff}^2 = \lambda_n I_{DSAT} \approx \lambda_n I_D$$

Стръмността спрямо подложката е [7]:

$$g_{mb} = \left. \frac{dI_D}{dU_{SB}} \right|_{U_{DS}=const} = \frac{dI_D}{dU_{TN}} \frac{dU_{TN}}{dU_{SB}} = \frac{\gamma g_m}{2\sqrt{U_{SB} + |2\phi_F|}} \quad (1-12)$$

Обикновено стойността на g_{mb} е около $(10 \div 20)\%$ от стойността на g_m .

Паразитните кондензатори в схемата се дефинират, както следва – C_{gd} представлява капацитетът на припокриване между гейта и дрейна; C_{gs} включва капацитета на припокриване между гейта и сорса плюс част от капацитета между гейта и подложката; C_{db} и C_{sb} са бариерните капацитети на преходите подложка-дрейн и подложка-сорс. За ръчното пресмятане на капацитетите на паразитните кондензатори се използват изразите [7]:

$$C_{gs} = \frac{2}{3} WLC_{OX} + WL_D C_{OX}; \quad C_{gd} = WL_D C_{OX};$$

$$C_{sb} = (A_S + WL)C_{js} + P_S C_{j-sw}; \quad C_{db} = A_D C_{jd} + P_D C_{j-sw};$$

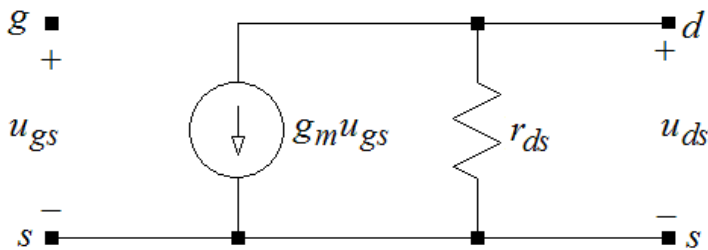
$$C_{js} = \frac{C_{j0}}{\sqrt{1 + U_{SB}/\Phi_0}}; \quad C_{jd} = \frac{C_{j0}}{\sqrt{1 + U_{DB}/\Phi_0}}; \quad C_{j-sw} = \frac{C_{j-sw0}}{\sqrt{1 + U_{SB}/\Phi_0}}. \quad (1-13)$$

В горните формули C_{OX} е специфичният капацитет на окиса под гейта; L_D е дължината на припокриването на гейта и сорса (и гейта и дрейна); A_S (A_D) е площта на сорса (дрейна); P_S (P_D) е периметърът на сорсовия (дрейновия) преход; C_{js} (C_{jd}) е бариерният капацитет на сорсовия (дрейновия) преход; C_{j0} е специфичният капацитет на единица площ на сорсовия (дрейновия) преход; C_{j-sw} е специфичният капацитет на единица дължина на страничните стени на дрейна (сорса); C_{j-sw0} е специфичният капацитет на единица дължина на страничните стени на дрейна (сорса) при напрежение $0V$; Φ_0 е контактната потенциална разлика.

Много често проектантите се отказват да изчисляват ръчно стойностите на горните капацитети, разчитайки да ги получат при симулирането на схемата.

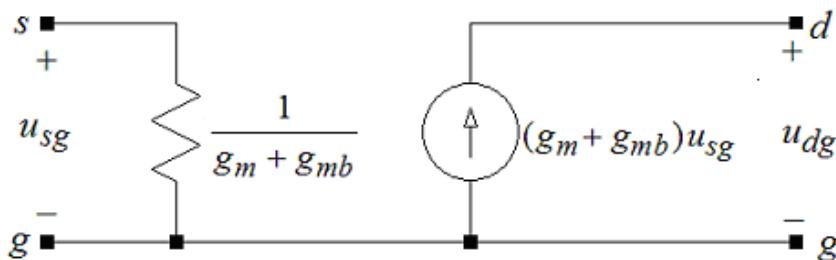
На фиг. 1-13 е показана опростената еквивалентна схема на MOS транзистор при свързване в общ сорс в областта на насищане, при ниски честоти. Липсват кондензаторите и вторият източник $g_{mb}u_{sb}$, който се

пренебрегва спрямо основния. Схемата дава задоволителни резултати при предварителните ръчни пресмятания на CMOS усилвателните стъпала.



Фиг. 1-13. Опростена еквивалентна схема на MOS транзистор в свързване с общ сорс, при ниски честоти.

На фиг. 1-14 е представена опростената еквивалентна схема на MOS транзистора в свързване с общ гейт в областта на насищане, при ниски честоти. Получена е от предишния модел чрез подходящи трансформации. Състои се от входно съпротивление и източник на ток, управляван от напрежение.

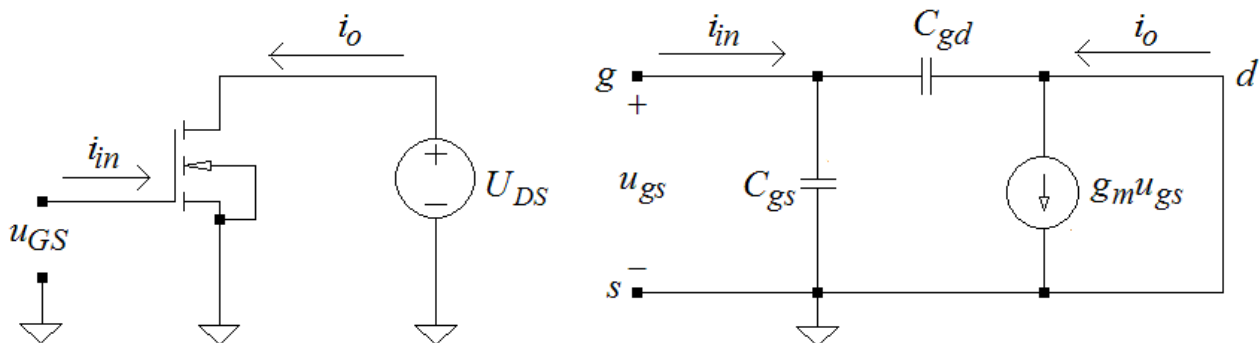


Фиг. 1-14. Опростена еквивалентна схема на MOS транзистор в свързване с общ гейт, при ниски честоти.

1.4.3. Гранична честота

Поведението на транзистора при високи честоти се определя от стойностите на капацитетите на кондензаторите във високочестотния модел (фиг. 1-12). Наличието на паразитни кондензатори води до появата на входен гейтов ток, който нараства с повишаване на честотата. Граничната честота f_T се дефинира, като честотата, при която отношението между изходния и входния ток на транзистор, свързан с общ сорс и накъсо свързан изход, спада до 1.

Това е демонстрирано на фиг. 1-15. Вляво е схемата на свързване на транзистора. u_{GS} е сумата от постоянното U_{GS} и променливото u_{gs} входно напрежение. Вдясно е показана еквивалентната схема по променлив ток с отчитане на паразитните капацитети C_{gs} и C_{gd} .



Фиг. 1-15. Определяне на граничната честота f_T на транзистора.

От условието за равенство на входния и изходния ток следва [2]:

$$\frac{i_o}{i_{in}} = \frac{g_m u_{gs}}{2\pi f_T (C_{gs} + C_{gd}) u_{gs}} = 1$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} = \frac{\mu_n C_{OX} \frac{W}{L} (U_{GS} - U_{TNO})}{2\pi \left(\frac{2}{3} W L C_{OX} + W L_D C_{OX} + W L_D C_{OX} \right)} \approx \frac{3}{4} \frac{\mu_n U_{eff}}{\pi L^2} \quad (1-14)$$

От (1-14) може да се направи изводът, че високи стойности на граничната честота могат да се получат при високи ефективни напрежения и къси канали.

1.4.4. Размери на транзисторите при проектиране на аналогови схеми

В съвременните цифрови интегрални схеми се използват транзистори с минимално допустимата дължина на канала L_{min} , характерна за използваната технология. Това позволява постигането на висока плътност на елементите и реализация на сложни компютърни архитектури върху чипа.

Стремежът за интегриране на всички функции по обработка на сигналите в един чип налага към цифровите функции на схемите да се добавят и аналогови. Но използването на транзистори с минимално допустимата дължина на канала за реализация на аналоговата част от схемите е невъзможно, особено при настоящите технологии с “къс канал” (*short channel*), при които $L_{min} < 1\mu m$. При тях се проявяват редица нежелателни ефекти, които влошават характеристиките на аналоговите стъпала [2, 3, 5, 6].

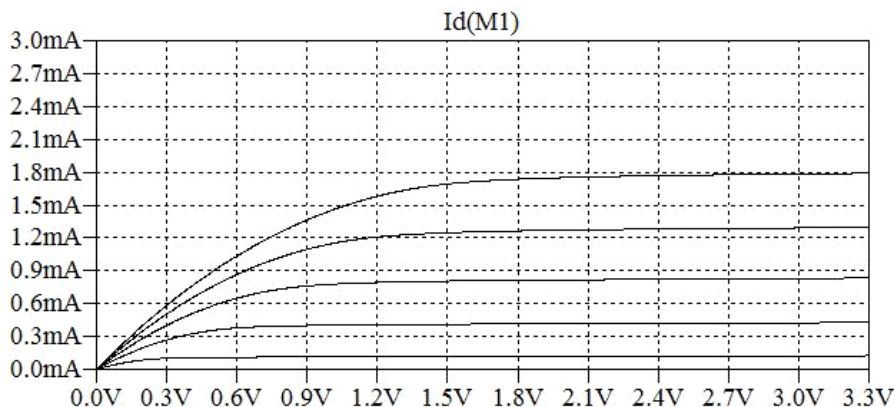
Например, докато в цифровите схеми транзисторите работят като ключове, в аналоговите те се използват за усилване и обработване на непрекъснати сигнали. Транзисторите с минимално допустимата дължина на канала имат ниско изходно съпротивление (поради голямата стойност на коефициента λ), което не позволява получаването на голямо усилване.

Основните зависимости при транзисторите с “къс канал” се различават значително от представените в т. 1.4. На фиг. 1-16а са показани изходните характеристики на транзистор с отношение на размерите $W/L=10$ и дължина на канала $L = 0.5\mu m$, а на фиг. 1-16б – изходните характеристики на транзистор със същото отношение W/L и дължина на канала $L = 3\mu m$.

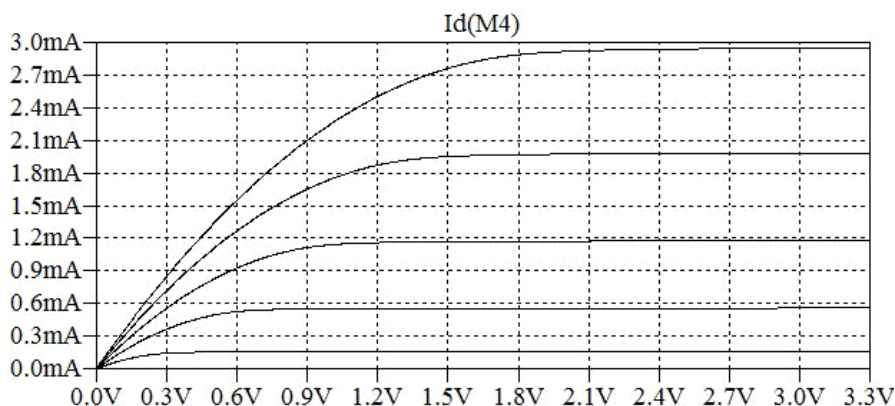
Двете характеристики са получени по една и съща технология (0.35 μm AMS), при едни и същи стойности на параметъра U_{GS} и съгласно (1-9) би трябвало да са еднакви. На практика при първата графика токовете са значително по-малки и се променят по-скоро линейно при равномерното нарастване на U_{GS} . При втората графика характеристиките съответстват в много голяма степен на уравнение (1-9).

За съгласуване на резултатите от симулацията на транзисторите с “къс канал” уравнение (1-9) може да се усложни, като в него се включват допълнителни коригиращи коефициенти [2, 3, 4, 6]. Това затруднява

използването му при предварителното ръчно оразмеряване на схемата. Предварителните изчисления имат за задача да определят приблизителни стойности на токовете в схемата и размерите на транзисторите. Точните им стойности се получават чрез процедури на компютърен анализ и симулиране. Както посочихме в т. 1.4, с оглед опростяване на първоначалните изчисления вместо формула (1-9) обикновено се използва (1-8). Ето защо подходът с усложняване на (1-9) не се използва често.



Фиг. 1-16а. Изходни характеристики на транзистор с отношение на размерите $W/L=10$ и дължина на канала $L=0.5\mu\text{m}$ ($L_{\text{min}}=0.35\mu\text{m}$).



Фиг. 1-16б. Изходни характеристики на транзистор с отношение на размерите $W/L=10$ и дължина на канала $L=3\mu\text{m}$ ($L_{\text{min}}=0.35\mu\text{m}$).

Друга възможност за избягване на недостатъците, демонстрирани на фиг. 1-16, е да се използват транзистори с дължина на канала неколкосткратно по-голяма от минимално допустимата – т.е. каналът изкуствено да се направи “дълъг” [1, 2, 4, 6]. **Общото правило е, че дължината на канала на транзисторите при проектирането на усилвателни стъпала трябва да бъде поне 2 до 8 пъти по-голяма от минимално допустимата дължина L_{min} , зададена от технологията.**

За проектирането и симулациите на аналогови схеми в лабораторните упражнения ще бъде използвана $0.35\mu\text{m}$ CMOS технология на AMS (AustriaMicroSystems). Минимално допустимата дължина на канала на транзисторите при нея е $0.35\mu\text{m}$. **За нашата работа ще използваме транзистори с дължина на канала, равна или по-голяма от $2\mu\text{m}$.** Това ще осигури по-добро съответствие между предварителните пресмятания на схемите и резултатите от симулирането им и ще подобри параметрите на

проектираните усилвателни стъпала, като елиминира голяма част от нежеланите ефекти на “късия канал”. Недостатък на този избор е понижаването на граничните честоти на схемите и повишаването на площта им. За учебни цели постигането на “върхови” резултати не е най-съществената задача за студентите. В този случай най-важно е те да добият първоначален практически опит и да осмислят основните връзки и зависимости между параметрите и размерите на транзисторите и характеристиките на схемите.

1.4.5. Вариации на параметрите на транзисторите

Технологичният процес при производството на интегрални схеми се характеризира с вариации на параметрите температура, налягане и др. Това води до вариации и на параметрите на реализираните интегрални елементи. На практика при всяко ново стартиране на производствения процес едни и същи интегрални елементи се получават с различни параметри. Същото се отнася и до елементите, реализирани едновременно, но върху различни пластини, както и на различни места върху една и съща пластина. Като резултат стойностите на праговото напрежение и факторът на стръмността се отклоняват значително от тяхната номинална (типична) стойност. Повечето параметри следват нормалното Гаусово разпределение. Характеризират се с номинална стойност, при която честотата на появяване е максимална. Средноквадратичното отклонение $\pm s$ (*sigma*) от тази стойност обхваща 68.3% от всички измерени стойности. Ако отклонението е три пъти по-голямо ($\pm 3s$), се включват 99.73% от всички измервания.

Целта на проектирането е да се създадат схеми, които да са работоспособни при вариации на параметрите на елементите поне до $\pm 3s$.

Проверката на работоспособността може да се извърши с Монте Карло симулации, при което параметрите на елементите варират на случаен принцип съгласно закона на разпределение. По този начин се получават най-разнообразни комбинации от стойности на параметрите на различните елементи и се имитира реалният процес на производство.

В практиката най-често се използва по-прост подход, наречен анализ в най-лош случай (*worst case*). За целта параметрите на елементите се комбинират в групи, представящи техните екстремни стойности (с отклонение $\pm 2s$ или $\pm 3s$). За CMOS транзисторите се дефинират четири гранични комбинации от “бавни (*slow*)” и “бързи (*fast*)” nMOS и pMOS транзистори, както и стандартната комбинация с типичните им средни стойности (*typical nMOS, typical pMOS*). Означават се, както следва:

- tm – typical mean condition (*typical nMOS, typical pMOS*)
- wo – worst case one condition (*fast nMOS, slow pMOS*)
- wz – worst case zero condition (*slow nMOS, fast pMOS*)
- wp – worst case power condition (*fast nMOS, fast pMOS*)
- ws – worst case speed condition (*slow nMOS, slow pMOS*)

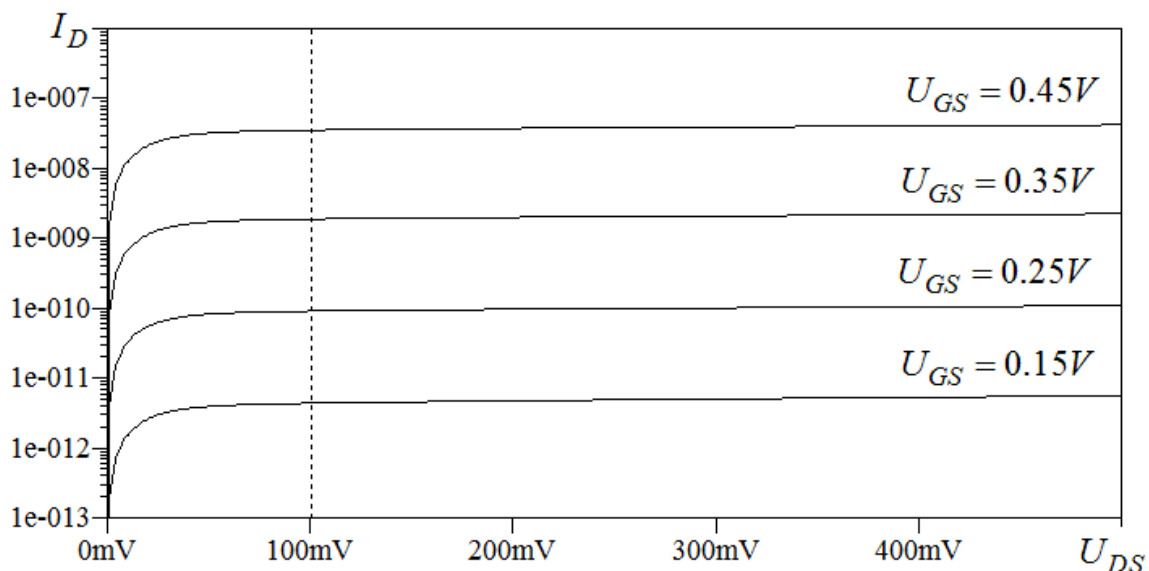
Бавните транзистори (*slow nMOS* и *slow pMOS*) се характеризират с високо прагово напрежение и по-нисък фактор на стръмността от параметрите на типичните модели (*typical nMOS, typical pMOS*). За бързите транзистори (*fast*

nMOS и *fast pMOS*) са в сила обратните зависимости. Симулацията се провежда в ”четирите ъгъла” (*w0*, *wz*, *wr* и *ws*). Приема се, че схемата е работоспособна, ако изпълнява изискванията на заданието и при четирите гранични комбинации. Разгледаният метод се прилага най-често при цифровите схеми.

На практика е почти невъзможно няколко независими променливи да се установят едновременно в техните ”най-лоши” стойности. Затова описаната техника на анализ е прекалено песимистична, но е полезна като средство за бързо тестване и при аналоговите схеми.

1.5. Работа в режим на слаба инверсия

На фиг.1-17 са показани изходните характеристики на *nMOS* транзистор с прагово напрежение $U_{TN0} \approx 0.45V$ в режим на слаба инверсия ($U_{GS} - U_{TN} < 0.1V$). Мащабът по ординатната ос е логаритмичен.



Фиг.1-17. Изходна характеристика при работа на транзистора в режим на слаба инверсия.

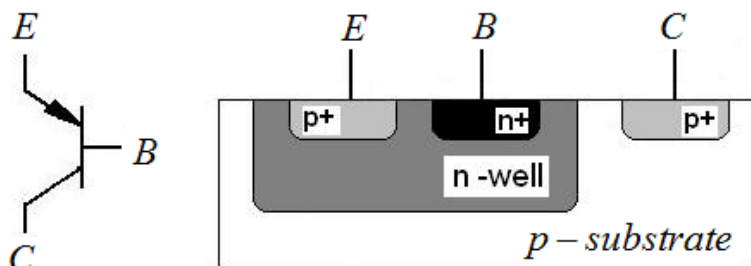
За стойности на $U_{DS} \geq 4\phi_T \approx 100mV$ изменението на логаритъма на тока е правопрпорционално на промяната на входното напрежение. Това се определя от експоненциалния характер на зависимостта на дрейновия ток I_D от напрежението между гейта и сорса U_{GS} [7]:

$$I_D \cong I_{D0} \frac{W}{L} \exp\left(\frac{U_{GS} - U_{TN}}{n\phi_T}\right), \quad \text{където} \quad n = 1 + \frac{C_{j0}}{C_{OX}} \quad (1-15)$$

Константата I_{D0} зависи от технологията и има стойност няколко десетки *nA*. C_{j0} е специфичният капацитет между подложката и сорса. Стойността на n е около 1.5. Поради малките токове, които текат през транзисторите, разглежданият режим се характеризира с малки стойности на стръмността $g_m = I_D/n\phi_T$ и ограничена честотна лента. Съгласуването на транзисторите е по-трудно. Затова *MOS* транзисторите се използват в подпраговата област рядко, главно при приложения с ниска консумация и ниски честоти.

1.6. Биполярни транзистори в CMOS технологията

1.6.1. Вертикален *pnp* транзистор



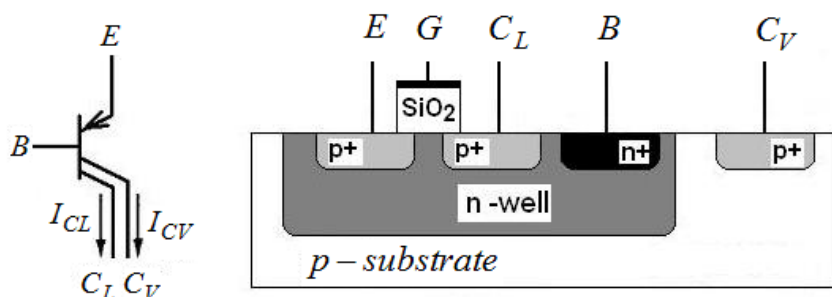
Фиг. 1-18. Вертикален *pnp* транзистор.

На фиг. 1-18 е показан вертикален *pnp* транзистор, реализиран в стандартна CMOS технология. Подложката (*substrate*) е от *p*-тип и играе ролята на колектор *C*. Джебът (*n-well*), необходим за реализация на *pMOS* транзисторите, се използва за база *B*, а *p+* областта за сорс (дрейн) е емитер *E*. Ако подложката е от *n*-тип, съответният транзистор, който може да се получи, е *npn*.

Основният недостатък при този тип транзистори е, че техният колектор съвпада с подложката на чипа, която задължително трябва да се свърже към единия от изводите на захранващото напрежение.

1.6.2. Хоризонтален биполярен транзистор

Фигура 1-19 представя хоризонтален *pnp* транзистор, реализиран в стандартна CMOS технология.



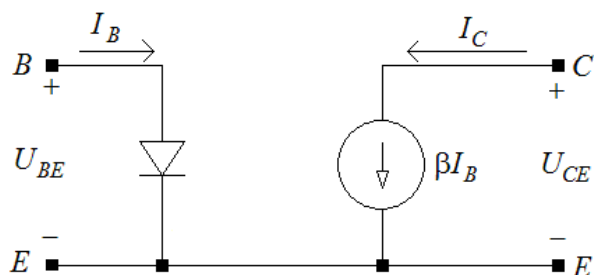
Фиг.1-19. Хоризонтален *pnp* транзистор.

n-дебът (*n-well*) се използва за база *B*, *p+* дифузията за сорс и дрейн служи за емитер *E* и хоризонтален колектор *CL*. Следователно емитерът и колекторът отговарят на сорса и дрейна на паразитен *pMOS* транзистор. За да се забрани работата му, е създаден гейт *G*, който е свързан към най-положителния потенциал в схемата. По този начин формирането на канал между емитера и колектора става невъзможно. Широчината на базата съответства на дължината на канала на *MOS* транзистора. Тя може да бъде много малка, така че β_T и f_T да бъдат с много големи стойности.

Недостатък на структурата е появата на вертикалния паразитен транзистор. Неговите емитер и база са същите като на хоризонталния транзистор, но колектор е подложката (фиг. 1-18). Това води до появата на нежелан ток I_{CV} , който в доста случаи е съизмерим с основния ток I_{CL} . За да се минимизират загубите, се налага да се прилагат специфични топологични решения.

1.6.3. Постояннотокови зависимости в биполярните транзистори

На фиг. 1-20 е показана опростена постояннотокова еквивалентна схема на *pnp* транзистор, работещ в активната област. Моделът за *pnp* транзистора е подобен, само трябва да се инвертират полярностите на напреженията и посоките на токовете.



Фиг.1-20. Постояннотокова еквивалентна схема на *pnp* транзистор.

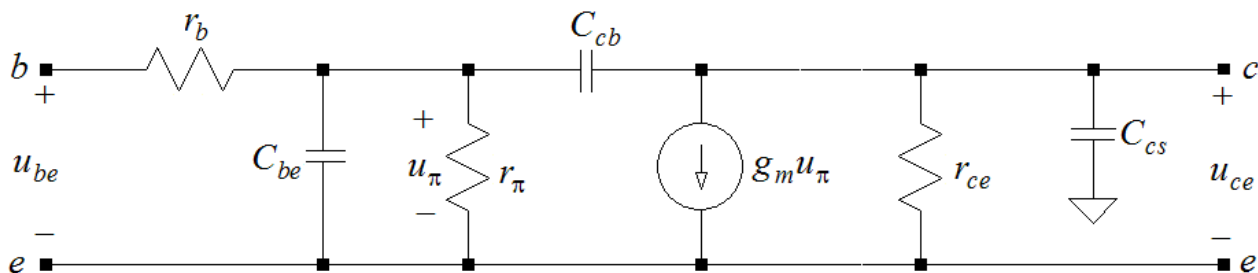
Основните постояннотокови уравнения са представени в (1-16). Условието за работа на транзистора в активната област са $U_{BE} \geq 0.5V$ и $U_{CE} \geq 0.3V$. Плътността на тока на насищане J_S , коефициентът на усилване β_F , коефициентът на предаване α_F и напрежението на Ерли U_{AF} са параметри на технологичния процес. A е площта на емитера – определя се от проектанта. При ръчни пресмятания емитерният и колекторният ток се приемат за равни, а отношението U_{CE}/U_{AF} се пренебрегва.

$$\begin{aligned}
 I_E &= I_C + I_B \approx I_C; \\
 \beta_F &= \frac{\alpha_F}{1 - \alpha_F}; \\
 \alpha_F &= \frac{\beta_F}{1 + \beta_F}; \\
 I_C &= J_S A \exp\left(\frac{U_{BE}}{\varphi_T}\right) \left(1 + \frac{U_{CE}}{U_{AF}}\right); \\
 I_B &= \frac{J_S}{\beta_F} A \exp\left(\frac{U_{BE}}{\varphi_T}\right); \\
 U_{BE} &\approx \varphi_T \ln \frac{I_C}{J_S A}.
 \end{aligned}
 \tag{1-16}$$

1.6.4. Физична еквивалентна схема на биполярния транзистор

Физичната еквивалентна схема на биполярния транзистор при малки сигнали е показана на фиг. 1-21. Тя се състои от: r_b - съпротивление на полупроводника между базовия контакт и ефективната базова област, $r_b \approx (20 \div 200)\Omega$; C_{be} - капацитет на емитерния преход; C_{cb} - капацитет на колекторния преход; C_{cs} - капацитет на прехода колектор-подложка; r_π -

диференциално съпротивление на емитерния преход; g_m - стръмност, r_{ce} - диференциално изходно съпротивление; C_{j0} - бариерен капацитет на единица площ.



Фиг. 1-21. Физична еквивалентна схема на биполярен транзистор.

Изразите за отделните величини са [7]:

$$r_{\pi} = \left. \frac{dU_{BE}}{dI_B} \right|_{U_{CE}=\text{const.}} = \frac{\Phi_T}{I_B} = \frac{\beta_F}{g_m};$$

$$r_{ce} = \left. \frac{dU_{CE}}{dI_C} \right|_{I_B=\text{const.}} \approx \frac{U_{AF}}{I_C};$$

$$g_m = \left. \frac{dI_C}{dU_{BE}} \right|_{U_{CE}=\text{const.}} = \frac{I_C}{\Phi_T} = \frac{\beta_F}{r_{\pi}};$$

$$C_{be} \cong C_j + C_d = 2A_E C_{je0} + g_m \tau_b;$$

$$C_{cs} = \frac{A_T C_{js0}}{\left(1 + \frac{U_{CS}}{\Phi_{S0}}\right)^{1/2}};$$

$$C_{cb} = \frac{A_C C_{jc0}}{\left(1 + \frac{U_{CB}}{\Phi_{C0}}\right)^{1/3}}$$

, (1-17)

където A_E, A_C, A_T са площите на емитерния преход, прехода колектор-база и прехода колектор-подложка. C_j и C_d са бариерният и дифузият капацитет. $C_{je0}, C_{jc0}, C_{js0}$ са бариерните капацитети на единица площ за емитерния преход, прехода колектор-база и прехода колектор-подложка. Φ_{s0}, Φ_{c0} са контактните потенциални разлики на преходите колектор-подложка и колектор-база, τ_b е времето на живот на токоносителите в базата.

Упражнение № 1

Запознаване с основните характеристики на 0.35 μ m CMOS технология на AMS (AustriaMicroSystems)

Задача 1. Разгледайте BSIM3v3 *typical mean condition* моделите (*tm*-моделите) на nMOS и pMOS транзисторите от 0.35 μ m CMOS технология на AMS. Анализирайте структурата и посочете основните блокове в описанието на моделите. Посочете основните им параметри.

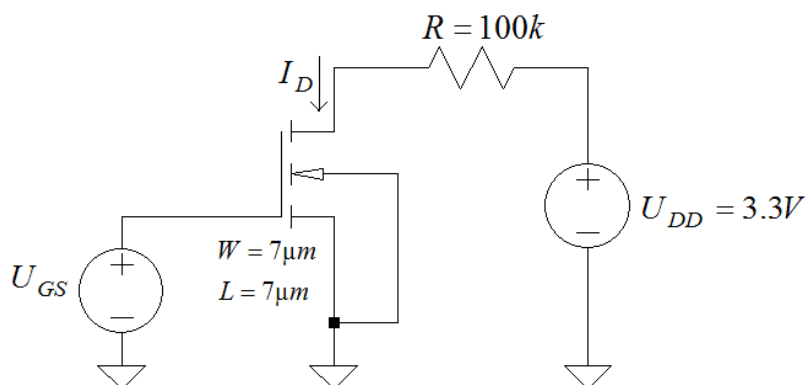
Задача 2. С помощта на *tm*-моделите симулирайте зависимостта на дрейновия ток I_D на nMOS и pMOS транзистори с $W/L=10$ от напрежението между гейта и сорса U_{GS} при $U_{DS} = 3.3V$. Представете резултатите в логаритмичен мащаб по оста I_D . Посочете областите на слаба инверсия (*weak inversion*) и силна инверсия (*strong inversion*). Определете диапазона на изменение на токовете в двете области.

Задача 3. Изследвайте изходните характеристики на nMOS и pMOS транзистори с $W/L=10$ в режим на слаба инверсия. Дефинирайте областите на работа на транзисторите и посочете границата между тях. Как се променя дрейновият ток на насищане при еднакви стъпални изменения на гейтовото напрежение?

Задача 4. Определете чрез симулация граничната честота f_T на nMOS и pMOS транзисторите от изследваната технология. Изследвайте зависимостта на f_T от L и U_{eff} .

Задача 5. За представената схема с товарен резистор (фиг. 1-22) симулирайте зависимостта на дрейновия ток I_D на nMOS транзистора от напрежението между гейта и сорса U_{GS} и начертайте зависимостите: $I_D = f(U_{GS})$; $\sqrt{I_D} = f(U_{GS})$; $\ln(I_D) = f(U_{GS})$; $U_{DS} = f(U_{GS})$ и $g_m = f(U_{GS})$. От получените графики определете ориентировъчната стойност на праговото напрежение. Посочете областите на слаба инверсия (*weak inversion*) и силна инверсия (*strong inversion*). В областта на силна инверсия посочете линейната (*linear*) област и областта на насищане (*saturation*). Анализирайте получените резултати.

Повторете изследванията за pMOS транзистор.



Фиг. 1-22.
Схема с товарен резистор.

Упражнение № 2

Симулиране на основните характеристики на CMOS транзистори от 0.35 μ m CMOS технология на AMS

Задача 1. Предложете схема и симулирайте предавателните (проходните) характеристики на nMOS и pMOS транзистори с отношение $W/L=10$ при $U_{DS} = 0.75V, 1.5V, 2.25V$ и $3V$. За целта използвайте *tm*-модела. Анализирайте получените графики и определете ориентировъчно праговете напрежения и областите на работа на транзисторите.

Задача 2. Като използвате *tm*-модела, симулирайте и анализирайте предавателните характеристики на транзисторите от Задача 1 за температурния диапазон между $-40^{\circ}C$ и $+120^{\circ}C$ при $U_{DS} = 3.3V$. Определете ориентировъчната стойност на температурния коефициент на праговото напрежение на транзисторите.

Задача 3. Предложете схема и симулирайте изходните характеристики на nMOS и pMOS транзистори, работещи в силна инверсия при отношение $W/L=10$. За целта използвайте *tm*-модела. Анализирайте получените графики и определете ориентировъчно областите на работа на транзисторите.

Задача 4. Симулирайте изходните характеристики на nMOS и pMOS транзистори, работещи в силна инверсия при отношение $W/L=10$ за четирите *worst case* случая (*wo*, *wz*, *wp* и *ws*). Сравнете получените графики с резултатите, получени при изпълнението на Задача 3.

Задача 5. Изследвайте зависимостта на диференциалното изходно съпротивление на nMOS и pMOS транзисторите от:

- напрежението U_{DS} при параметър U_{GS} ;
- напрежението U_{DS} при параметър L .

Какви трябва да бъдат стойностите на U_{DS} , U_{GS} и L , за да получим голямо изходно съпротивление?

Задача 6. Предложете схема за изследване и симулирайте честотната зависимост на диференциалното изходно съпротивление на nMOS и pMOS транзистори с отношение $W/L=10$ при $U_{GS} = 1V$ и $U_{DS} = 1.65V$. Обяснете получения резултат.

Задача 7. Предложете схема за изследване и симулирайте честотната зависимост на диференциалното входно съпротивление на nMOS и pMOS транзистори с отношение $W/L=10$ при $U_{GS} = 1V$ и $U_{DS} = 1.65V$. Обяснете получените резултати.

1.7. Определяне на основните параметри за ръчни изчисления на MOS транзисторите от BSIM модели

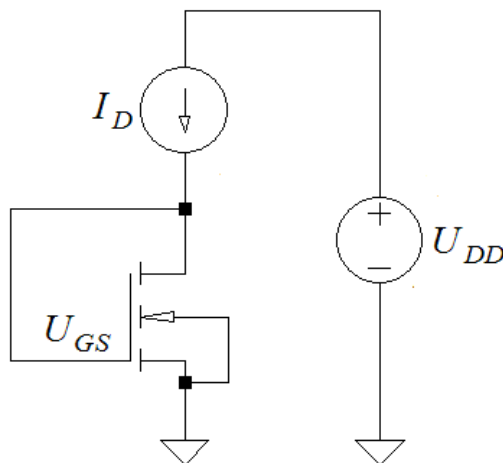
Основните параметри на MOS транзисторите, които се използват при началните ръчни пресмятания, са: U_{TN0} (U_{TP0}), K_n (K_p), λ_n (λ_p), γ_n (γ_p).

За технологиите с “дълъг канал” ($L_{min} \geq 1\mu m$) тези величини се съдържат директно в стандартните PSpice модели (напр. Level=2).

Зависимостите между токовете и напреженията в съвременните транзистори с “къс канал” ($L_{min} < 1\mu m$) са много по-сложни от тези с “дълъг канал”. Това усложнява многократно компютърните модели, с които те се представят. Последните най-често използвани версии на BSIM моделите съдържат няколкостотин параметъра за всеки тип транзистор, като от тях трябва да се извлекат посочените по-горе 8 параметъра. За целта се използват различни подходи – от пресмятане на търсените величини с помощта на параметрите на BSIM модела [2] до определянето им на базата на симулации. Вторият подход е препоръчван и широко използван в учебната и инженерната практика като първа стъпка за запознаване с технологията [3,4].

1.7.1. Определяне на праговото напрежение U_{TN0} (U_{TP0}) и фактора на стръмността K_n (K_p)

Обикновено основните параметри на транзисторите се определят при най-честия случай в практиката – работата им в областта на насищане. Схемата на свързване за nMOS транзистор е показана на фиг. 1-23. Гейтът и дрейнтът на транзистора са свързани накъсо.



Фиг. 1-23.
Схема за тестване на U_{TN0} и K_n .

От (1-9) за дрейновия ток се получава

$$I_D = \frac{K_n W}{2 L} (V_{GS} - V_{TN0})^2 [1 + \lambda_n (U_{DS} - U_{DSAT})]$$

За да се елиминира влиянието на коефициента λ_n , се избира дължина на канала $L \geq 20L_{min}$. Избира се и $W = L$, така че формулата се опростява до

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN0})^2 . \quad (1-18)$$

От нея за напрежението между гейта и сорса се извежда изразът

$$U_{GS} = \sqrt{\frac{2}{K_n}} \sqrt{I_D} + U_{TN0}. \quad (1-19)$$

Изследването се извършва в следната последователност:

- Задава се развивка на тока в диапазона на най-често използваните стойности (напр. от 10μА до 100μА за типичните аналогови приложения);

- След симулацията се получава графиката $U_{GS} = f(\sqrt{I_D})$, представляваща права линия $y = ax + b$.

- Определят се коефициентите a и b на правата линия, а от тях – U_{TN0} и K_n . За целта се използват формулите:

$$U_{TN0} = b; \quad \sqrt{\frac{2}{K_n}} = a; \quad K_n = \frac{2}{a^2} \quad (1-20)$$

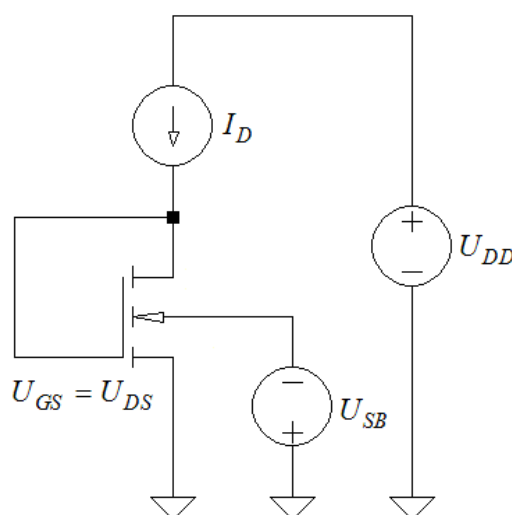
По подобен начин се определят и параметрите U_{TP0} и K_p . За целта е необходимо схемата от фиг. 1-21 да се модифицира за pMOS транзистор.

1.7.2. Определяне на параметъра на ефекта на подложката γ_n (γ_p)

Зависимостта на праговото напрежение U_{TN} от напрежението между сорса и подложката U_{SB} се изразява с (1-1):

$$U_{TN} = U_{TN0} + \gamma_n (\sqrt{U_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|})$$

За приблизителното определяне на γ_n може да се използва схемата от фиг. 1-24. Тя е подобна на схемата от фиг. 1-23, като допълнително е добавен източник U_{SB} за задаване на обратното напрежение между сорса и подложката.



Фиг. 1-24. Схема за тестване на γ_n .

Изследването се извършва в следната последователност:

- Задава се развивка на тока в диапазона на най-често използваните стойности (напр. от 10μА до 100μА за типичните аналогови приложения);

- Задава се стъпална развивка на напрежението U_{SB} .

- След симулиране се получава графиката от фиг. 1-6, представяща връзката между напрежението U_{GS} и $\sqrt{I_D}$, при параметър U_{SB} .

- По начина, описан в т. 1.7.1, се определят праговите напрежения за всяка една от стойностите на U_{SB} . С получените резултати се чертае графика на зависимостта на U_{TN} от $\left(\sqrt{U_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|}\right)$, представляваща права линия. За целта се приема, че $|2\phi_F| = 0.6V$.

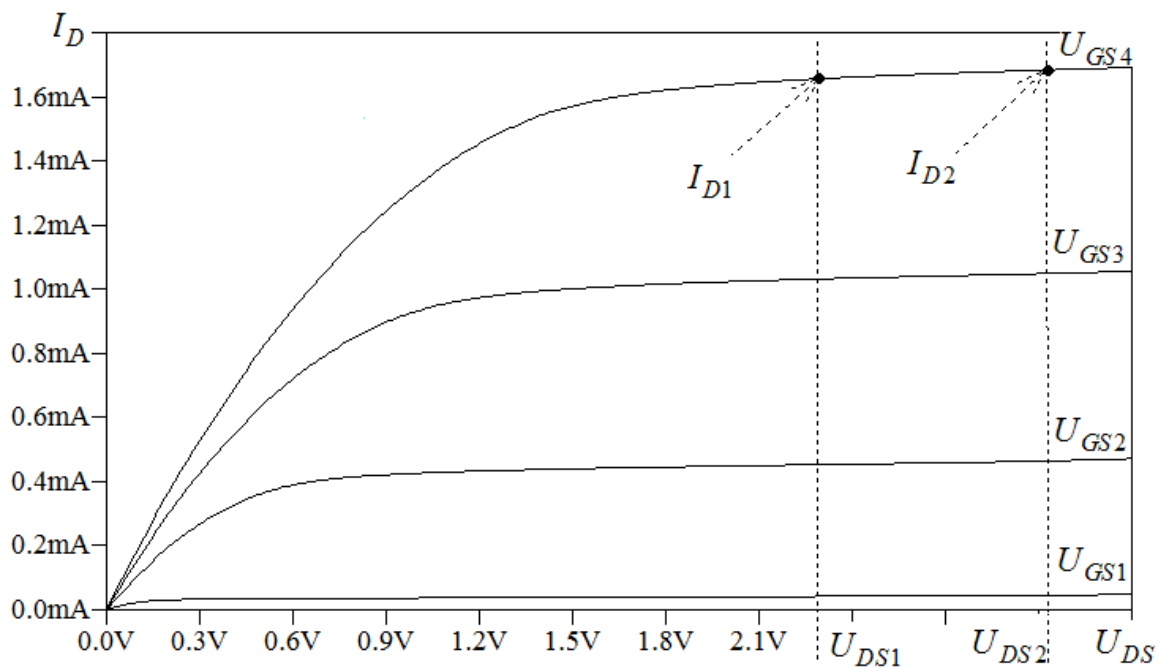
- Ъгловият коефициент на получената права линия дава приблизителната стойност на γ_n .

По подобен начин може да се определи и γ_p .

1.7.3. Определяне на коефициента на модулация на дължината на канала λ_n (λ_p)

За определянето на коефициента на модулация на дължината на канала се използват изходните характеристики на транзистора (фиг. 1-25).

За целта върху една от характеристиките (най-често при $U_{GS} = U_{TN0} + U_{eff}$) се избират две точки в областта на насищане. Първата се характеризира с ток I_{D1} при напрежение U_{DS1} , а втората – с I_{D2} при U_{DS2} .



Фиг. 1-25. Определяне на коефициента λ_n от изходната характеристика.

Автоматично чрез курсорите на PSpice се отчита наклонът (*Slope*) между двете точки $-\frac{dI_D}{dU_{DS}}$. Съгласно (1-11) това е изходната проводимост $g_{ds} = \frac{1}{r_{ds}}$.

Коефициентът λ_n в този участък се получава по формулата

$$\lambda_n = \frac{g_{ds}}{I_{Dsat}} \approx \frac{g_{ds}}{I_{D1}}. \quad (1-21)$$

Упражнение № 3

Определяне на основните параметри за ръчни изчисления на CMOS транзистори от 0.35μm CMOS технология на AMS

Задача 1. Определете праговото напрежение U_{TN0} (U_{TP0}) и фактора на стръмността K_n (K_p) на CMOS транзисторите от 0.35μm CMOS технологичен процес на AMS чрез симулации с *tm*-модела.

Задача 2. С помощта на *worst case* моделите изследвайте отклонението на параметрите U_{TN0} (U_{TP0}) и K_n (K_p) от типичните им стойности.

Задача 3. Чрез симулация с *tm*-модела изследвайте зависимостта на праговото напрежение U_{TN0} (U_{TP0}) от напрежението между подложката и сорса U_{SB} (U_{BS}). С помощта на получените резултати определете стойността на параметъра на ефекта на подложката γ_n (γ_p).

Задача 4. Определете стойността на коефициента на модулация на дължината на канала λ_n (λ_p) на MOS транзисторите при $L = 2\mu m$, $|U_{eff}| = 0.2V$ и $|U_{DS}| = 1.65V$.

Задача 5. Изследвайте зависимостта на коефициента на модулация на дължината на канала λ_n (λ_p) на MOS транзисторите от:

- напрежението между дрейна и сорса U_{DS} ;
- дължината на канала L ;
- стойността на напрежението между гейта и сорса U_{GS} .

Задача 6. Обобщете получените резултати и попълнете табл. 1-1. Сравнете стойностите от табл. 1-1 със съдържанието на табл. 4-1 (стр.78).

Табл. 1-1

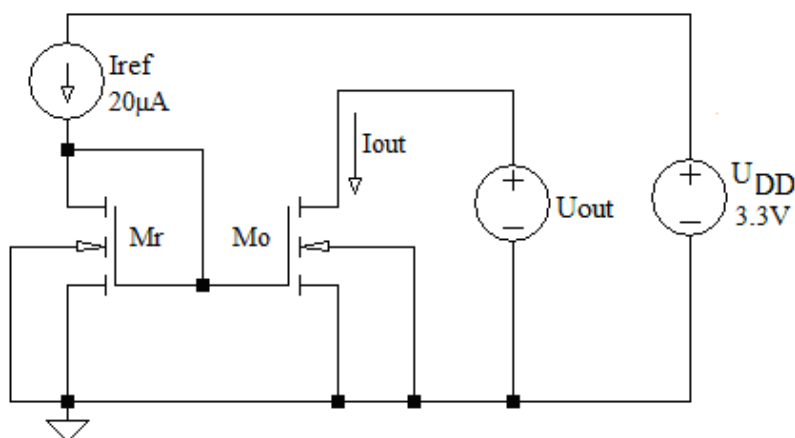
Параметри на CMOS транзистори, реализирани по 0.35μm технология на AMS.

	nMOS	pMOS
U_{TN0} (U_{TP0})VV
K_n (K_p)μA/V ²μA/V ²
λ_n (λ_p) ($L = 2\mu m, U_{eff} = 0.2V, U_{DS} = 1.65V$)V ⁻¹V ⁻¹
γ_n (γ_p)V ^{1/2}V ^{1/2}

2. Вериги за осигуряване на постоянен ток режим

2.1. Токови огледала

2.1.1. Просто токово огледало



Фиг. 2-1.
Просто токово огледало.

Схемата на простото токово огледало е показана на фиг. 2-1. Тя е работоспособна при условие, че и двата транзистора работят в областта на насищане [1, 2, 3, 4, 6, 7]. Ако за двата тока приложим (1-9) и приемем, че $\lambda_r U_{DSr} \approx \lambda_o U_{DSo}$, се получава

$$\frac{I_{out}}{I_{ref}} \approx \frac{W_o/L_o}{W_r/L_r}. \quad (2-1)$$

В това уравнение се съдържат четири неизвестни – W_o , W_r , L_o и L_r . За да се определят техните стойности, е необходимо да се потърсят допълнителни съображения за избора им.

Например, за да се уеднакви грешката от страничната дифузия за сорса и дрейна (L_D от фиг. 1-2), транзисторите M_r и M_o се избират най-често с еднаква дължина на канала. Тогава (2-1) се свежда до

$$\frac{I_{out}}{I_{ref}} \approx \frac{W_o}{W_r}. \quad (2-2)$$

За определяне на W_r в уравнение (1-8) заместваме I_{DSAT} с I_{ref} :

$$I_{ref} = \frac{K_n}{2} \frac{W_r}{L_r} (U_{GS} - U_{TN0})^2. \quad (2-3)$$

В т.1.4.4 беше прието дължината на канала на транзисторите да бъде $L=2\mu m$. Следователно в уравнение (2-3) неизвестните величини са широчината на канала W_r и ефективното напрежение $U_{eff} = U_{GS} - U_{TN0}$. За определянето им е необходимо да се избере стойността на едната от тях и да се определи другата. Обикновено се избира стойността на ефективното напрежение.

Условието (1-3) определя, че за разглежданата технология ефективното напрежение на транзистора трябва да е по-високо от 0.1V. За да се получат малки стойности на напрежението на насищане на транзистора и високо

изходно съпротивление, ефективното напрежение трябва да е колкото се може по-близко до тази стойност. От друга страна трябва да се държи сметка и за вариациите на технологичния процес и за свързаните с него вариации на фактора на стръмността K_n (K_p) и праговото напрежение U_{TN0} (U_{TP0}). Съществуват някои емпирични правила за избор на U_{eff} . Едно от тях определя стойността му да е близка до 5% от захранващото напрежение на транзисторите [2]. В нашия случай, при 3.3V технология на AMS, се получава $U_{eff} \approx 0.165V$. В [6] за технологии с размери на канала под $1\mu m$ се препоръчва стойностите на U_{eff} да бъдат около $0.15 \div 0.2V$ при проектиране на усилвателни стъпала и $0.5 \div 0.6V$ при проектиране на схеми с повишено бързодействие. Може да се каже, че изборът на U_{eff} зависи от опита на проектанта и задълбоченото познаване на конкретната технология.

За целите на нашата работа ще приемем, че началната стойност на U_{eff} е 200mV. При необходимост тази стойност ще бъде променяна в процеса на проектиране.

След заместване в (2-3) с $U_{eff} = U_{GS} - U_{TN0} = 0.2V$ се получава широчината W_r на канала на транзистора M_r .

Широчината на канала на огледалния транзистор M_o се определя от (2-2).

Пример 2-1. Да се оразмери схемата на простото токово огледало от фиг. 2-1 за входен (еталонен) ток $I_{ref} = 20\mu A$ и изходен (огледален) ток $I_{out} = 60\mu A$. За целта да се използват параметрите на tm -модела на $0.35\mu m$ CMOS технология на AMS (табл. 4-1, стр.78). Да се определят и сравнят основните параметри на схемата чрез изчисления и симулации.

Решение

Оразмеряване на схемата

Оразмеряването на схемата се свежда до определяне на размерите W и L на транзисторите M_r и M_o .

Съгласно приетото в т.1.4.4 дължините на каналите на двата транзистора са $L_o = L_r = 2\mu m$. От (2-3) при $U_{eff} = 0.2V$ се определя $W_r = 20\mu m$, а от (2-2) – $W_o = 3W_r = 60\mu m$.

Изчисляване на основните параметри

Основните параметри на схемата са минималното напрежение на изхода U_{outmin} , при което схемата е работоспособна; диференциалното изходно съпротивление r_{out} ; диференциалното входно съпротивление r_{in} [1, 2].

Минималното напрежение на изхода U_{outmin} , при което схемата е работоспособна, се определя от условието транзисторът M_o да работи в областта на насищане с цел гарантиране на валидността на уравнение (2-1) и осигуряване на високо изходно съпротивление:

$$U_{DSO} \geq U_{DSATo} = U_{effo} = U_{effr}, \quad (2-4)$$

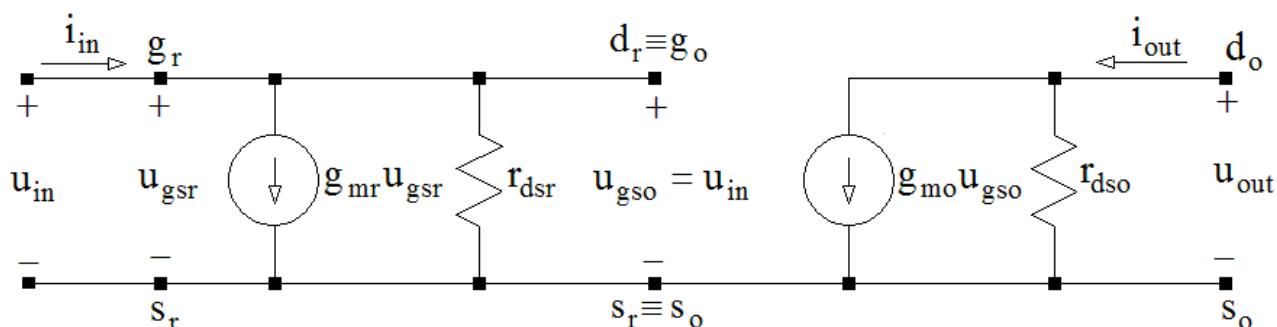
където U_{effo} и U_{effr} са ефективните напрежения на M_o и M_r , а U_{DSATo} е напрежението на насищане. Тогава

$$U_{outmin} \approx U_{DSATo} = U_{effo} = U_{effr} = 0.2V. \quad (2-5)$$

Следователно минималното напрежение на изхода, при което схемата е работоспособна, е $U_{outmin} \approx 0.2V$.

За определяне на диференциалното входно съпротивление r_{in} и диференциалното изходно съпротивление r_{out} е съставена еквивалентната схема за малък променлив сигнал, показана на фиг. 2-2. С индекс "r" са означени елементите на транзистора M_r , а с индекс "o" – елементите на транзистора M_o .

Входното съпротивление се определя като отношение на напрежението u_{in} и тока i_{in} . В идеалния случай то трябва да клони към нула, така че токовото огледало да може да се захранва от неидеални източници на ток с изходно съпротивление много по-малко от безкрайност.



Фиг. 2-2. Еквивалентна схема на просто токово огледало за малък променлив сигнал.

От представената еквивалентна схема се получава:

$$r_{in} = \frac{u_{in}}{i_{in}} = \frac{u_{in}}{g_{mr}u_{in} + \frac{u_{in}}{r_{dsr}}} = \frac{1}{g_{mr} + \frac{1}{r_{dsr}}} = \frac{1}{g_{mr} + g_{dsr}} \approx \frac{1}{g_{mr}} \quad (2-6)$$

Стойността на изходната проводимост на транзистора g_{dsr} е много по-малка от стръмността му g_{mr} и затова беше пренебрегната в горния израз.

С помощта на табл. 4-1 (стр. 78) за разглеждания пример се изчислява:

$$g_{mr} = \sqrt{2K_n \frac{W_r}{L_r} I_{ref}} = \sqrt{2 * 100e-6 * \frac{20}{2} * 20e-6} = 200 \mu A/V$$

$$g_{dsr} = \lambda_n I_{ref} = 0.014 * 20e-6 = 0.28 \mu A/V$$

$$g_{dsr} \ll g_{mr}$$

$$r_{in} \approx 1/g_{mr} = 1/200e-6 = 5k\Omega \quad (2-7)$$

От (2-7) следва, че при малък променлив сигнал, MOS транзисторът с гейт и дрейн, свързани накъсо, се замества с диференциално съпротивление, чиято стойност е обратнопропорционална на стръмността на транзистора.

Диференциалното изходно съпротивление на огледалото r_{out} се получава, като разделим напрежението u_{out} на тока i_{out} при $u_{in} = 0$ (вж. фиг. 2-2):

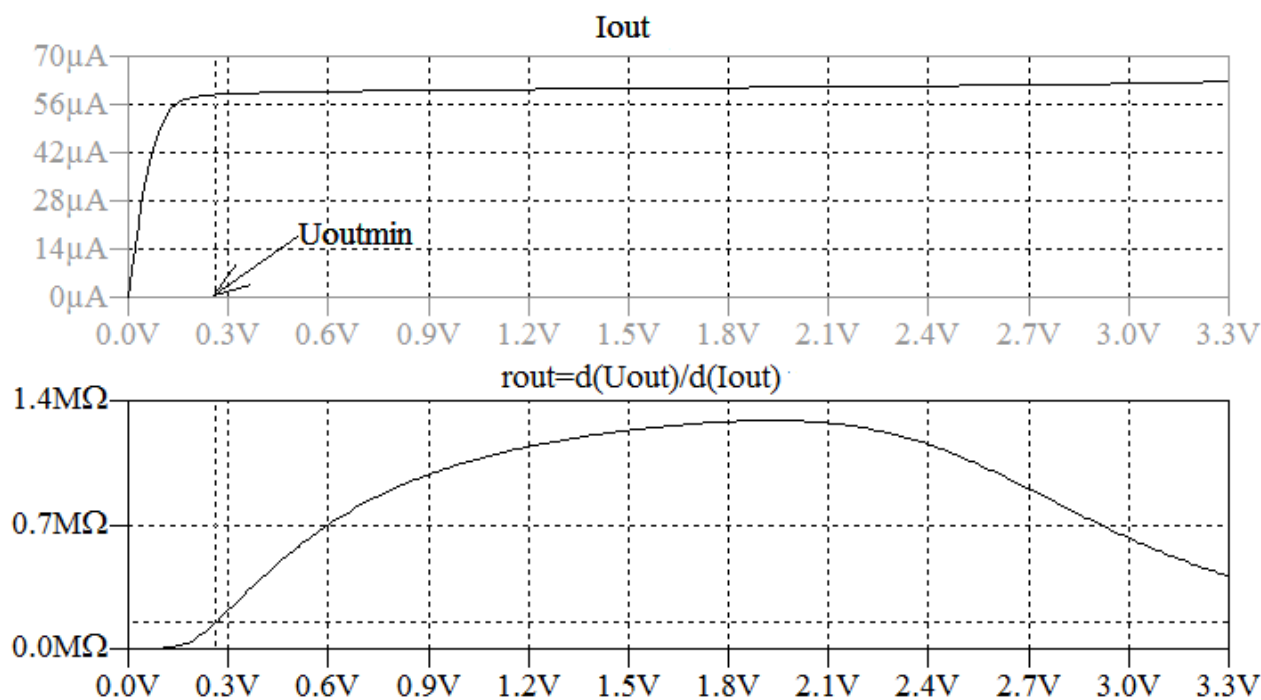
$$r_{out} = \left. \frac{u_{out}}{i_{out}} \right|_{u_{in}=0} = \frac{u_{out}}{g_{m0}u_{in} + \frac{u_{out}}{r_{dso}}} = \frac{1}{0 + \frac{1}{r_{dso}}} = r_{dso} = \frac{1}{g_{dso}} \quad (2-8)$$

$$r_{out} = r_{dso} = \frac{1}{\lambda_n I_{out}} = \frac{1}{0.014 * 60e-6} = \frac{1}{0.84e-6} \approx 1.191 M\Omega$$

Следователно при малък променлив сигнал диференциалното изходно съпротивление на простото токово огледало съвпада с диференциалното изходно съпротивление на огледалния транзистор.

Симулация на оразмерената схема

На фиг. 2-3 е показан резултатът от симулацията на схемата при промяна на изходното напрежение U_{out} от 0V до 3.3V. В случая то съвпада с напрежението между дрейна и сорса на транзистора M_o .



Фиг. 2-3. Зависимост на изходния ток и изходното съпротивление от напрежението между дрейна и сорса

На горната графика е показан изходният (огледалният) ток, а на долната – диференциалното изходно съпротивление. Максималната стойност на r_{out} е 1.289 $M\Omega$. Минималната стойност на изходното напрежение U_{outmin} се определя като напрежението, при което изходното съпротивление достига 10%

от максималната си стойност. При това условие стойността на минималното изходно напрежение U_{outmin} е под 250mV.

След АС симулация, при която към I_{ref} се добавя източник на променлив сигнал, за стойността на входното съпротивление се определя $r_{in} \approx 4.5k\Omega$.

Анализ на резултатите

В табл. 2-1 са представени резултатите от изчислението и симулирането на основните параметри на простото токово огледало.

Табл. 2-1

Параметър	Изчисление	Симулиране
U_{outmin}	$\approx 0.2V$	$< 0.25V$
r_{outmax}	1.191M Ω	1.289M Ω
r_{in}	5k Ω	4.5k Ω

Сравнението на резултатите показва, че независимо от използваните опростени модели на транзисторите се получава добро съвпадение между теоретичните изчисления и симулациите за U_{outmin} , r_{outmax} и r_{in} .

Определяне на чувствителността на изходния ток

Важен параметър на токовото огледало е чувствителността S на изходния ток I_{out} спрямо изменението на изходното напрежение U_{out} в работния диапазон $U_{outmin} \leq U_{out} \leq U_{DD}$. Дефинира се с израза [2]:

$$S_{U_{out}}^{I_{out}} = \frac{dI_{out}}{dU_{out}} \bigg/ \frac{I_{out}}{U_{out}} \approx \frac{\Delta I_{out}}{\Delta U_{out}} \bigg/ \frac{I_{out}}{U_{out}} = \frac{\Delta I_{out}}{I_{out}} \bigg/ \frac{\Delta U_{out}}{U_{out}} \quad (2-9)$$

За изчисление на чувствителността на разглежданото токово огледало от изходната характеристика на фиг. 2-3 се определят стойностите на изходния ток при $U_{out} = U_{outmin}$, $U_{out} = U_{DD} = 3.3V$ и при $U_{out} = U_{DD}/2 = 1.65V$.

Получените стойности се заместват в (2-9) и се изчислява $S_{U_{out}}^{I_{out}}$:

$$\begin{aligned} S_{U_{out}}^{I_{out}} &= \frac{\Delta I_{out}}{\Delta U_{out}} \bigg/ \frac{I_{out}}{U_{out}} = \frac{I_{out}(U_{DD}) - I_{out}(U_{outmin})}{U_{DD} - U_{outmin}} \cdot \frac{U_{DD}/2}{I_{out}(U_{DD}/2)} = \\ &= \frac{62.64\mu A - 58.76\mu A}{3.3V - 0.25V} \cdot \frac{1.65V}{60.76\mu A} \approx 0.035 \end{aligned}$$

За чувствителността на разглежданото огледало се получава $S_{U_{out}}^{I_{out}} \approx 0.035$. Това означава, че при промяна на изходното напрежение U_{out} с 10% изходният ток I_{out} се променя с не повече от 0.35%.

При условие, че $U_{DS1} = U_{DS2}$, с помощта на (1-8) се получава:

$$\begin{aligned}
 \frac{W_1}{L_1} &= \frac{2I_{ref}}{K_n U_{eff}^2} = \frac{2 \cdot 20e-6}{100e-6 \cdot 0.2^2} = 10; & W_1 &= 20\mu m; & L_1 &= 2\mu m \\
 \frac{W_2}{L_2} &= 3 \frac{W_1}{L_1} = 30; & W_2 &= 60\mu m; & L_2 &= 2\mu m \\
 \frac{W_3}{L_3} &= \frac{2I_{ref}}{K_n U_{eff}^2} = \frac{2 \cdot 20e-6}{100e-6 \cdot (0.2)^2} = 10; & W_3 &= 20\mu m; & L_3 &= 2\mu m \\
 \frac{W_4}{L_4} &= \frac{2I_{out}}{K_n U_{eff}^2} = \frac{2 \cdot 60e-6}{100e-6 \cdot (0.2)^2} = 30; & W_4 &= 60\mu m; & L_4 &= 2\mu m
 \end{aligned}
 \tag{2-11}$$

Определяне на U_{outmin} и r_{out}

На фигура 2-4 са означени напреженията в основните възли на схемата. Напрежението между гейта и сорса на $M1$ е равно на $(U_{TN0} + U_{eff})$. Напрежението между гейта и сорса на $M3$ е равно на $(U_{TN} + U_{eff})$, където с U_{TN} е означено коригираното прагово напрежение на транзистора ($U_{SB3} \neq 0$). Потенциалът в гейта на $M3$ и $M4$ е $U_{G4} = U_{TN} + U_{TN0} + 2U_{eff}$. Потенциалът в сорса на $M4$ е $U_{S4} = U_{DS2} = U_{G4} - U_{TN} - U_{eff} = U_{TN0} + U_{eff}$. Минимално допустимото напрежение между дрейна и сорса на $M4$, така че транзисторът да работи в областта на насищане, е $U_{DS4} \geq U_{eff}$.

Тогава за U_{outmin} се получава

$$U_{outmin} = U_{DS4} + U_{DS2} > U_{eff} + (U_{TN0} + U_{eff}) = U_{TN0} + 2U_{eff} \approx 0.85V \tag{2-12}$$

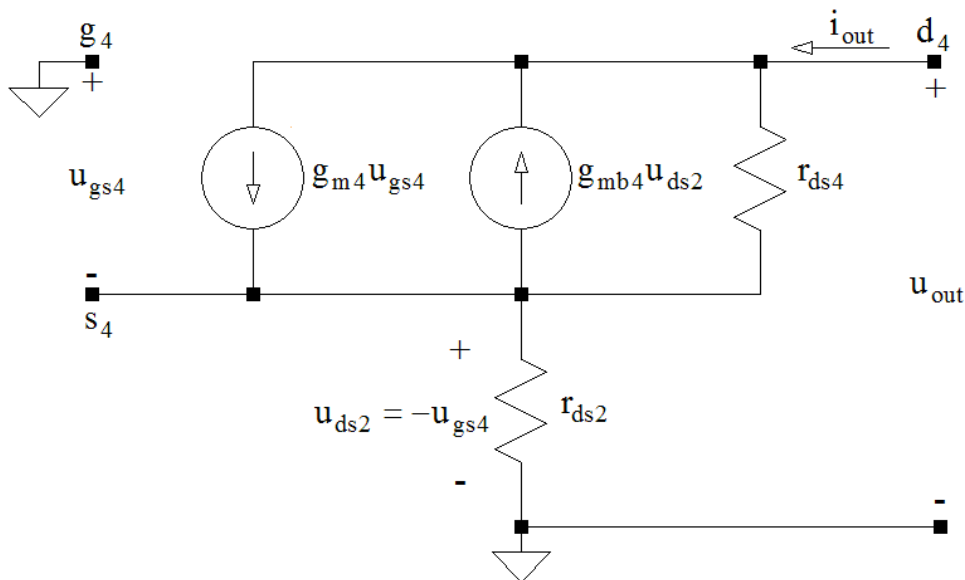
На фиг. 2-5 е показана еквивалентната схема за определяне на изходното съпротивление на каскода. За целта входът на схемата (гейтът g_4) е свързан към земя. Съгласно резултатите от предишния пример транзисторът $M2$ е заместен със съпротивлението r_{ds2} . Понеже сорсът на $M4$ не е свързан към земя, е добавен източникът $g_{mb4}u_{ds2}$.

Изходното съпротивление се определя със системата уравнения:

$$\begin{cases}
 r_{out} = \frac{u_{out}}{i_{out}} = \frac{r_{ds4}(i_{out} - g_{m4}u_{gs4} + g_{mb4}u_{ds2}) + u_{ds2}}{i_{out}} \\
 -u_{gs4} = u_{ds2} = r_{ds2}i_{out}
 \end{cases}
 \tag{2-13}$$

От тях се получава:

$$\begin{aligned}
 r_{out} &= \frac{r_{ds4}(i_{out} + g_{m4}u_{ds2} + g_{mb4}u_{ds2}) + u_{ds2}}{i_{out}} = \\
 &= r_{ds4} + g_{m4}r_{ds4}r_{ds2} + g_{mb4}r_{ds4}r_{ds2} + r_{ds2} \approx (g_{m4} + g_{mb4})r_{ds4}r_{ds2}
 \end{aligned}
 \tag{2-14}$$



Фиг. 2-5. Еквивалентна схема за определяне на изходното съпротивление на каскода.

В практиката за опростяване на изчисленията стойността на g_{mb4} се пренебрегва. Окончателно, за r_{out} се получава

$$r_{out} \approx g_{m4} r_{ds4} r_{ds2} = \frac{g_{m4}}{g_{ds4} g_{ds2}}. \quad (2-15)$$

След заместване със стойностите от примера за r_{out} се изчислява:

$$r_{out} = \frac{\sqrt{2K_n \left(\frac{W_4}{L_4} \right) I_{out}}}{\lambda_{n4} I_{out} \lambda_{n2} I_{out}} \approx \frac{\sqrt{2 \cdot 100e-6 \cdot 30 \cdot 60e-6}}{(0.014 \cdot 60e-6)^2} \approx 850 M\Omega \quad (2-16)$$

Симулация на схемата

На фиг. 2-6 е показан резултатът от симулацията на схемата при промяна на изходното напрежение от 0V до 3.3V. Минималната стойност на изходното напрежение $U_{outmin} \approx 930mV$ се определя като напрежението, при което изходното съпротивление достига 10% от максималната си стойност. Това се случва малко след като напрежението U_{DS2} се изравнява с U_{DS1} . За стойността на изходното съпротивление при $U_{out} \approx 1.65V$ се получава $r_{out} \approx 755M\Omega$. Чувствителността се определя както в предишния пример и е $S_{U_{out}}^{I_{out}} \approx 0.00004$.

От направените анализи и симулации следва, че изходното съпротивление при каскодната схема е над 600 пъти по-голямо от това при схемата на простото токово огледало. Чувствителността на схемата е намаляла около 900 пъти спрямо стойността ѝ при простото токово огледало. Тези положителни ефекти са свързани с увеличение на минималното изходно напрежение U_{outmin} около 4 пъти, което е голям недостатък, особено при работа с ниски захранващи напрежения.

Пример 2-3. Да се оразмери схемата на каскодното токово огледало от фиг. 2-7 за входен (еталонен) ток $I_{ref} = 20\mu A$ и изходен (огледален) ток $I_{out} = 50\mu A$. Да се определят: допустимият диапазон на изменение на входния ток, минималното изходно напрежение U_{outmin} и изходното съпротивление r_{out} .

Решение

Оразмеряване на схемата

С помощта на (1-8) се определят размерите на транзисторите $M1 \div M4$:

$$L_1 = L_2 = L_3 = L_4 = 2\mu m; \quad W_1 = W_3 = 20\mu m; \quad W_2 = W_4 = 50\mu m \quad (2-17)$$

За оразмеряване на $M5$ е необходимо да се определи напрежението между гейта и сорса му $U_{GS5} = U_{GS4} + U_{DS2}$. Минимално допустимото напрежение между дрейна и сорса на $M2$, така че транзисторът да работи в областта на насищане, е $U_{DS2min} = U_{DSAT2} = U_{eff}$. Напрежението между гейта и сорса на $M4$ е $U_{GS4} = U_{TN4} + U_{eff}$ (където U_{TN4} е коригираното прагово напрежение при $U_{SB4} = U_{eff} = 0.2V$). В резултат за $M5$ се получава:

$$U_{GS5min} = U_{GS4} + U_{DS2min} = U_{TN4} + U_{eff} + U_{eff} = U_{TN4} + 2U_{eff}; \quad (2-18)$$

$$U_{TN4} = U_{TN0} + \gamma_n \left(\sqrt{U_{SB} + 2\phi_F} - \sqrt{2\phi_F} \right) \approx \\ \approx 0.45 + 0.55 \left(\sqrt{0.2 + 0.6} - \sqrt{0.6} \right) = 0.45 + 0.065 = 0.515V \quad ; \quad (2-19)$$

$$U_{GS5min} = U_{TN4} + 2U_{eff} = 0.515 + 2 \cdot 0.2 = 0.915V \quad ; \quad (2-20)$$

$$U_{eff5min} = U_{GS5min} - U_{TN0} = 0.915V - 0.45V = 0.465V \quad ; \quad (2-21)$$

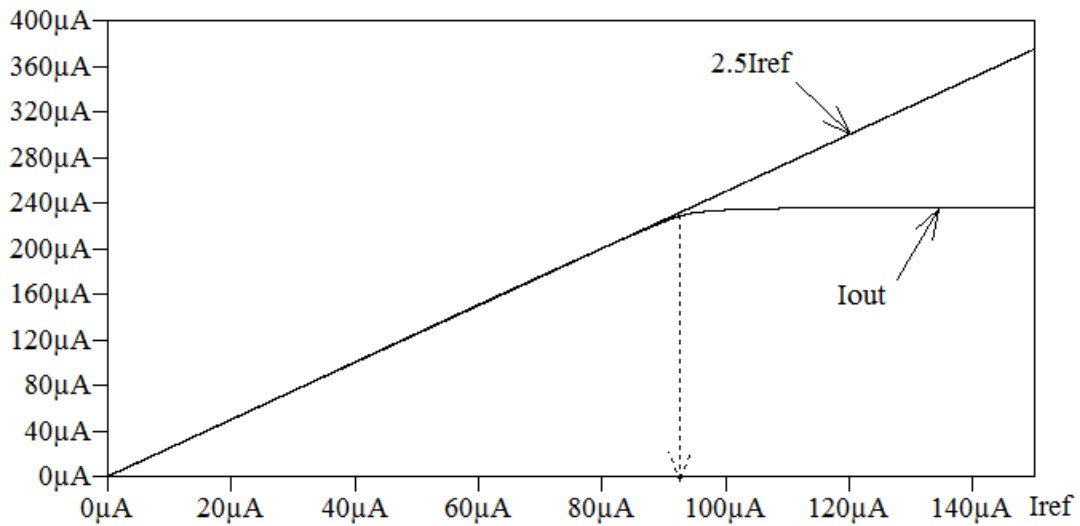
$$\frac{W_5}{L_5} = \frac{2I_{ref}}{K_n U_{eff5min}^2} = \frac{2 \cdot 20e-6}{100e-6 \cdot (0.465)^2} = 1.85 \quad (2-22)$$

От (2-22) избираме размерите на $M5$ – $W_5 = 3.7\mu m$, $L_5 = 2\mu m$.

Симулация на схемата

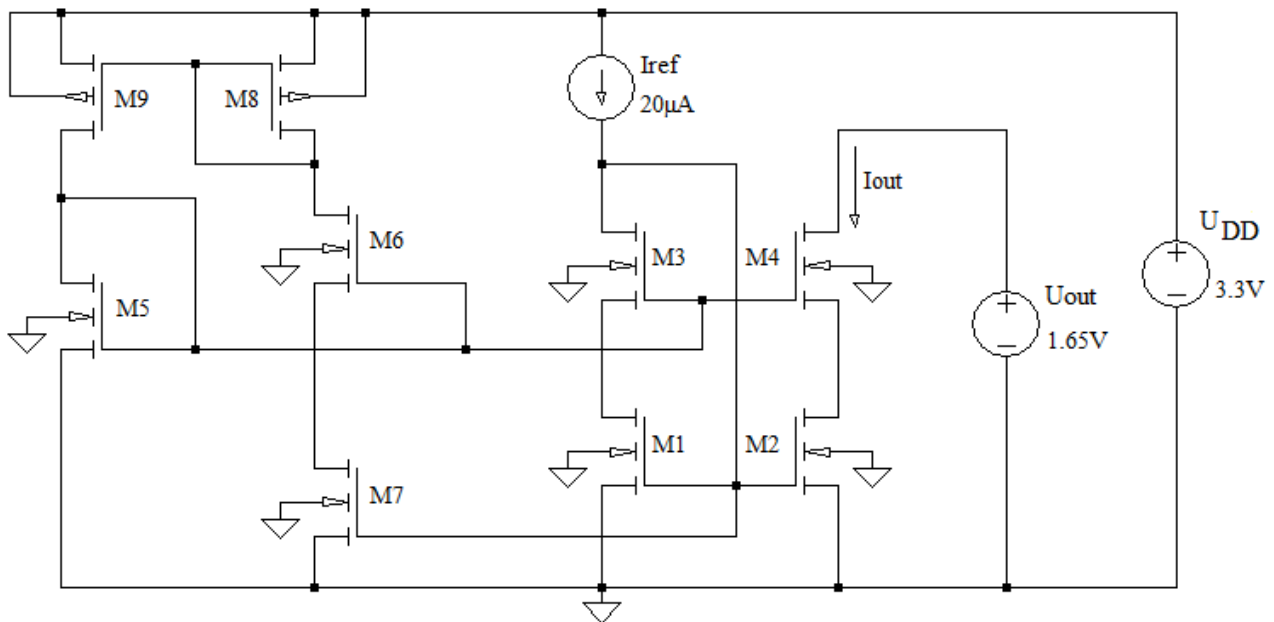
Фигура 2-8 представя резултатите от симулацията на схемата за определяне на допустимия диапазон на изменение на входния ток. За целта е зададена постояннотокова развивка по I_{ref} . Контролира се изпълнението на условието $I_{out} = 2.5I_{ref}$. От графиката се вижда, че изпълнението му се нарушава при стойности на I_{ref} малко над $90\mu A$. Следователно допустимият диапазон на входния ток е от 0 до $90\mu A$. След тази стойност изходният ток се насища и огледалото не изпълнява функциите си.

Допълнителните симулации показват, че ограничаването на тока I_{out} при увеличение на I_{ref} над $90\mu A$ е свързано с недопустимото увеличение на напрежението в гейта на $M1$ и $M2$. То може да се избегне чрез увеличение на отношението W/L на транзисторите $M1 \div M4$.



Фиг. 2-8. Определяне на максималния диапазон на входния ток.

На фигура 2-9 е показана подробна схема на каскодното токово огледало от фиг. 2-7. Източникът на ток $I_{ref1} = I_{ref}$ е реализиран с транзисторите $M6 \div M9$. Отношението W/L на транзисторите $M1 \div M4$ е увеличено два пъти, което води до нарастване на допустимия диапазон на изменение на входния ток до няколко mA. Размерът на $M5$ остава непроменен.



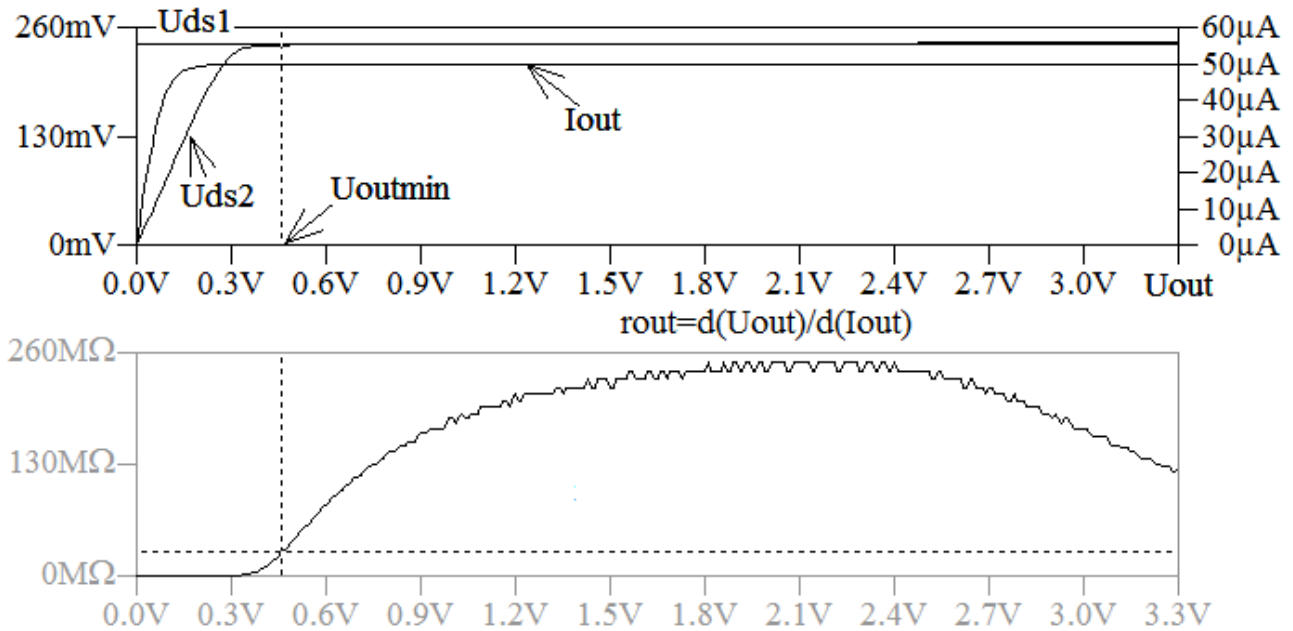
Фиг. 2-9. Подробна схема на каскодното токово огледало от фиг. 2-7.

Широчината на канала на транзисторите е, както следва: $W_1 = W_3 = 40 \mu m$; $W_6 = W_7 = 20 \mu m$; $W_2 = W_4 = 100 \mu m$; $W_8 = W_9 = 50 \mu m$; $W_5 = 3.7 \mu m$. Дължината на всички канали е $L = 2 \mu m$.

Широчината на канала на pMOS транзисторите $M8$ и $M9$ е определена както при nMOS транзисторите. Използва се формула (1-8), като всички напрежения се вземат по абсолютна стойност. Като се има предвид, че токът през $M8$ и $M9$ е равен на тока през $M6$, $M7$, за отношенията W_8/L_8 и W_9/L_9 се получава:

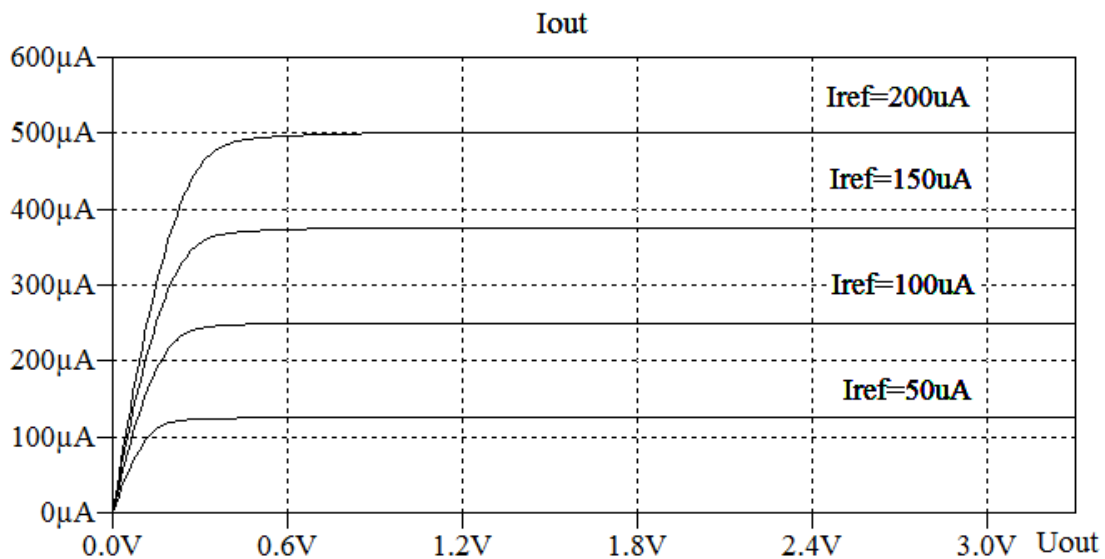
$$\frac{W8}{L8} = \frac{W9}{L9} = \frac{2I_{ref}}{K_p U_{eff}^2} = \frac{K_n W7}{K_p L7} \approx \frac{100}{40} \frac{20}{2} = \frac{50\mu m}{2\mu m} \quad (2-23)$$

Резултатите от симулацията на схемата при промяна на напрежението U_{out} от 0V до 3.3V са показани на фиг. 2-10. Минималното изходно напрежение U_{outmin} е около 450mV, а изходното съпротивление надвишава 220MΩ. Следователно схемата в много голяма степен избягва недостатъците на простото и каскодното токово огледало. Това е причината тя да намира широко приложение в съвременната CMOS аналогова схемотехника.



Фиг. 2-10. Зависимост на изходния ток и изходното съпротивление на схемата от фиг. 2-9 от напрежението U_{out} .

На фиг. 2-11 са показани изходните характеристики на огледалото при различни стойности на I_{ref} .



Фиг. 2-11. Изходни характеристики на токовото огледало от фиг. 2-9.

Упражнение № 4

Изследване и сравнение на параметрите и характеристиките на CMOS токови огледала

Задача 1. Дефинирайте основните параметри и характеристики на токовите огледала. Предложете начини за определянето им чрез симулация.

Задача 2. Опишете последователността при оразмеряване и сравнете параметрите и характеристиките на простото токово огледало, каскодното токово огледало и каскодното токово огледало с понижена стойност на минималното изходно напрежение.

Задача 3. Като използвате *tm*-моделите на 0.35 μm CMOS технология на AMS, оразмерете и изследвайте чрез симулация схемите на:

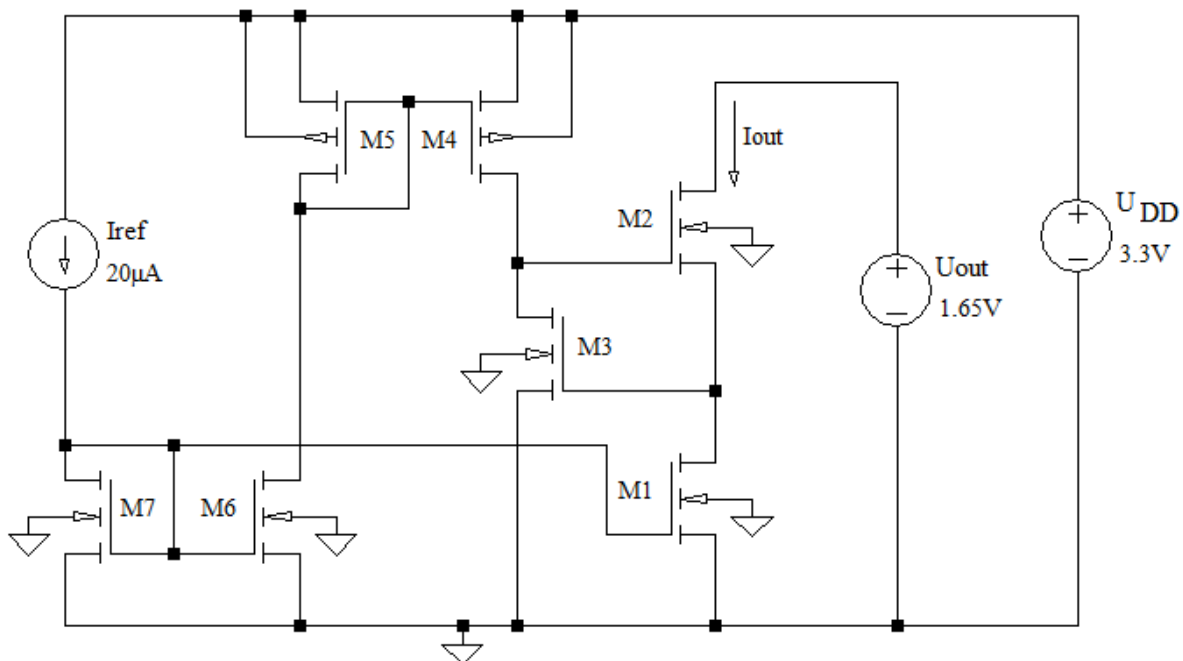
- просто токово огледало с nMOS транзистори (фиг. 2-1);
- просто токово огледало с pMOS транзистори;
- токово огледало на Уилсън ([1], фиг. 2-20);
- модифицирано токово огледало на Уилсън ([1], фиг. 2-21);
- токово огледало с регулируем каскод (фиг. 2-12)

при отношения на токовете 1:3 и стойности на I_{ref} от 10 μA до 100 μA .

Задача 4. Изследвайте схемите от Задача 3 с помощта на *worst case* моделите на 0.35 μm CMOS технология на AMS.

Задача 5. Обобщете получените резултати в таблици, сравнете и анализирайте характеристиките на изследваните огледала.

Задача 6. Предложете и изследвайте схеми за сумиране и изваждане на токове, реализирани на базата на токови огледала.

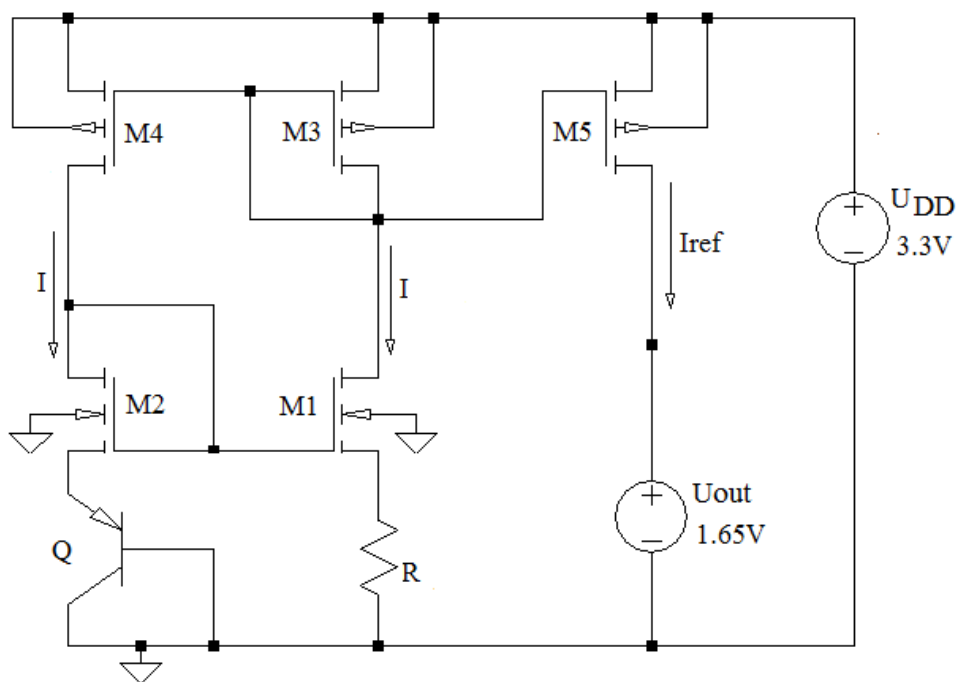


Фиг. 2-12. Токово огледало с регулируем каскод.

2.2. Задаващи източници на ток

2.2.1. Източник на ток с диод

На фиг. 2-13 е показана схемата на източник на ток с диод. Генераторната част на източника включва MOS транзисторите $M1 \div M4$, биполярния транзистор Q и резистора R . Състои се от токоопределящата верига ($M1, M2, Q$ и R) и простото токово огледало ($M3 - M4$), използвано като обратна връзка за стабилизиране на тока. Простото токово огледало $M3 - M5$ служи за прехвърляне на генерирания ток I към товара.



Фиг. 2-13. Източник на ток с диод.

Генераторът на ток може да се раздели условно на два клона – $M3, M1, R$ и $M4, M2, Q$. Обикновено се приема, че токовете в двата клона са еднакви, което означава, че двойките транзистори $M1, M2$ и $M3, M4$ са еднакви. Понеже напрежението върху превода емитер-база на транзистора е сравнително постоянно, то големината на тока през резистора се определя с формулата

$$I = \frac{U_{BE}}{R} \approx \frac{0.7V}{R} \quad (2-24)$$

Пример 2-4. Да се оразмери и симулира схемата на източник на ток с диод (фиг. 2-13) за $I_{ref} = 40\mu A$.

Решение

Оразмеряване на схемата

За да се осигури минимална консумация на схемата, стойността на тока I се избира сравнително малка – в случая $I = 10\mu A$. Тогава, аналогично на разгледаните дотук случаи, за отделните елементи на схемата се получава:

$$R = \frac{U_{BE}}{I} \approx \frac{0.7V}{10\mu A} = 70k\Omega; \quad \frac{W_1}{L_1} = \frac{W_2}{L_2} = 5; \quad \frac{W_3}{L_3} = \frac{W_4}{L_4} = 12.5; \quad \frac{W_5}{L_5} = 50. \quad (2-25)$$

Дължината на канала на всички транзистори е $L = 2\mu m$, а широчините са:

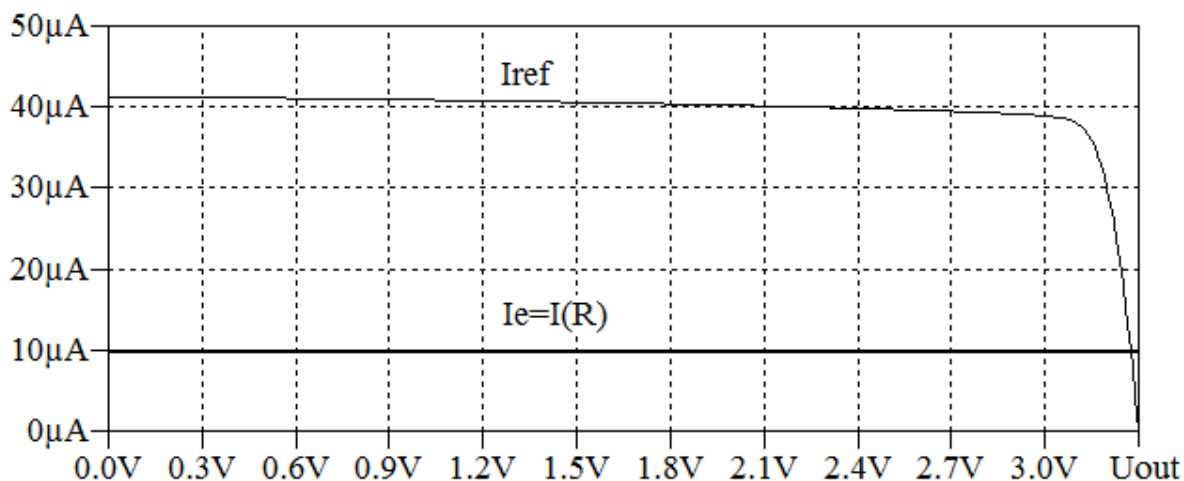
$$W_1 = W_2 = 10\mu m; \quad W_3 = W_4 = 25\mu m; \quad W_5 = 100\mu m.$$

Площта на емитерния преход е избрана 8 пъти минималната.

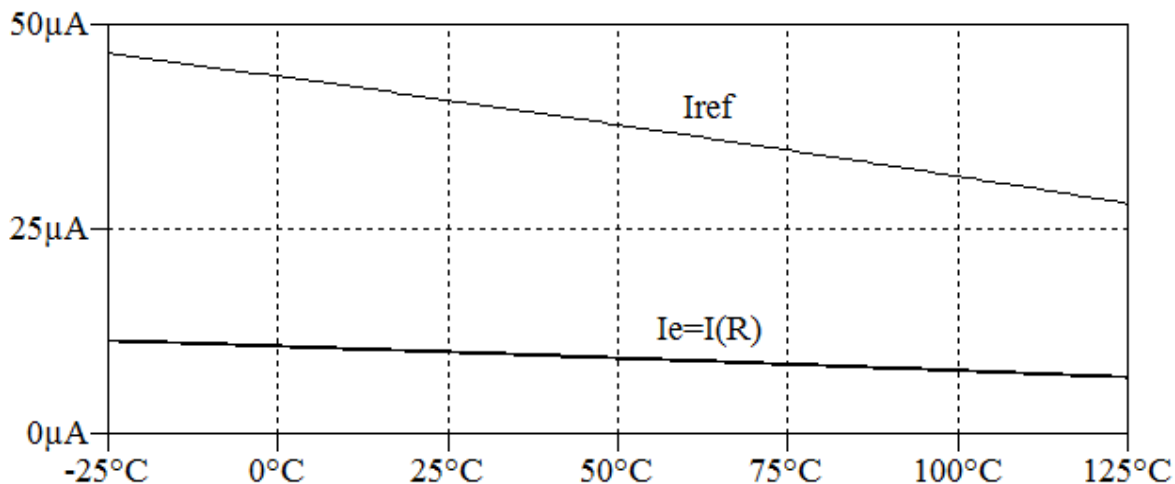
Получената стойност на съпротивлението R е относително голяма, което може да доведе до увеличена площ на чипа или усложнена реализация.

Симулация на схемата

На фиг. 2-14 са показани резултатите от симулацията на схемата при промяна на U_{out} от $0V$ до $3.3V$. Токът през резистора $I(R)$ и токът през емитера на транзистора I_e са еднакви и близки до $10\mu A$. Токът I_{ref} зависи от напрежението U_{out} . При необходимост от по-високо изходно съпротивление и по-малка чувствителност на източника е възможно простите токови огледала $M3-M4$ и $M3-M5$ да се заменят с каскодни.



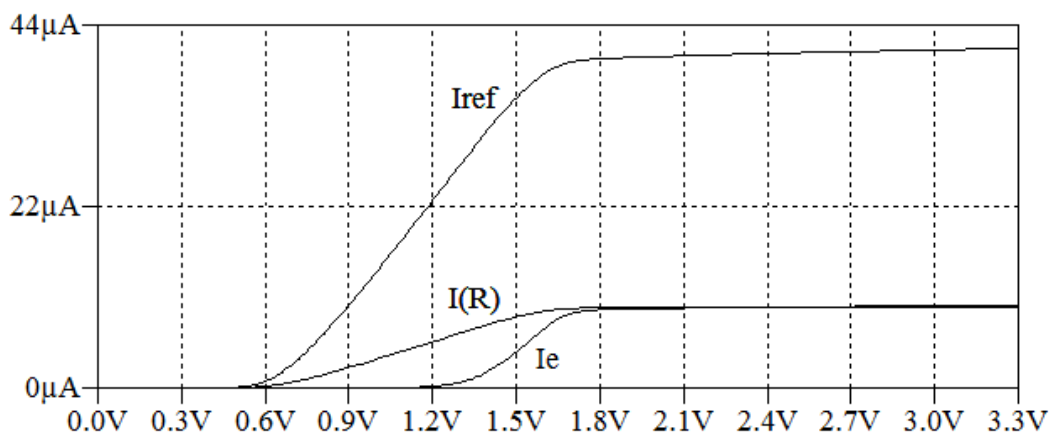
Фиг. 2-14. Резултати от симулацията на задаващия източник на ток с диод.



Фиг. 2-15. Резултати от температурния анализ на задаващия източник на ток.

На фиг. 2-15 са показани резултатите от температурния анализ на задаващия източник на ток. Токът I_{ref} има отрицателен температурен коефициент ($-0.122\mu A/^{\circ}C$), който се определя основно от температурния коефициент на напрежението върху прехода емитер-база на транзистора.

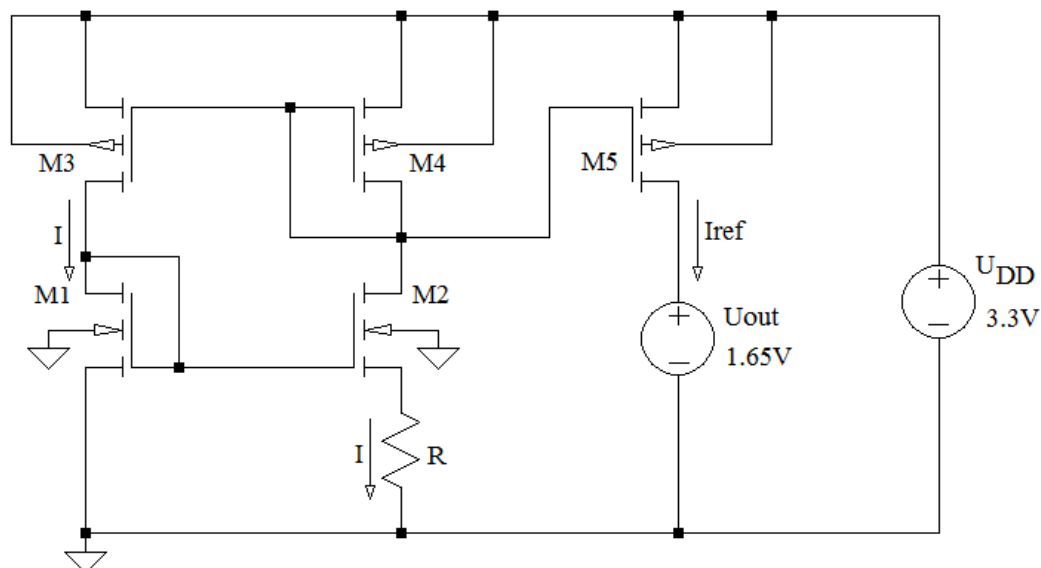
На фиг. 2-16 е демонстрирана зависимостта на изходния ток I_{ref} , тока през резистора $I(R)$ и тока през биполярния транзистор I_e от стойността на захранващото напрежение U_{DD} . Схемата е работоспособна при захранващи напрежения над 1.8V.



Фиг. 2-16. Зависимост на токовете в източника от стойността на захранващото напрежение.

2.2.2. Източник на ток с CMOS транзистори и резистор

На фиг. 2-17 е показана схемата на източник на ток с CMOS транзистори и резистор.



Фиг. 2-17. Източник на ток с CMOS транзистори и резистор.

Токовете в двата клона на схемата ($M4, M2, R$ и $M3, M1$) обикновено се избират еднакви и стойността им се определя от затворения контур $M1, M2, R$. Простото токово огледало $M4 - M3$ е обратна връзка за стабилизиране на тока. Огледалото $M4 - M5$ осъществява прехвърлянето на I_{ref} към товара.

В зависимост от стойността на генерирания ток схемата има два варианта за оразмеряване. При първия вариант (големи токове) транзисторите работят в силна инверсия, в областта на насищане. При втория вариант (характеризира се с ниски стойности на генерирания ток) транзисторите $M1$ и $M2$ работят в подпраговата област (слаба инверсия).

Пример 2-5. Оразмерете и симулирайте схемата на източник на ток с CMOS транзистори и резистор (фиг. 2-17) за: а) $I_{ref} = 10\mu A$ и б) $I_{ref} = 250nA$.

а) Решение при $I_{ref} = 10\mu A$

За затворения контур $M1, M2, R$ при отчитане на корекцията на праговото напрежение на $M2$ се получава:

$$U_{GS1} = U_{GS2} + I \cdot R ;$$

$$U_{TN0} + U_{eff1} = U_{TN2} + U_{eff2} + I \cdot R ;$$

$$U_{TN0} + U_{eff1} = U_{TN0} + \gamma_n \left(\sqrt{U_{S2B} + |2\phi_F|} - \sqrt{|2\phi_F|} \right) + U_{eff2} + I \cdot R ;$$

$$U_{eff1} = \gamma_n \left(\sqrt{U_{S2B} + |2\phi_F|} - \sqrt{|2\phi_F|} \right) + U_{eff2} + I \cdot R ; \quad (2-26)$$

$$\sqrt{\frac{2I}{K_n(W_1/L_1)}} = \gamma_n \left(\sqrt{I \cdot R + |2\phi_F|} - \sqrt{|2\phi_F|} \right) + \sqrt{\frac{2I}{K_n(W_2/L_2)}} + I \cdot R \quad (2-27)$$

Последното равенство служи за определяне на стойността на съпротивлението R . За целта е необходимо $\frac{W_2}{L_2} = k \frac{W_1}{L_1}$, където $k > 1$. При изпълнение на условието $L_1 = L_2$ следва, че $W_2 = k \cdot W_1$.

Оразмеряването на схемата се извършва при условие, че всички транзистори работят в силна инверсия, в областта на насищане.

Приема се, че токът I е равен на $I_{ref} = 10\mu A$, което осигурява минимална консумация на схемата. За транзистора $M2$ се получава:

$$\frac{W_2}{L_2} = \frac{2I}{K_n U_{eff2}^2} = \frac{2 \cdot 10e-6}{100e-6 \cdot (0.2)^2} = 5; \quad W_2 = 10\mu m; \quad L_2 = 2\mu m \quad (2-28)$$

Ако се приеме $k = 2$, размерите на транзистора $M1$ и ефективното му напрежение са:

$$\left. \begin{aligned} W_1 &= \frac{W_2}{k} = \frac{10\mu m}{2} = 5\mu m; & L_1 &= 2\mu m \\ U_{eff1} &= \sqrt{\frac{2I}{K_n(W_1/L_1)}} = \sqrt{\frac{2 \cdot 10e-6}{100e-6 \cdot (5/2)}} = 0.283V \end{aligned} \right| \quad (2-29)$$

След заместване на $U_{eff1} = 0.238$ в (2-26) се получава

$$0.283 = 0.55 \cdot (\sqrt{10e-6 \cdot R + 0.6} - \sqrt{0.6}) + 0.2 + 10e-6 \cdot R, \quad (2-30)$$

откъдето се определя стойността на резистора – $R = 6165\Omega$. За стойността на температурния му коефициент приемаме $TCR=2000ppm$.

При оразмеряване на pMOS транзисторите също се спазва условието $U_{effp} = 0.2V$. Понеже $K_p \approx K_n / 2.5$, следва, че при протичане на един и същ ток отношението W/L на транзисторите $M3, M4, M5$ трябва да е 2.5 пъти по-голямо от W_2/L_2 , т.е. $W_3 = W_4 = W_5 = 25\mu m$; $L_3 = L_4 = L_5 = 2\mu m$.

Симулацията на схемата показва, че при $T=300K$ и захранващо напрежение $3.3V$ стойността на генерирания ток е $10.3\mu A$. При промяна на температурата от $-40^\circ C$ до $+120^\circ C$ токът се променя между $9.3\mu A$ и $11.2\mu A$, откъдето температурният му коефициент се определя равен на $0.12\%/K$.

б) Решение при $I_{ref} = 0.25\mu A$

Както беше посочено в т. 1, малките стойности на дрейновия ток при MOS транзисторите са характерни при работата му в режим на слаба инверсия. Като се вземе предвид (1-15), за контура $M1, M2, R$ се получава:

$$U_{GS1} = U_{GS2} + I \cdot R; \quad (2-31)$$

$$n\phi_T \ln \frac{I}{I_{D0}(W_1/L_1)} + U_{TN0} = n\phi_T \ln \frac{I}{I_{D0}(W_2/L_2)} + U_{TN2} + I \cdot R; \quad (2-32)$$

$$-n\phi_T \ln \frac{W_1}{L_1} = -n\phi_T \ln \frac{W_2}{L_2} + \gamma_n (\sqrt{I \cdot R + |2\phi_F|} + \sqrt{|2\phi_F|}) + I \cdot R \quad (2-33)$$

От последното уравнение се констатира, че и в този случай са в сила условията $L_1 = L_2$ и $W_2 = k \cdot W_1$, където $k > 1$. Окончателно:

$$n\phi_T \ln k = \gamma_n (\sqrt{I \cdot R + |2\phi_F|} + \sqrt{|2\phi_F|}) + I \cdot R \quad (2-34)$$

Решаването на (2-34) при $I = I_{ref} = 0.25\mu A$, $k = 4$ и ориентиловъчна стойност на $n = 1.5$ води до $R = 159.25k$. Приемаме отново, че температурният коефициент на резистора е $TCR=2000ppm$.

За осигуряване на работата на $M2$ и $M1$ в подпороговата област е необходимо техните отношения W/L да бъдат големи. За целта W_2/L_2 е избрано 20 пъти по-голямо от стойността му в предишния случай – $W_2 = 200\mu m$; $L_2 = 2\mu m$. Понеже $k = 4$, следва, че $W_1 = 50\mu m$; $L_1 = 2\mu m$. От общото условие за минимална площ размерите на pMOS транзисторите са избрани $W_3 = W_4 = W_5 = L_3 = L_4 = L_5 = 2\mu m$.

Симулацията на схемата при захранващо напрежение $3.3V$ и температура $300K$ показва, че стойността на тока е много близка до проектираната – $I_{ref} = 254.2nA$. При промяна на температурата от $-40^\circ C$ до $+120^\circ C$ токът се променя между $230nA$ и $280nA$, откъдето за температурния му коефициент се получава $0.14\%/K$.

Упражнение № 5

Изследване и сравнение на вериги за установяване на стабилен ток с CMOS транзистори

Задача 1. Дефинирайте основните изисквания към задаващите източници на ток. Предложете начини за определянето им чрез симулация.

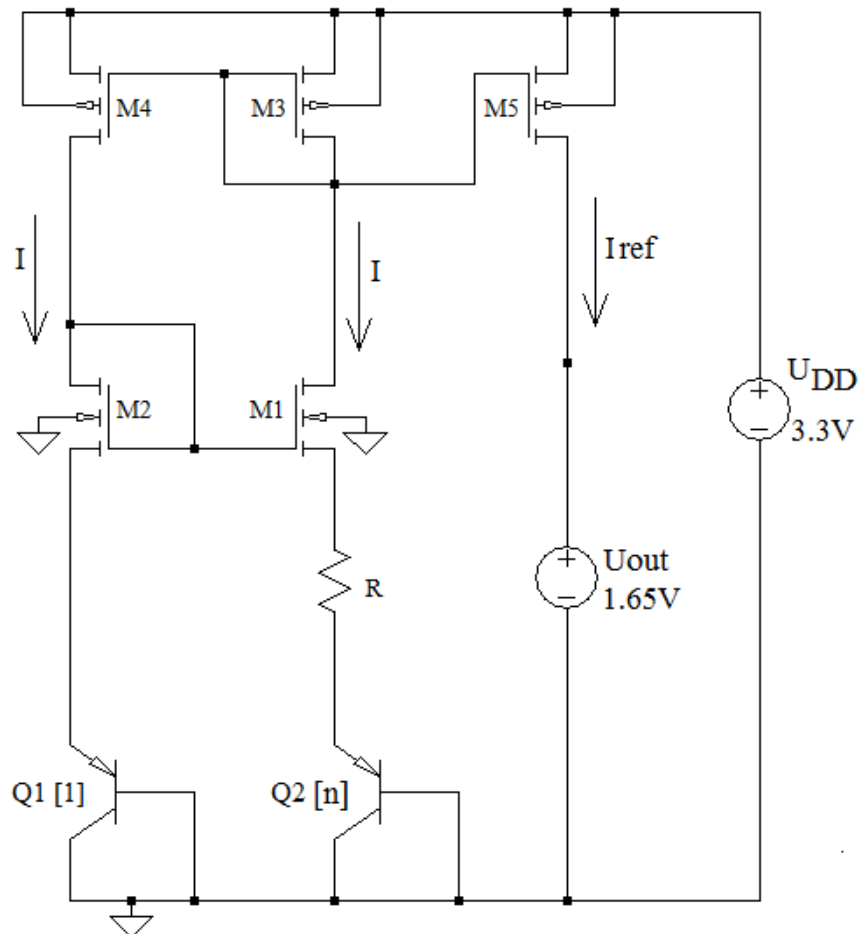
Задача 2. Оразмерете и изследвайте схемите за генериране на стабилен ток, използващи като еталон:

- напрежението на отпушения p-n преход U_{BE} (фиг. 2-13);
- топлинния потенциал φ_T (фиг. 2-18);
- праговото напрежение на MOS транзистора U_{TN} (фиг. 2-17)

при стойности на изходния ток $20\mu\text{A}$. При изследванията използвайте *typical* и *worst case* моделите на $0.35\mu\text{m}$ CMOS технология на AMS.

Задача 3. Модифицирайте и изследвайте схемите от Задача 2 за случай на използване на касковно токово огледало в обратната връзка. Посочете предимствата и недостатъците на това решение спрямо решението с просто токово огледало.

Задача 4. Обобщете получените резултати в таблици, сравнете и анализирайте характеристиките на изследваните схеми.

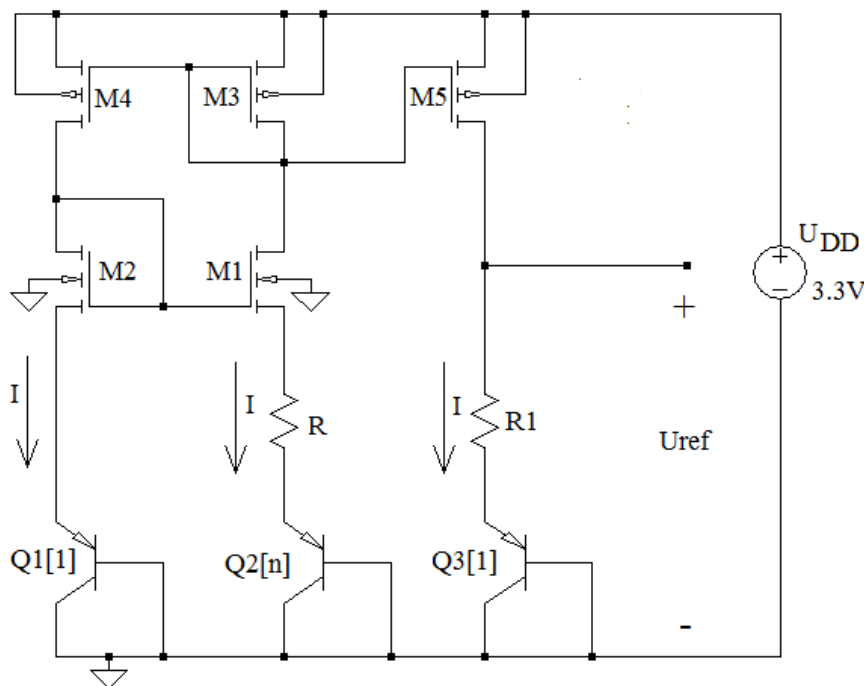


Фиг. 2-18. Схема за генериране на стабилен ток, използваща като еталон топлинния потенциал φ_T .

2.3. Задаващи източници на напрежение

2.3.1. Източник на напрежение, слабо зависим от вариациите на температурата

На фиг. 2-19 е показана схемата на източник на напрежение, слабо зависим от вариациите на температурата. Използва се като стабилен източник на напрежение със стойност U_{ref} , близка до широчината на забранената зона (band-gap).



Фиг. 2-19. Band-gap източник на опорно напрежение.

Напрежението U_{ref} е равно на сумата от напрежението върху резистора $R1$ и напрежението върху прехода емитер-база на транзистора $Q3$:

$$U_{ref} = I \cdot R1 + U_{EB3}. \quad (2-35)$$

Стойността на тока I се задава от източника на ток, използващ като еталон топлинния потенциал ϕ_T . Той се състои от $Q1$ и $Q2$ в диодно свързване, резистора R и MOS транзисторите $M1 \div M4$. Транзисторът $Q2$ е с n пъти по-голяма площ от $Q1$, т.е. токът на насищане I_{s2} е n пъти по-голям от I_{s1} .

Ако транзисторът $M1$ има еднакви размери с $M2$, а транзисторът $M3$ – с $M4$, токът в двете рамена на схемата ще бъде еднакъв и потенциалът в сорса на $M1$ ще бъде равен на потенциала в сорса на $M2$. Оттук следва, че:

$$U_{EB1} = I \cdot R + U_{EB2}; \quad (2-36)$$

$$m\phi_T \ln\left(\frac{I}{I_{s1}}\right) = I \cdot R + m\phi_T \ln\left(\frac{I}{I_{s2}}\right); \quad (2-37)$$

$$I = \frac{m\phi_T}{R} \ln\left(\frac{I_{s2}}{I_{s1}}\right) = \frac{m\phi_T}{R} \ln(n), \quad (2-38)$$

където m е емпиричен коефициент със стойност между 1 и 2, n е отношението на площите на двата транзистора, а $\varphi_T = \frac{kT}{q}$ е топлинният потенциал.

След заместване на израза от (2-38) в (2-35) се получава:

$$U_{ref} = \frac{R1}{R} m \varphi_T \ln(n) + U_{EB3} \quad (2-39)$$

Диференцирането на горния израз по отношение на температурата води до следното равенство за температурния коефициент на U_{ref} :

$$TCU_{ref} = \frac{R1}{R} m \frac{\varphi_T}{T} \ln(n) + \frac{dU_{EB3}}{dT} \quad (2-40)$$

Понеже температурният коефициент на напрежението върху емитерния преход на транзистора има отрицателен знак, е възможно да се осъществи температурна компенсация. Условието за това е $TCU_{ref} = 0$, откъдето следва:

$$\frac{R1}{R} m \frac{\varphi_T}{T} \ln(n) = -\frac{dU_{EB3}}{dT}; \quad (2-41)$$

$$R1 \frac{dI}{dT} = -\frac{dU_{EB3}}{dT} \quad (2-42)$$

Стойността на изходното напрежение се получава чрез преобразуване на (2-41) и заместването му в (2-39):

$$U_{ref} = -T \frac{dU_{EB3}}{dT} + U_{EB3} \quad (2-43)$$

Анализът на (2-43) показва, че температурна компенсация ($TCU_{ref} = 0$) е възможна само за една температура T . Като се вземе предвид, че ориентировъчната стойност на U_{EB} на транзисторите е около $0.65V$, а температурният коефициент TCU_{EB} е около $-2 \frac{mV}{K}$, за стойността на генерираното напрежение при температура $T = 300K$ се получава:

$$U_{ref} = -T \frac{dU_{EB}}{dT} + U_{EB3} \approx -300K \cdot \left(-2 \frac{mV}{K}\right) + 650mV = 1.25V, \quad (2-44)$$

което е много близко до широчината на забранената зона (band-gap) на Si.

Пример 2-6. Оразмерете схемата на band-gap източника на опорно напрежение, показан на фиг. 2-19. Симулирайте зависимостта на изходното напрежение U_{ref} от температурата.

Оразмеряването на източника на напрежение включва определяне на: размерите на MOS транзисторите, стойностите на двата резистора и площта на емитерния преход на транзистора $Q2$. Очевидно е, че броят на независимите

уравнения, с които разполагаме – (2-39) и (2-43), е недостатъчен. Ето защо за определяне на някои от параметрите на схемата се използват общи съображения или емпирични правила. Например използването на биполярни транзистори с много голямо отношение на площите е нежелателно поради появата на отклонения и несъответствия в характеристиките им. Обикновено те се избират с отношение 2, 4 или 8, което се постига чрез паралелното свързване на транзистори с минимална площ. За случая ще изберем $n = 2$. Приемаме, че $m = 1.5$. От (2-41), при $TCU_{EB} \approx -2mV/K$, $T = 300K$ и $\varphi_T = 25.8mV$ за отношението на двата резистора се получава:

$$\left(\frac{R1}{R}\right) = -\frac{dU_{EB}}{dT} / \left(m \frac{\varphi_T}{T} \ln(n)\right) = \frac{2mV/K}{1.5 \cdot 25.8mV \cdot \ln(2)} 300 = 22.367 \quad (2-45)$$

За минимална площ на кристала и приемлива точност на реализацията стойностите на резисторите в схемата не трябва да надвишават $50k\Omega$ [1]. Избираме $R1 = 22.367k\Omega$. Тогава от (2-45) за другият резистор се получава $R = 1k\Omega$.

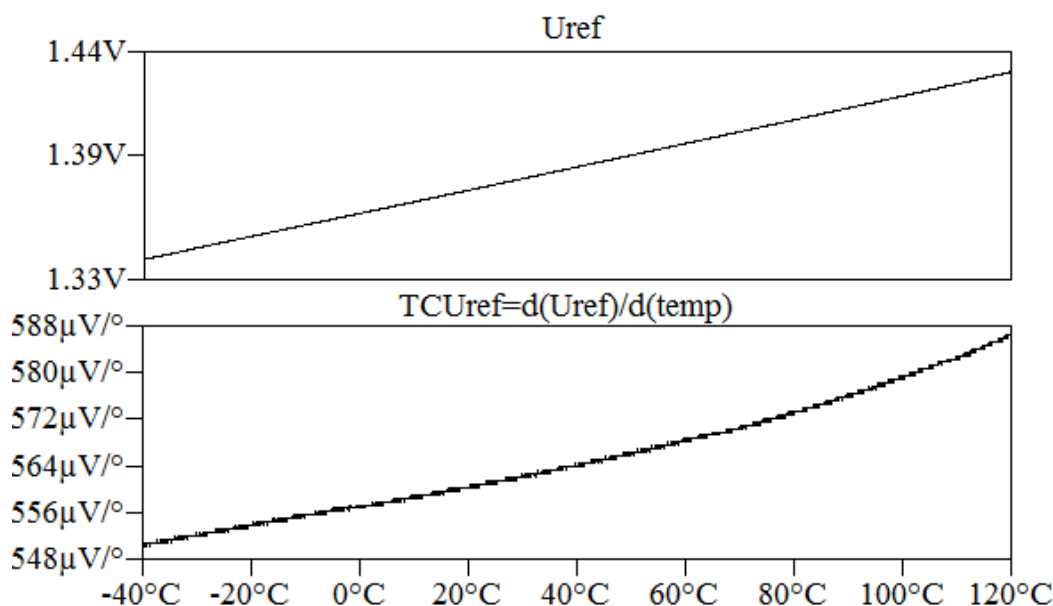
От (2-38) за тока I при $T = 300K$ се определя:

$$I = \frac{m\varphi_T}{R} \ln(2) = \frac{1.5 \cdot 25.8mV}{1k\Omega} 0.6931 \approx 26.8\mu A \quad (2-46)$$

Изчисляваме отношенията на размерите на MOS транзисторите:

$$\frac{W1}{L1} = \frac{W2}{L2} = \frac{2I}{K_n U_{eff}^2} = 13.4 \approx 15; \quad \frac{W3}{L3} = \frac{W4}{L4} = \frac{W5}{L5} = \frac{K_n}{K_p} \frac{W1}{L1} \approx 37.5 \quad (2-47)$$

На фиг. 2-20 са показани резултатите от симулацията на схемата при температура от $-40^\circ C$ до $+120^\circ C$. Напрежението U_{ref} се променя между $1.34V$ и $1.42V$, а температурният му коефициент варира от $0.55mV/K$ до $0.59mV/K$.



2-20. Зависимост на изходното напрежение на band-gap източника от температурата.

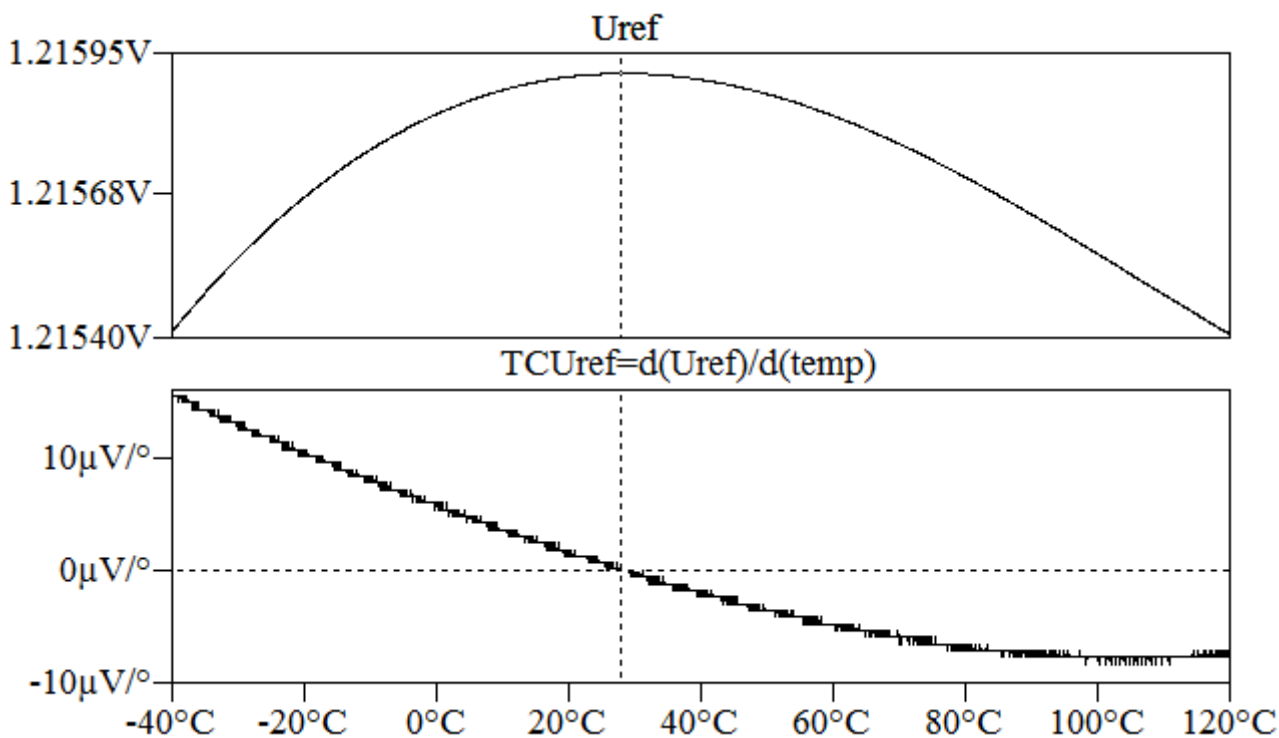
Следователно условието за независимост на изходното напрежение от температурата не е изпълнено. Това се дължи на факта, че приехме за температурния коефициент на напрежението между емитера и базата на транзистора ориентировъчната стойност $TCU_{EB} \approx -2mV/K$. Също така приехме, че емпиричният коефициент $m = 1.5$. Очевидно тези допускания не са точни и това дава отражение върху получените резултати.

За по-прецизно оразмеряване на схемата трябва да се съобразим със специфичните особености на използваната технология. За целта снемаме зависимостта на напрежението емитер-база на транзистора Q_3 от температурата и отчитаме реалния температурен коефициент TCU_{EB} , който при $T = 300K$ е равен на $-1.444mV/K$. Снемаме и зависимостта на тока през резистора $R1$ и определяме температурния коефициент $TCI_{R1} = 90.1nA/K$.

Тогава от (2-42) следва, че:

$$\begin{aligned} R1 \cdot TCI_{R1} &= -TCU_{EB3} \\ R1 \cdot 90.1nA/K &= 1.444mV/K \\ R1 &\approx 16028\Omega \end{aligned} \quad (2-48)$$

Резултатите от симулацията на схемата при новата стойност на $R1$ са показани на фиг. 2-21. В температурния диапазон от $-40^\circ C$ до $+120^\circ C$, напрежението U_{ref} варира с около $0.5mV$ – между $1.2154V$ и $1.2159V$. Температурният коефициент TCU_{ref} се променя от $15.5\mu V/K$ (при $-40^\circ C$) до $0\mu V/K$ (при $+27^\circ C$) и спада до $-8.5\mu V/K$ (при $+120^\circ C$).



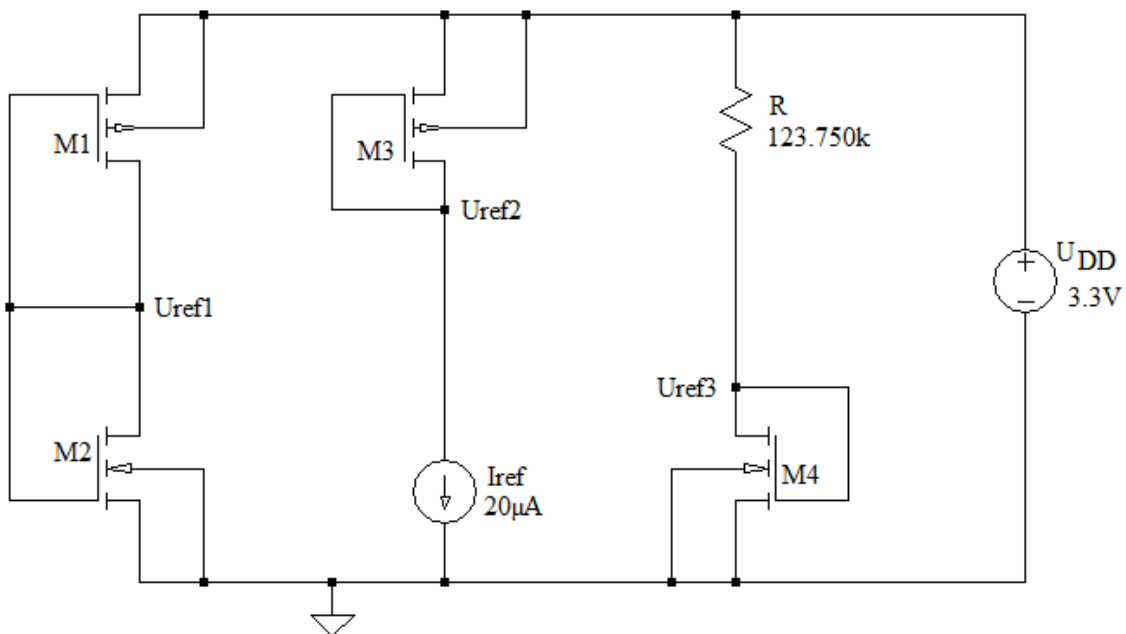
2-21. Зависимост на изходното напрежение на band-gap източника от температурата след корекцията на стойността на $R1$.

Упражнение № 6

Оразмеряване и симулиране на задаващи източници на напрежение с CMOS транзистори

Задача 1. Дефинирайте основните изисквания към веригите за установяване на стабилно напрежение. Предложете схеми за симулирането им.

Задача 2. Оразмерете задаващите източници на напрежение с CMOS транзистори (фиг. 2-22) за следните стойности на опорните напрежения: $U_{ref1} = U_{DD}/2 = 1.65V$; $U_{ref2} = 2U_{DD}/3 = 2.2V$; $U_{ref3} = U_{DD}/4 = 0.825V$. С помощта на симулации с *tm*-модела определете чувствителността $S_{U_{DD}}^{U_{ref}}$ и температурните коефициенти TCU_{ref} на изходните напрежения. Изследвайте източниците и за четирите *worst case* модела. Обобщете резултатите и ги нанесете в таблица.



Фиг. 2-22. Задаващи източници на напрежение с CMOS транзистори.

$$\text{Упътване: } S_{U_{DD}}^{U_{ref}} = \frac{\Delta U_{ref}}{U_{ref}} \bigg/ \frac{\Delta U_{DD}}{U_{DD}} = \frac{\Delta U_{ref}}{\Delta U_{DD}} \bigg/ \frac{U_{ref}}{U_{DD}}.$$

Задача 3. Оразмерете CMOS band-gap източника на стабилно напрежение от фиг. 2-19 при отношение на площите на транзисторите $Q2$ и $Q1$ равно на 4. Чрез последователни симулации минимизирайте зависимостта на изходното напрежение от температурата. Изследвайте зависимостта на изходното напрежение от стойността на захранващото напрежение и *worst case* параметрите на транзисторите.

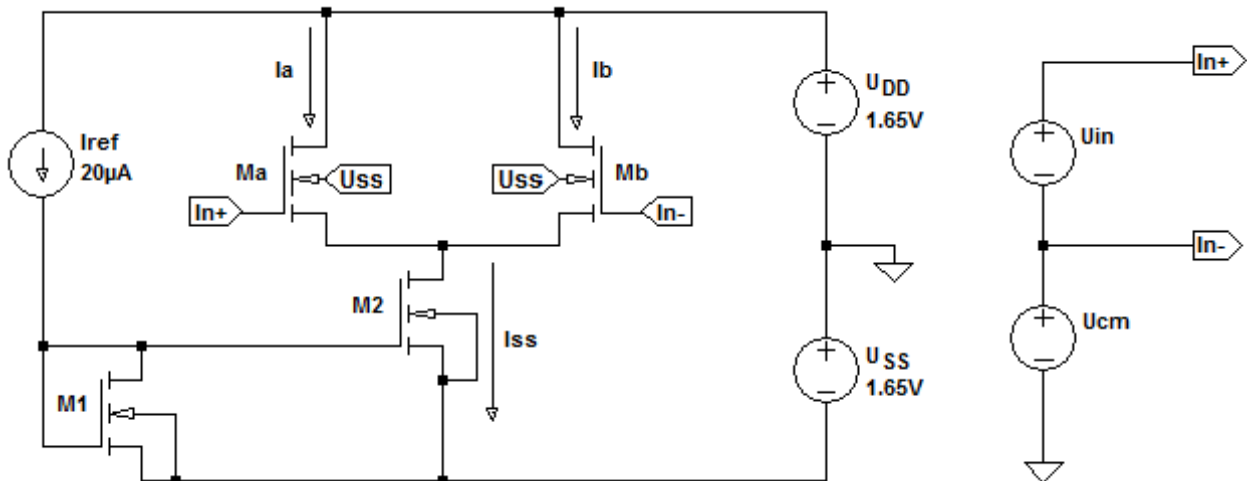
Задача 4. Модифицирайте и изследвайте CMOS band-gap схемата за случай на използване на касковно токово огледало във веригата на обратната връзка. Сравнете и обяснете получените резултати за двата варианта.

3. Основни функционални блокове на аналоговите CMOS интегрални схеми

3.1. Диференциални усилватели

3.1.1. Диференциална двойка с nMOS транзистори

На фиг. 3-1 е показана диференциалната двойка с еднаквите nMOS транзистори M_a и M_b [1, 3]. Транзисторът M_2 е генератор на ток I_{ss} , който се получава чрез простото токово огледало $M_1 - M_2$. Източникът U_{in} задава входния диференциален сигнал, а U_{cm} – синфазния.



Фиг. 3-1. Диференциална двойка с nMOS транзистори.

Съгласно (2-1) токът през транзистора M_2 е пропорционален на I_{ref} :

$$I_{ss} = \frac{W_2/L_2}{W_1/L_1} I_{ref} \quad (3-1)$$

За токовете през M_a и M_b е в сила

$$I_a + I_b = I_{ss} \quad (3-2)$$

Ако на двата входа е подаден един и същ сигнал ($U_{in} = 0$),

$$I_a = I_b = \frac{I_{ss}}{2} \quad (3-3)$$

Когато $U_{in} \neq 0$,

$$I_a \neq I_b. \quad (3-4)$$

Пример 3-1. Оразмерете схемата на диференциалната двойка с nMOS транзистори от фиг. 3-1 и симулирайте предавателните ѝ характеристики при:

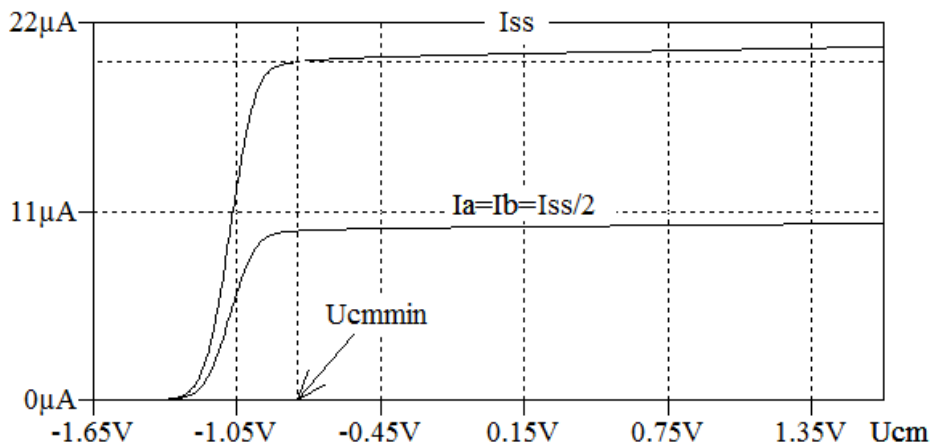
- промяна на синфазния сигнал от -1.65V до +1.65V и
- промяна на диференциалния сигнал от -1.65V до +1.65V.

Решение

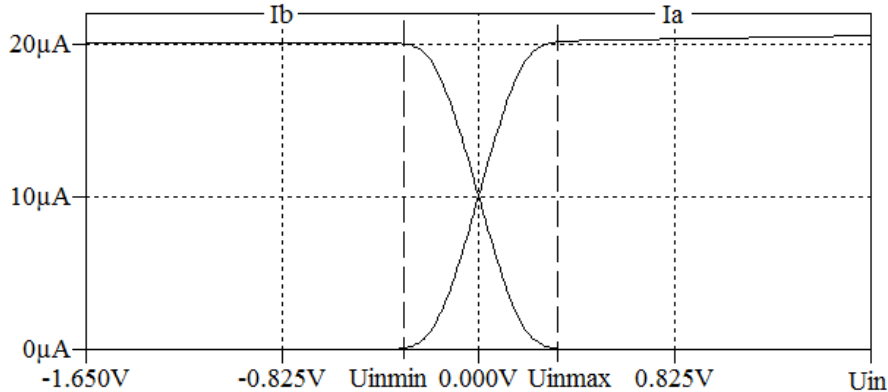
Приемаме, че транзисторите M_1 и M_2 са еднакви. Следователно задаващият I_{ref} и огледалният I_{ss} ток също са равни: $I_{ref} = I_{ss} = 20\mu A$. С помощта на (1-8) се изчислява $W_1 = W_2 = 20\mu m$ и $L_1 = L_2 = 2\mu m$.

От (3-3) следва, че $I_a = I_b = 10\mu\text{A}$. За размерите на двата входни транзистора се получава $W_a = W_b = 10\mu\text{m}$ и $L_a = L_b = 2\mu\text{m}$.

На фиг. 3-2 са показани токовете I_a , I_b и I_{ref} при промяна на синфазното напрежение от -1.65V до $+1.65\text{V}$. С U_{cmmin} е означено минималното синфазно напрежение. То се получава, като към захранващото напрежение U_{SS} се добави сумата от напрежението U_{GSmin} на транзисторите M_a и M_b и напрежението между дрейна и сорса U_{DS2min} на транзистора M_2 . Съгласно направеното оразмеряване, за да работят M_a и M_b в областта на силна инверсия, е необходимо $U_{GSmin} \geq U_{TN} + U_{eff} \approx 0.45 + 0.2 = 0.65\text{V}$. Транзисторът M_2 работи в областта на насищане, ако $U_{DS2min} > U_{DSAT2} = U_{eff} = 0.2\text{V}$. Следователно минималното синфазно напрежение е $U_{cmmin} > -1.65\text{V} + 0.65\text{V} + 0.2\text{V} = -0.8\text{V}$. След тази стойност I_{ss} се установява около $20\mu\text{A}$ и схемата е работоспособна.



Фиг. 3-2. Зависимост на токовете в схемата от стойността на синфазния сигнал.



Фиг. 3-3. Зависимост на токовете в двете рамена при диференциален входен сигнал.

На фиг. 3-3 са показани токовете I_a и I_b в двете рамена на диференциалната двойка при промяна на входното напрежение от -1.65V до $+1.65\text{V}$. При стойности на напрежението от -1.65V до U_{inmin} транзисторът M_a е запушен, а M_b – отпушен. В този участък токът $I_a = 0$, а $I_b = I_{ss}$. При стойности на напрежението от U_{inmax} до $+1.65\text{V}$ транзисторът M_b е запушен, а M_a – отпушен. Токът $I_a = I_{ss}$, а $I_b = 0$. Диференциалната двойка усилва

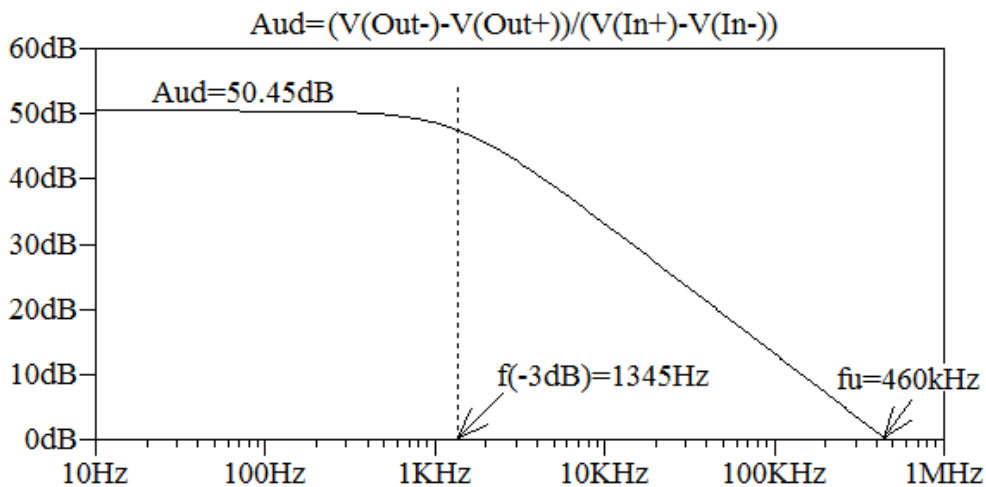
а честотната лента на ниво -3dB е приблизително равна на

$$f_{-3dB} \approx \frac{g_{ds1} + g_{ds3}}{2\pi 2C_L} = \frac{(\lambda_n + \lambda_p)I_{ss}}{8\pi C_L} = \frac{(0.014 + 0.018) \cdot 20e-6}{8\pi \cdot 20e-12} = 1273Hz \quad (3-7)$$

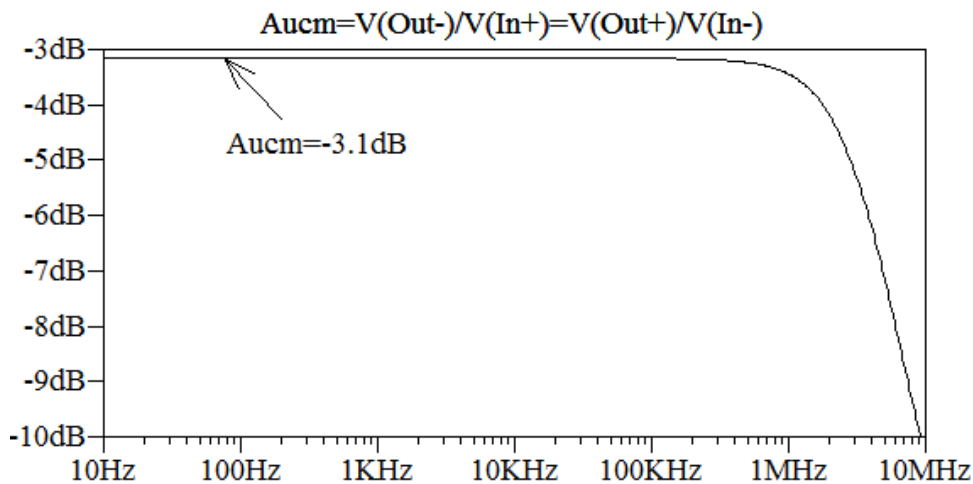
Коефициентът на усилване за синфазните сигнали е

$$|A_{ucm}| \approx \frac{r_{ds3}}{2r_{ds5}} = \frac{g_{ds5}}{2g_{ds3}} \approx \frac{\lambda_5 I_{ss}}{2\lambda_3 (I_{ss}/2)} = \frac{\lambda_n}{\lambda_p} = \frac{0.014}{0.018} = 0.778 \quad (-2.2dB) \quad (3-8)$$

На фиг. 3-5 е показан резултатът от симулацията на амплитудно-честотната характеристика при диференциален входен сигнал, а на фиг. 3-6 – амплитудно-честотната характеристика при подаване на синфазен сигнал.



Фиг. 3-5. Амплитудно-честотна характеристика при диференциален входен сигнал.



Фиг. 3-6. Амплитудно-честотна характеристика при синфазен входен сигнал.

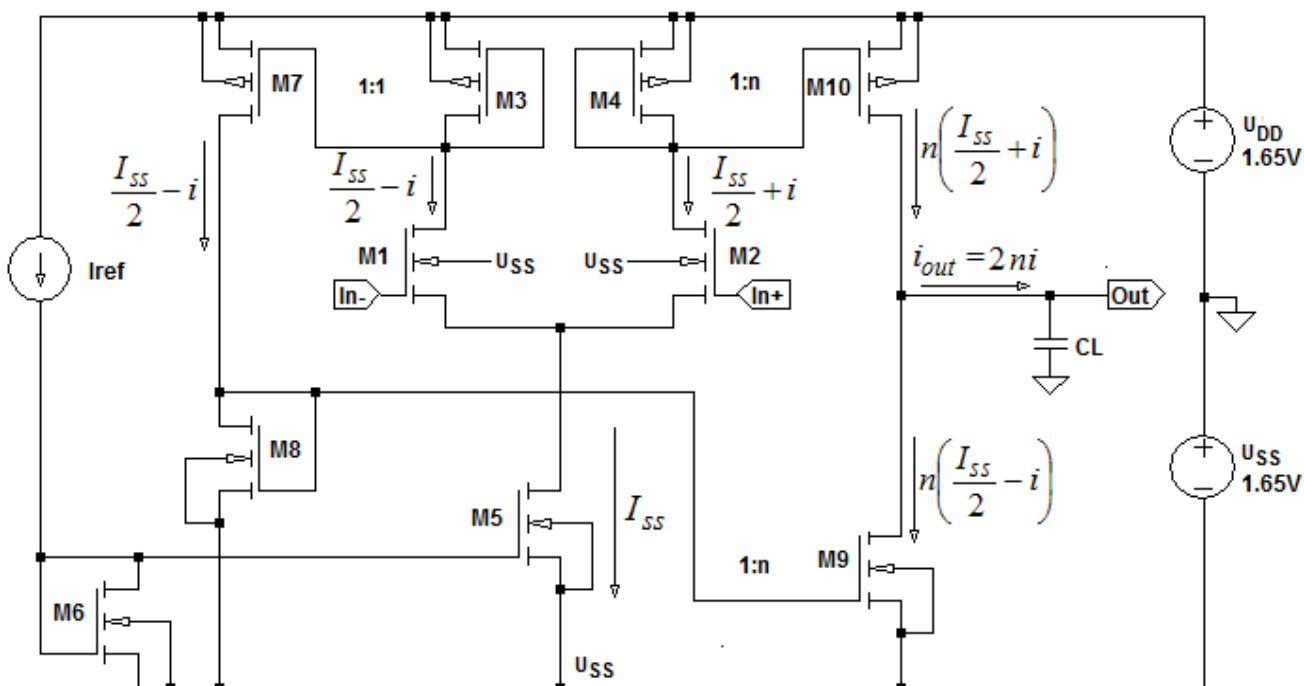
Сравнението на резултатите от пресмятанията и симулациите, представени в табл. 3-1, показва много добро съвпадение, независимо от използването на приблизителни формули за изчисление.

Табл. 3-1

	A_{ud}	f_{-3dB}	f_u	A_{ucm}
Изчислено	49.9dB	1273Hz	398kHz	-2.2dB
Симулирано	50.4dB	1345Hz	460kHz	-3.1dB

3.2. Операционни усилватели на проводимост

Операционните усилватели на проводимост (Operational Transconductance Amplifiers) OTA се дефинират като източници на ток, управлявани от напрежение (VCCS). Характеризират се с високо входно и високо изходно съпротивление. Високото изходно съпротивление на схемата не позволява към изхода ѝ да се включва нискоомен товар, а само кондензатор с малка стойност на капацитета. Точно такъв е случаят при големите CMOS интегрални схеми – при тях товар на OTA обикновено се явява следващо CMOS стъпало, което се характеризира с огромно входно съпротивление и входен капацитет с типични стойности около $10 \div 20 \text{pF}$. Затова OTA са най-често използваните стъпала за изграждане на вътрешната структура на големите CMOS интегрални схеми.



Фиг. 3-8. Операционен усилвател на проводимост.

На фиг. 3-8 е показана примерната схема на операционен усилвател на проводимост [2]. Схемата се състои от диференциален усилвател (ДУ) със симетричен изход и нискоомен товар $M1 \div M5$, изходно стъпало $M9 - M10$ и вериги от токови огледала $M6 - M5$, $M3 - M7$, $M8 - M9$ и $M4 - M10$.

Ако на двата входа на операционния усилвател на проводимост са подадени еднакви постояннотокowi сигнали и липсва диференциален сигнал, ДУ е в равновесие. Нека през транзистора $M5$ тече ток I_{SS} , който се получава от I_{ref} , чрез простото токово огледало $M6 - M5$. Съответно през транзисторите $M1, M3$ и $M2, M4$ тече половината от този ток $-I_{SS}/2$. Простото токово огледало $M3 - M7$ е с коефициент на предаване 1, така че токът през $M7, M8$ е също $I_{SS}/2$. Транзисторите $M8 - M9$ и $M4 - M10$ са токови огледала с отношение на токовете $1:n$. Следователно $I_{D9} = I_{D10} = nI_{SS}/2$.

Ако на входа на ОТА се подаде допълнително малък диференциален сигнал, тогава в двете рамена на ДУ се появява променливотокова съставка i :

$$i = g_{m1} \frac{u_{in}}{2}, \quad (3-9)$$

където $g_{m1} = g_{m2}$ е стръмността на входните транзистори $M1$ и $M2$, а u_{in} е входното напрежение. Следователно през $M1, M3$ тече ток $\frac{I_{ss}}{2} - i$, а през $M2, M4$ тече $\frac{I_{ss}}{2} + i$. С помощта на токовете огледала тези два тока се появяват на изхода умножени n пъти. Променливотоковата съставка на изходния ток е

$$i_{out} = i_{D10} - i_{D9} = n \left(\frac{I_{ss}}{2} + i \right) - n \left(\frac{I_{ss}}{2} - i \right) = 2ni = 2ng_{m1} \frac{u_{in}}{2} = ng_{m1} u_{in} \quad (3-10)$$

За стръмността G_m на ОТА се получава

$$G_m = \frac{i_{out}}{u_{in}} = ng_{m1}. \quad (3-11)$$

Изходното напрежение е

$$u_{out} = i_{out} r_{out} = i_{out} (r_{ds9} \parallel r_{ds10}) = \frac{ng_{m1}}{g_{ds9} + g_{ds10}} u_{in}, \quad (3-12)$$

а коефициентът на усилване по напрежение –

$$A_{ud} = \frac{u_{out}}{u_{in}} = \frac{ng_{m1}}{g_{ds9} + g_{ds10}}. \quad (3-13)$$

След заместване на g_{m1} и g_{ds} с формулите, представени в (1-11), се получава:

$$A_{ud} = \frac{ng_{m1}}{g_{ds9} + g_{ds10}} = \frac{n \frac{2I_{D1}}{U_{eff1}}}{\lambda_9 I_{D9} + \lambda_{10} I_{D10}} = \frac{2}{U_{eff1} (\lambda_n + \lambda_p)}$$

Заместваме λ_n и λ_p със стойностите от табл. 4-1, при $U_{eff1} = 0.2V$:

$$A_{ud} = \frac{2}{U_{eff1} (\lambda_n + \lambda_p)} = \frac{2}{0.2(0.014 + 0.018)} \approx 312.5 \quad (49.9dB) \quad (3-14)$$

Резултатът в (3-14) показва, че усилването на ОТА е ограничено в рамките на технологията. В нашия случай (0.35 μ m CMOS технология на AMS) стойностите на A_{ud} , които можем да очакваме, са около 50dB.

Характерно за разглеждания ОТА е, че в него има само една точка с висок импеданс – изхода на схемата. Следователно честотната лента на усилвателя зависи само от товарния капацитет C_L :

$$f_{-3dB} = \frac{1}{2\pi r_{out} C_L} = \frac{g_{ds9} + g_{ds10}}{2\pi C_L}, \quad (3-15)$$

а площта на усилването (честотата на единично усилване) е

$$f_u = A_{ud} f_{-3dB} = \frac{ng_{m1}}{g_{ds9} + g_{ds10}} \frac{g_{ds9} + g_{ds10}}{2\pi C_L} = \frac{ng_{m1}}{2\pi C_L} \quad (3-16)$$

Скоростта на нарастване на изходния сигнал се определя от стойността на товарния капацитет C_L и максималните токове през транзисторите $M9$ и $M10$:

$$SR^+ = SR^- \approx \frac{nI_{SS}}{C_L} \quad (3-17)$$

Последните две равенства се използват най-често като условие при оразмеряване на ОТА.

Пример 3-3. Да се проектира схемата на ОТА от фиг. 3-8 за честота на единичното усилване $f_u = 5MHz$ при $C_L = 10pF$.

Да се определят основните параметри на схемата чрез симулации.

Решение

От (3-16) при $f_u = 5MHz$ и $C_L = 10pF$ се получава

$$ng_{m1} \geq 2\pi C_L f_u = 314\mu A/V \quad (3-18)$$

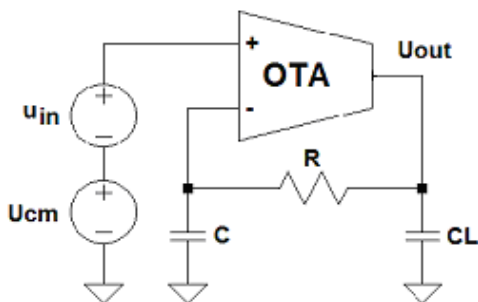
Ако в (3-18) заместим g_{m1} с формулата от (1-11) следва, че:

$$ng_{m1} = n \frac{2I_{D1}}{U_{eff1}} = n \frac{I_{SS}}{U_{eff1}} \geq 314\mu A/V \quad (3-19)$$

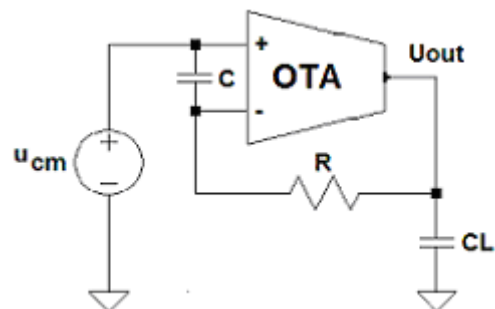
При $U_{eff1} = 0.2V$ и ако изберем $n = 2$, за тока I_{SS} се изчислява

$$I_{SS} \geq \frac{0.2 \cdot 314e-6}{2} = 31.4\mu A \quad (3-20)$$

Избираме ток $I_{SS} = 32\mu A$. С оглед минимална консумация задаваме $I_{ref} = 10\mu A$. След прилагане на (1-8) за широчината на каналите на транзисторите се получава: $W1 = W2 = W8 = 16\mu m$, $W3 = W4 = W7 = 40\mu m$, $W6 = 10\mu m$, $W5 = W9 = 32\mu m$, $W10 = 80\mu m$. Дължината на каналите на всички транзистори е $L = 2\mu m$.



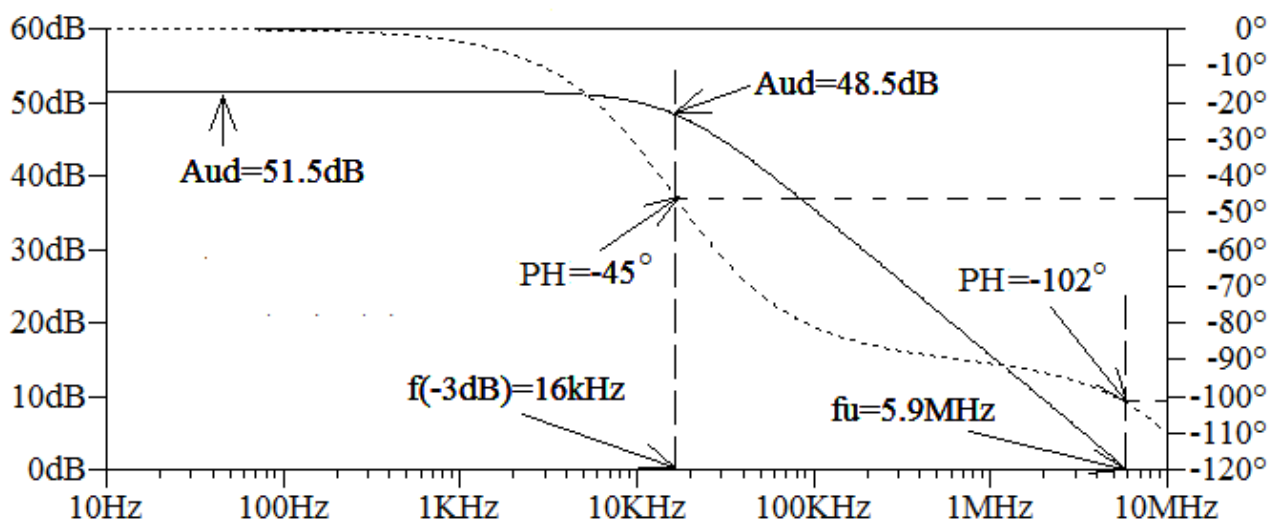
Фиг. 3-9а. Симулиране на АЧХ за диференциален входен сигнал.



Фиг.3-9б. Симулиране на АЧХ за синфазен входен сигнал.

На фиг. 3-9а е показано свързването на ОТА за снемане на амплитудно-честотната характеристика (АЧХ) при диференциален входен сигнал. Кондензаторът C и резисторът R осигуряват постояннотоковия режим. Техните стойности трябва да бъдат много големи. Източникът на постоянно напрежение U_{cm} задава желаната стойност на синфазния сигнал, а u_{in} генерира променливотоковия тестови сигнал.

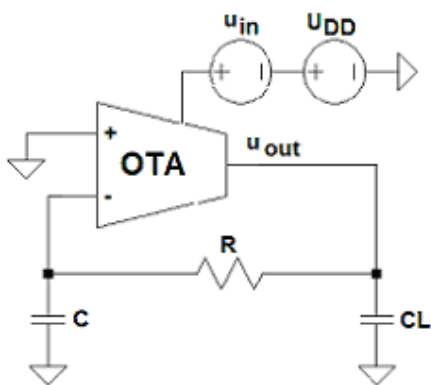
Резултатите от симулацията на схемата са показани на фиг. 3-10. Честотата на единично усилване е близка до желаната стойност – $f_u = 5.9MHz$, диференциалният коефициент на усилване е $A_{ud} = 51.5dB$ и също е близък до очаквания по формула (3-14). Фазата е $PH = -102^\circ$, а запасът по фаза $PM = PH - 180^\circ = 78^\circ$ е напълно достатъчен за стабилна работа.



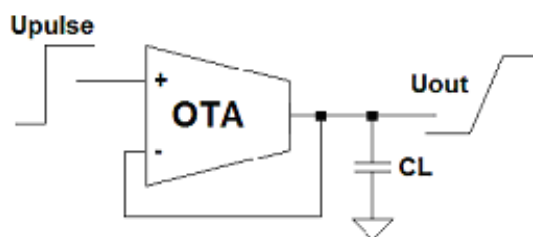
Фиг. 3-10. Амплитудно-честотна и фазова характеристика на ОТА.

На фиг. 3-9б е показана схемата за изследване на АЧХ на ОТА за синфазен сигнал. След симулацията за A_{ucm} се отчита стойност около $-33dB$ при ниски честоти. Коефициентът на потискане на синфазните сигнали е

$$CMRR = 20 \log \left(\frac{A_{ud}}{A_{ucm}} \right) \approx 52dB - (-33dB) = 85dB \quad (3-21)$$



Фиг. 3-11а. Схема за определяне на PSRR+.



Фиг. 3-11б. Схема за определяне на SR.

На фиг. 3-11а е показано свързването за определяне на коефициента на потискане на пулсациите на захранващото напрежение $PSRR^+$. За целта се задава АС анализ с входен сигнал u_{in} и се определя отношението u_{out}/u_{in} . Коефициентът $PSRR^+$ се представя с израза

$$PSRR^+ = \frac{A_{ud}}{u_{out}/u_{in}} \quad (3-22)$$

За разглеждания случай $A_{ud} = 51.5dB$, а от симулацията на фиг. 3-11а u_{out}/u_{in} се определя равно на $-13.5dB$. Окончателно за $PSRR^+$ се получава $65dB$. По подобен начин се определя и $PSRR^-$. В този случай, понеже схемата е несиметрична по отношение на захранването, стойността на $PSRR^-$ е по-малка – около $55dB$.

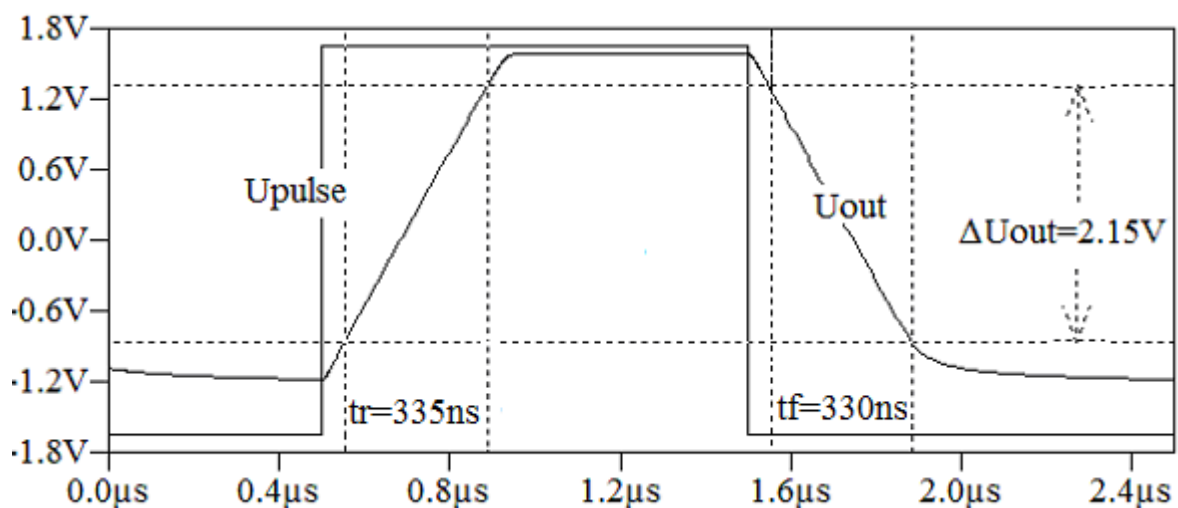
Фигура 3-11б представя схемата за симулиране на скоростта на нарастване и спадане на изходния сигнал – SR^+ и SR^- . На входа се подава правоъгълен импулс U_{pulse} , а на изхода, в зависимост от продължителността на фронта, се определя скоростта на нарастване $SR = \frac{\Delta U_{out}}{\Delta t}$.

Резултатите от симулацията за определяне на SR^+ и SR^- са показани на фиг. 3-12. При смяна на поляритета на входния импулс изходното напрежение ΔU_{out} се променя с $2.15V$. Предният фронт на изходния сигнал е $t_{on} = 335ns$, а задният – $t_{of} = 330ns$. Съответно за скоростта на нарастване и спадане на сигнала се получава

$$SR^+ = \frac{\Delta U_{out}}{t_{on}} = \frac{2.15V}{335ns} \approx 6.4 \frac{V}{\mu S} \quad \text{и} \quad (3-23)$$

$$SR^- = \frac{\Delta U_{out}}{t_{of}} = \frac{2.15V}{330ns} \approx 6.4 \frac{V}{\mu S}, \quad (3-24)$$

което съответства напълно на резултатите от формула (3-17).



Фиг. 3-12. Резултати от симулацията за определяне на SR^+ и SR^- .

Упражнение № 8

Проектиране и симулиране на CMOS операционни усилватели на проводимост

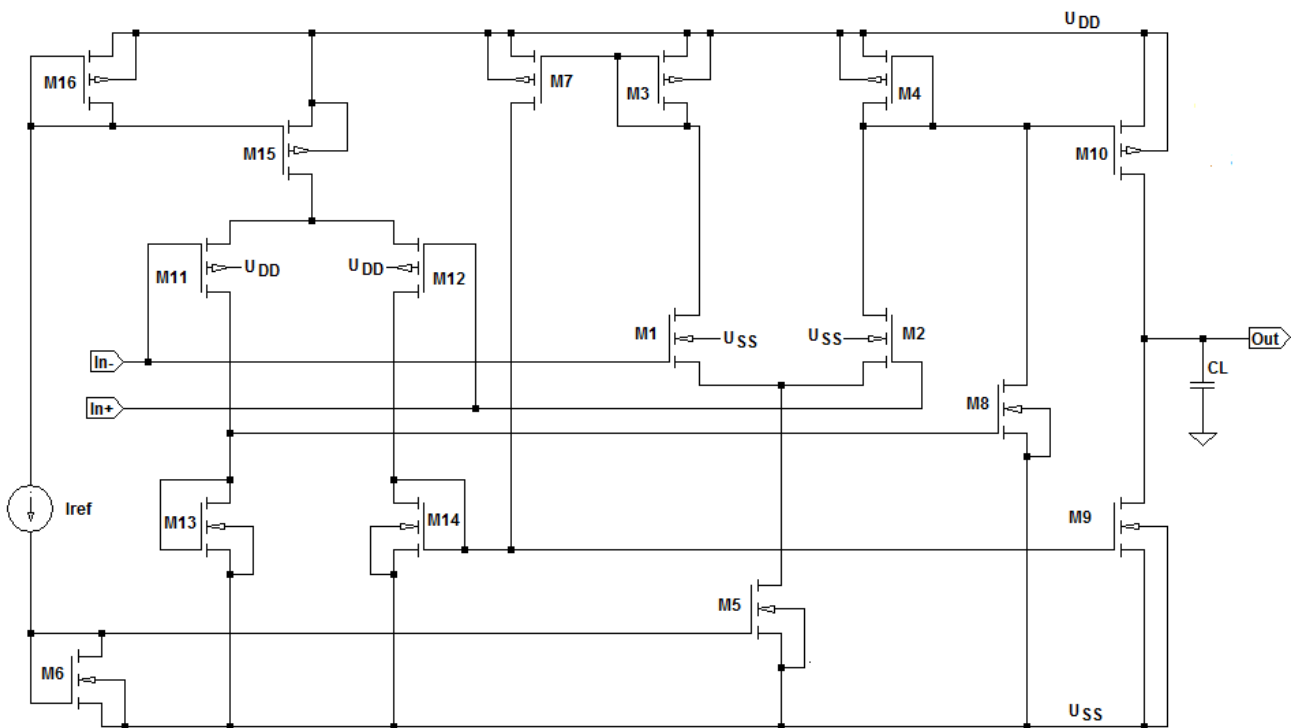
Задача 1. Посочете основните параметри и характеристики на операционните усилватели на проводимост (ОТА) и начертайте тестсхеми за определянето им чрез симулиране.

Задача 2. Оразмерете базовата схема на ОТА от фиг. 3-8 за честота на единично усилване $f_u = 1\text{MHz}$ при $C_L = 20\text{pF}$.

- Определете чрез симулиране остатъчното входно напрежение U_{io} , коефициента на усилване за диференциален сигнал A_{ud} , запаса по фаза PM и скоростта на изменение на изходния сигнал SR ;
- Изследвайте влиянието на синфазното напрежение U_{cm} върху АЧХ;
- Изследвайте зависимостта на параметрите A_{ud} , PM и SR от стойността на I_{ref} и капацитета C_L .

Задача 3. Оразмерете схемата на ОТА с повишен размах на входния сигнал от фиг. 3-13 за честота на единично усилване $f_u = 5\text{MHz}$ при $C_L = 10\text{pF}$.

- Определете чрез симулиране остатъчното входно напрежение U_{io} , коефициента на усилване за диференциален сигнал A_{ud} , запаса по фаза PM и скоростта на изменение на изходния сигнал SR .
- Изследвайте влиянието на синфазното напрежение U_{cm} върху АЧХ на схемата. Сравнете резултата с получения за предишната схема.

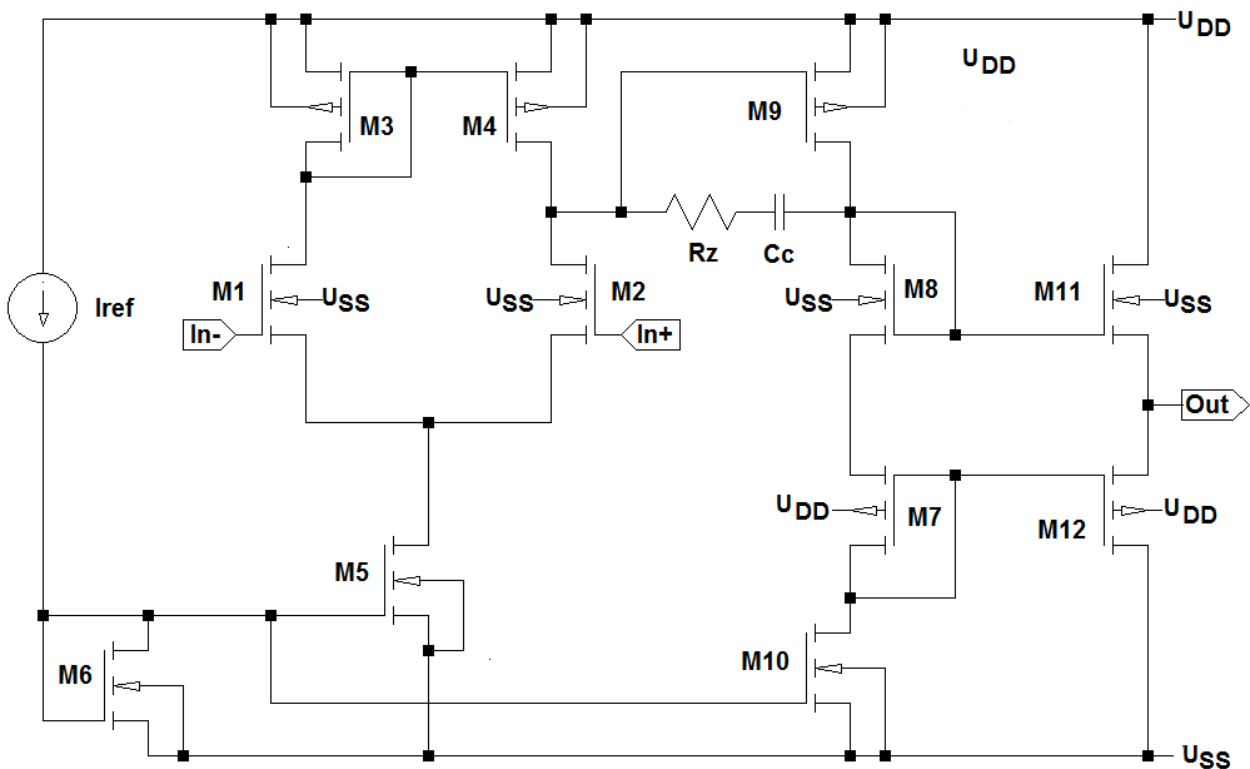


Фиг. 3-13. ОТА с повишен размах на входния сигнал.

3.3. Стандартни операционни усилватели

Стандартните операционни усилватели (ОУ) се характеризират с много голям коефициент на усилване, високо входно и ниско изходно съпротивление.

На фиг. 3-14 е показана схемата на двустъпален операционен усилвател. Тя се състои от диференциален усилвател (ДУ) с несиметричен изход и удвоено усилване (транзистори $M1 \div M6$), второ усилвателно стъпало с общ сорс $M9$ и динамичен товар $M10$ и изходен буфер ($M11, M12$), реализиран като двутактно стъпало с ниско изходно съпротивление ($M11$ и $M12$ работят като сорсови повторители). Транзисторите $M7$ и $M8$ осигуряват постояннотоковото отместване и определят режима на работа (клас АВ или клас В) на стъпалото. Кондензаторът C_c и резисторът R_z служат за честотна компенсация.



Фиг. 3-14. Схемата на двустъпален операционен усилвател.

Коефициентът на усилване по напрежение на ОУ е равен на произведението от усилването на двете стъпала и коефициента на предаване на двутактното изходно стъпало (сорсови повторители) [1, 2, 3, 4]:

$$A_{ud} \approx \left(-\frac{g_{m2}}{g_{ds2} + g_{ds4}} \right) \left(-\frac{g_{m9}}{g_{ds9} + g_{ds10}} \right) \left(\frac{g_{m11} + g_{m12}}{g_{m11} + g_{m12} + g_{mb11} + g_{mb12}} \right) \quad (3-25)$$

При условие, че $g_{m11} \approx g_{m12} \approx g_m$ и $g_{mb11} \approx g_{mb12} \approx 0.2g_m$ [1], за стойността на коефициента на усилване на усилвателя се получава

$$A_{ud} \approx \left(\frac{2}{(\lambda_n + \lambda_p)U_{eff}} \right)^2 \frac{g_m}{1.2g_m} \approx 81380 \quad (98.2dB) \quad (3-26)$$

Следователно максималният коефициент на усилване, който можем да очакваме при използваната технология, е около $100dB$.

Честотата на единичното усилване е [1, 2]

$$f_u = f_{-3dB} A_{u1} A_{u2} A_{u3} = \frac{g_{ds2} + g_{ds4}}{2\pi A_{u2} C_c} \frac{g_{m2}}{g_{ds2} + g_{ds4}} A_{u2} \frac{g_m}{1.2g_m} = \frac{g_{m2}}{2.4\pi C_c} \quad (3-27)$$

Изходното съпротивление на схемата се определя с формулата [1, 3]

$$r_{out} = \frac{1}{g_{m11} + g_{mb11} + g_{m12} + g_{mb12}} \quad (3-28)$$

Пример 3-4. Оразмерете и симулирайте схемата на ОУ от фиг. 3-14 за честота на единичното усилване $f_u \geq 3MHz$ и изходно съпротивление $r_{out} \leq 250\Omega$.

Решение

От (3-27) определяме:

$$f_u = \frac{g_{m2}}{2.4\pi C_c} \geq 3e + 6 ; \quad (3-29)$$

$$\frac{g_{m2}}{C_c} = \frac{2I_{D2}/U_{eff2}}{C_c} = \frac{I_{D5}}{C_c U_{eff2}} \geq 2.4\pi \cdot 3e + 6 = 22.61e + 6, \quad (3-30)$$

откъдето при $U_{eff2} = 0.2V$ се получава

$$\frac{I_{D5}}{C_c} \geq 4.52e + 6 \quad (3-31)$$

От съображения за ниска консумация и малка площ на кондензатора избираме:

$$I_{D5} = 20\mu A \text{ и } C_c = 4pF, \quad (3-32)$$

$$I_{ref} = 10\mu A \text{ и } I_{D9} = I_{D5} \quad (3-33)$$

От (3-28) следва

$$r_{out} = \frac{1}{g_{m11} + g_{mb11} + g_{m12} + g_{mb12}} \approx \frac{1}{2.4g_m} \approx \frac{U_{eff11}}{4.8I_{D11}} \leq 250\Omega \quad (3-34)$$

След заместване в (3-34) с $U_{eff} = 0.2V$ се получава

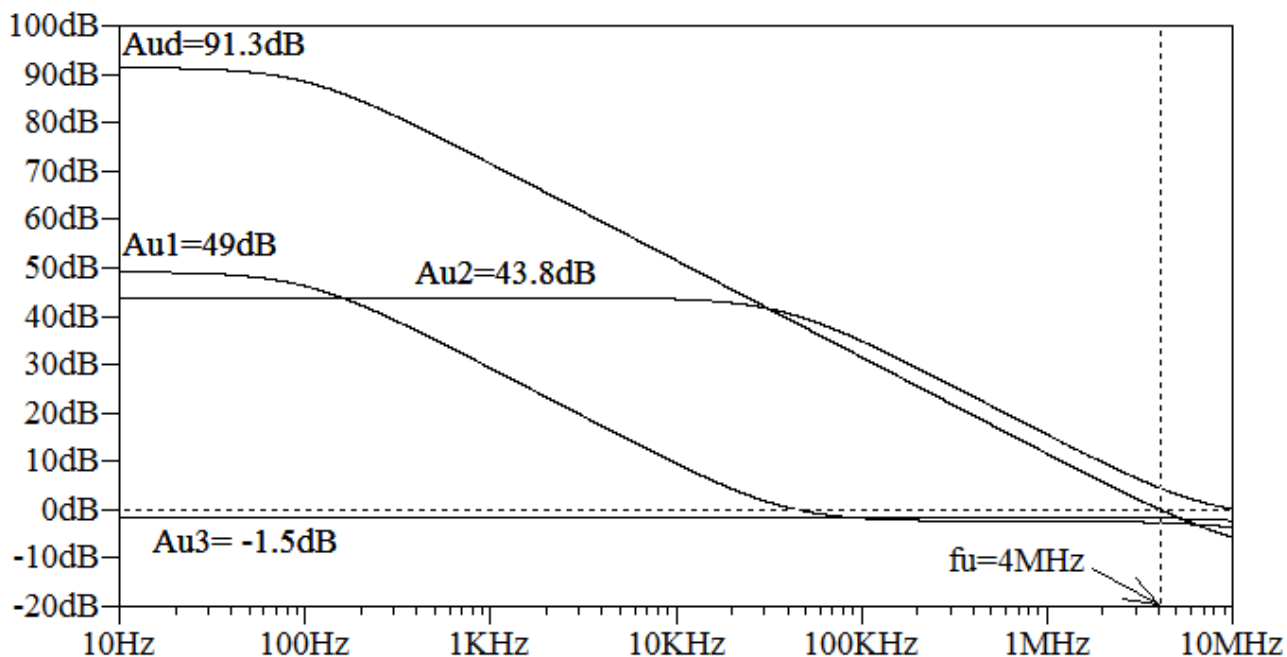
$$I_{D11} = I_{D12} \geq 167\mu A \quad (3-35)$$

Избираме $I_{D11} = I_{D12} = 9I_{D5} = 180\mu A$ и преизчисляваме $r_{out} = 231\Omega$.

С помощта на (1-8) определяме размерите на транзисторите:

$$L = 2\mu m, W_1 = W_2 = 10\mu m, W_3 = W_4 = 25\mu m, W_5 = 20\mu m, W_6 = 10\mu m, \\ W_7 = W_9 = 50\mu m, W_8 = W_{10} = 20\mu m, W_{11} = 180\mu m, W_{12} = 450\mu m.$$

На фиг. 3-15 е представена амплитудно-честотната характеристика на усилвателя при $R_z = 0\Omega$ и липса на активен и капацитивен товар. Коефициентът на усилване е $A_{ud} = 91.3dB$, което е близко до границата, определена с (3-26). Коефициентът на усилване на първото стъпало е $A_{u1} = 49dB$, на второто – $A_{u2} = 43.8dB$ и на изходния буфер – $A_{u3} = -1.5dB$. Честотата на единично усилване е $f_u \approx 4MHz$. Изходното съпротивление, определено с помощта на генератор на напрежение в изхода (фиг. 3-20) при компенсирано остатъчно входно напрежение U_{io} , е $r_{out} = 208\Omega$.

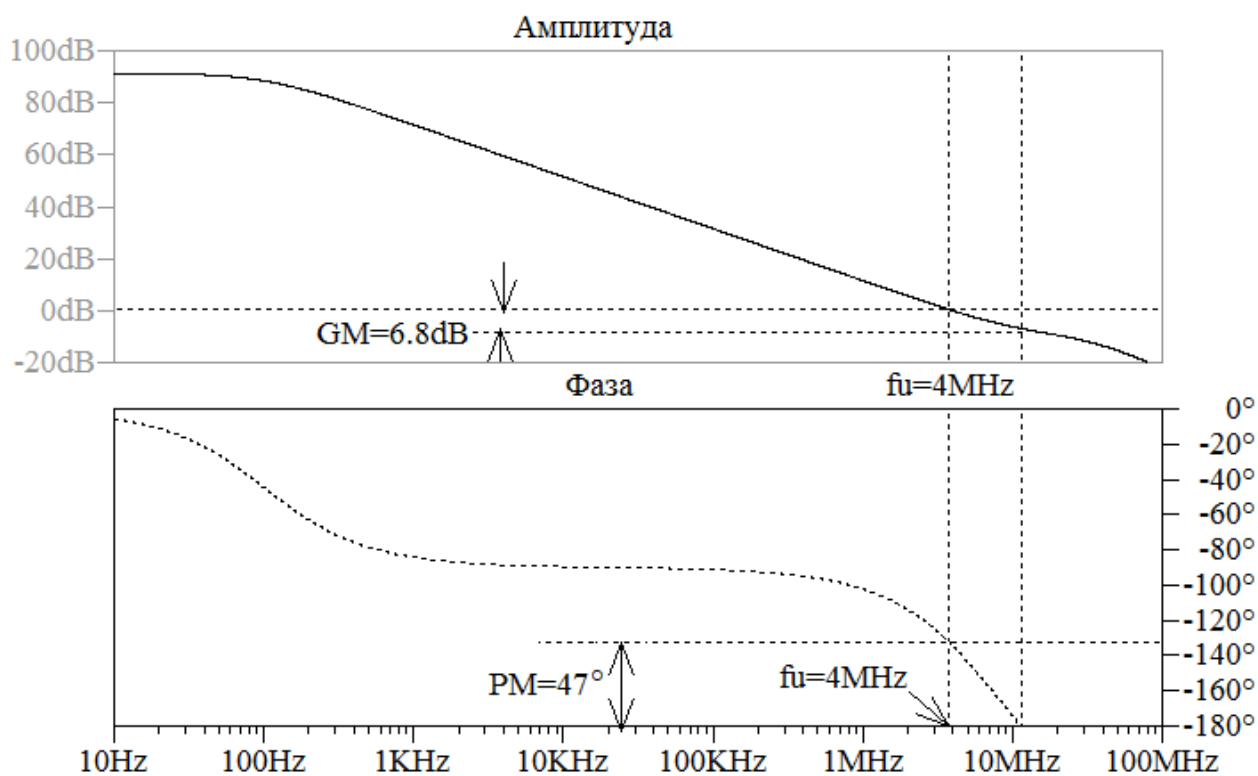


Фиг. 3-15. Резултат от симулацията на АЧХ на операционния усилвател.

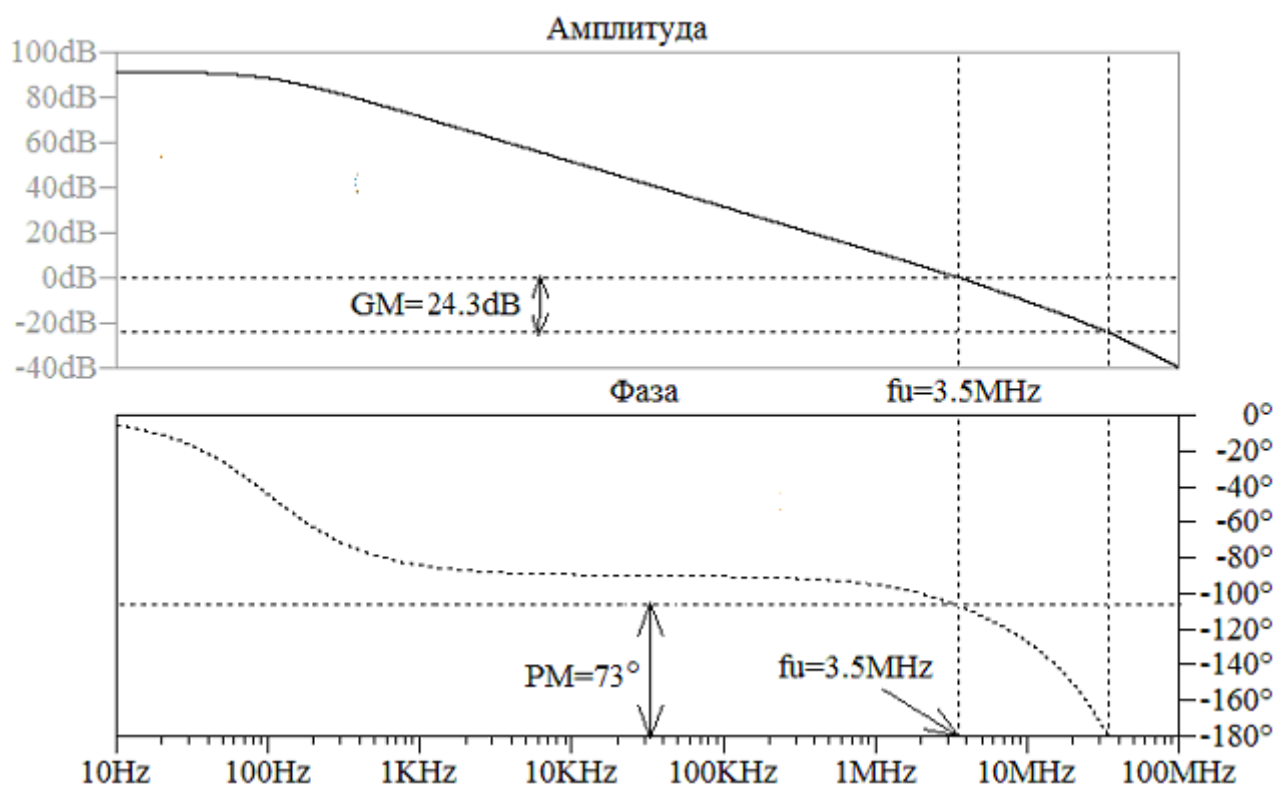
На фиг. 3-16 са показани амплитудно-честотната и фазовата характеристики на усилвателя при същите условия ($R_z = 0\Omega$ и липса на активен и капацитивен товар). Отчетени са запасът по фаза $PM = 47^\circ$ и запасът по усилване $GM = 6.8dB$. За избягване на риска от самовъзбуждане в [1, 2, 3, 4, 6] се препоръчва $PM > 60^\circ$. Това може да се постигне с подходящ избор на резистора R_z , чрез който се компенсира влиянието на нулата в предавателната характеристика на ОУ, дължаща се на въвеждането на C_c . Неговата стойност се определя с формулата [2]

$$R_z \approx \frac{1}{g_{m9}} = \frac{1}{\sqrt{2K_p(W9/L9)I_{D9}}} = \frac{1}{\sqrt{2 \cdot 40e-6 \cdot (50/2) \cdot 20e-6}} = 5k\Omega \quad (3-36)$$

Резултатът от симулацията при $R_z = 5k\Omega$ е показан на фиг. 3-17. Запасът по фаза и запасът по усилване са нарастнали – $PM = 73^\circ$ и $GM = 24.3dB$, което гарантира липса на самовъзбуждане при стойности на товарния капацитет до няколко десетки pF . Честотата на единичното усилване f_u намалява до $3.5MHz$, но това е достатъчно за изпълнение на заданието.



Фиг. 3-16. Амплитудно-частотна и фазова характеристика при $R_z=0\Omega$.



Фиг. 3-17. Амплитудно-частотна и фазова характеристика при $R_z=5000\Omega$.

Упражнение № 9

Проектиране и симулиране на CMOS операционен усилвател

Задача 1. Посочете основните параметри и характеристики на операционните усилватели и начините за определянето им чрез симулиране.

Задача 2. Оразмерете схемата на двустъпалния операционен усилвател от фиг. 3-14 за честота на единично усилване $f_u = 5\text{MHz}$ и $r_{out} \leq 500\Omega$ и определете чрез симулиране:

- остатъчното входно напрежение U_{io} ;
- допустимия диапазон на изменение на синфазния сигнал $U_{cmmin} - U_{cmmax}$;
- коефициента на усилване за диференциални сигнали A_{ud} и честотата на единично усилване f_u при липса на товар;
- запаса по фаза PM и запаса по напрежение GM при липса на товар;
- изходното съпротивление r_{out} ;
- коефициента на потискане на синфазните сигнали $CMRR$;
- коефициента на потискане на пулсациите на захранващото напрежение $PSSR$.

Задача 3. Изследвайте схемата от Задача 2 при дължина на каналите на транзисторите $L = 0.7\mu\text{m}$, като се запазят отношенията W/L . Сравнете резултатите с получените в Задача 2 и обяснете разликите.

Задача 4. За схемата от Задача 2 изследвайте:

- амплитудно-честотната и фазовата характеристики при различни *worst case* модели на транзисторите;
- АЧХ за три стойности на синфазния сигнал – $U_{cm} < U_{cmmin}$, $U_{cmmin} < U_{cm} < U_{cmmax}$ и $U_{cm} = U_{cmmax}$;
- зависимостта на параметрите A_{ud} , f_u , PM , GM и r_{out} от стойността на I_{ref} , отношението W/L на входните транзистори, капацитета C_c , резистора R_z и товарния капацитет C_L .

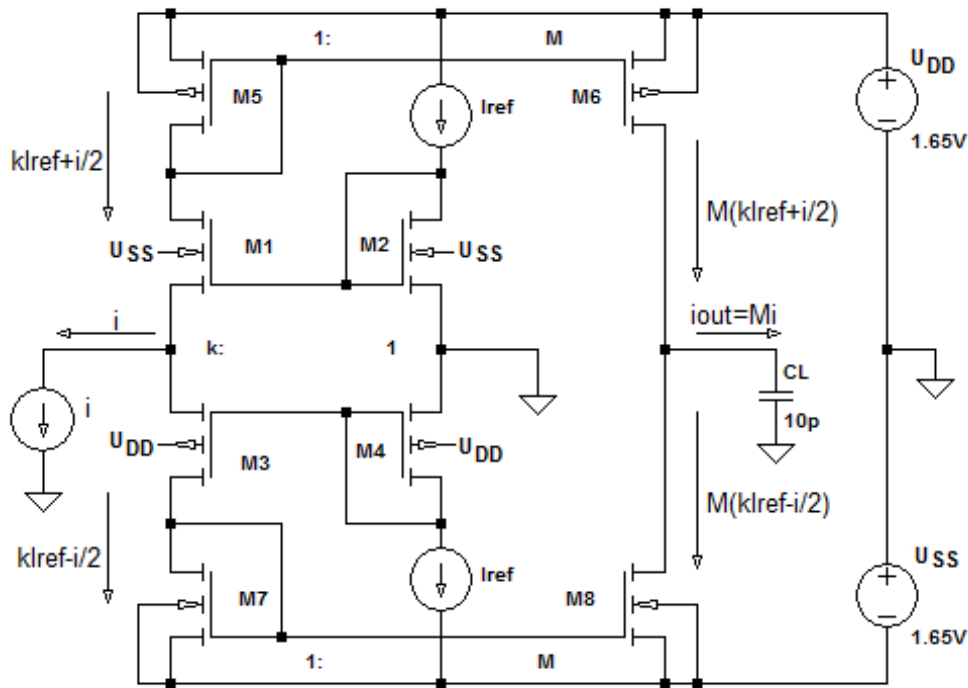
Нанесете резултатите в табл. 3-2.

Табл. 3-2

	A_{ud}	f_u	PM	GM	r_{out}
I_{ref}					
$W_1/L_1 (W_2/L_2)$					
C_c					
R_z					
C_L					

3.4. Операционни усилватели на ток

На фиг. 3-18 е показана примерната схема на операционен усилвател на ток (Operational Current Amplifier – OCA). Той се характеризира с ниско входно и високо изходно съпротивление [1, 6]. Разглежданата схема е реализирана с две групи токови огледала. Първата група е с отношение $1:k$ и се състои от транзисторните двойки $M2-M1$ и $M4-M3$. Втората група е с отношение $1:M$, изпълнено с двойките $M5-M6$ и $M7-M8$. Обикновено k е между 1 и 5, а M – между 5 и 10.



Фиг. 3-18. Операционен усилвател на ток.

На фигурата са показани токовете през транзисторите при подаване на променлив входен ток i . Входните транзистори $M1$ и $M3$ работят в схема с общ гейт. Тялото им е свързано с U_{SS} . Входното съпротивление е [1]

$$r_{i1} = \frac{1}{g_{m1} + g_{mb1}} \quad \text{и} \quad r_{i3} = \frac{1}{g_{m3} + g_{mb3}}. \quad (3-37)$$

Входното съпротивление r_{in} на схемата е съставено от двете паралелно свързани входни съпротивления:

$$r_{in} = r_{i1} \parallel r_{i3} = \frac{1}{g_{m1} + g_{mb1} + g_{m3} + g_{mb3}} \approx \frac{1}{2(g_{m1} + g_{mb1})} \approx \frac{1}{2.4g_{m1}} \quad (3-38)$$

Изходният ток е

$$i_{out} = Mi, \quad (3-39)$$

а изходното съпротивление r_{out} е

$$r_{out} = r_{ds6} \parallel r_{ds8} = \frac{1}{g_{ds6} + g_{ds8}}. \quad (3-40)$$

Проходното съпротивление на схемата се определя с израза

$$A_R = \frac{u_{out}}{i} = \frac{i_{out} r_{out}}{i} = M r_{out}. \quad (3-41)$$

Понеже всички вътрешни възли на схемата са с нисък импеданс, честотната лента на проходното съпротивление A_R се определя само от изходното съпротивление r_{out} и товарния капацитет C_L :

$$f_{-3dB} = \frac{1}{2\pi r_{out} C_L} = \frac{g_{ds6} + g_{ds8}}{2\pi C_L}. \quad (3-42)$$

Скоростта на нарастване на изходния сигнал SR е [1, 6]

$$SR = \frac{I_{D6} - I_{D8}}{C_L} = \frac{Mi}{C_L} \quad (3-43)$$

и следователно SR е функция на входния ток i .

Пример 3-5. Оразмерете схемата на операционния усилвател на ток от фиг. 3-18 при $k = 2$, $M = 5$ и $I_{ref} = 10\mu A$. Изчислете основните параметри при $I_{ref} = 10\mu A$ и $I_{ref} = 50\mu A$.

Решение

В разглеждания случай $k = 2$, а $M = 5$. С помощта на (1-8) за размерите на транзисторите при $I_{ref} = 10\mu A$ се получава: $L = 2\mu m$, $W_1 = 20\mu m$, $W_2 = 10\mu m$, $W_3 = 50\mu m$, $W_4 = 25\mu m$, $W_5 = 50\mu m$, $W_6 = 250\mu m$, $W_7 = 20\mu m$, $W_8 = 100\mu m$.

След заместване във формули (3-38)÷(3-43) с конкретните стойности за разглежданата схема и технология ($k = 2$; $M = 5$; $W_1/L_1 = 10$ и $K_n = 100\mu A/V^2$) се получават следните изрази за основните параметри във функция на тока I_{ref} и капацитета на кондензатора C_L :

$$r_i = \frac{1}{2.4g_{m1}} = \frac{1}{2.4\sqrt{2K_n(W_1/L_1)kI_{ref}}} \approx \frac{6.6}{\sqrt{I_{ref}}}; \quad (3-44)$$

$$r_{out} = \frac{1}{g_{ds6} + g_{ds8}} = \frac{1}{(\lambda_n + \lambda_p)kMI_{ref}} = \frac{3.125}{I_{ref}}; \quad (3-45)$$

$$A_R = Mr_{out} = \frac{1}{k(\lambda_n + \lambda_p)I_{ref}} \approx \frac{15.625}{I_{ref}}; \quad (3-46)$$

$$f_{-3dB} = \frac{g_{ds6} + g_{ds8}}{2\pi C_L} = \frac{(\lambda_n + \lambda_p)kMI_{ref}}{2\pi \cdot C_L} \approx 0.05 \frac{I_{ref}}{C_L}; \quad (3-47)$$

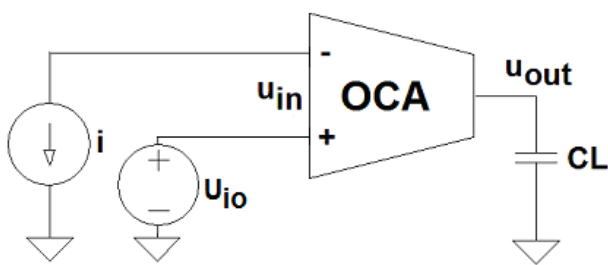
$$SR = \frac{Mi}{C_L} = 5 \frac{i}{C_L} \quad (3-48)$$

В табл. 3-3 са показани стойностите на основните параметри на ОСА при $C_L = 10\text{pF}$, I_{ref} равно на $10\mu\text{A}$ и $50\mu\text{A}$ и входен ток $i = 10\mu\text{A}$.

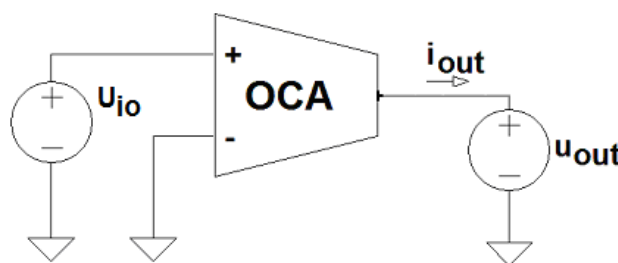
Табл. 3-3

	$r_{in}, k\Omega$	$r_{out}, k\Omega$	$A_R, k\Omega$	f_{-3dB}, kHz	$SR, V/\mu S$
$I_{ref} = 10\mu\text{A}$	2.08	312.5	1562	50	5
$I_{ref} = 50\mu\text{A}$	0.93	62.5	312.5	250	5

На фиг. 3-19 е показана схемата за определяне на входното съпротивление r_{in} , проходното съпротивление A_R и честотната лента f_{-3dB} . За целта се включва източник на променлив входен ток i и се задава АС анализ. При необходимост с U_{io} се компенсира асиметрията. Същата тестсхема се използва и за определяне на скоростта на изменение на изходния сигнал SR . На входа се подава импулс на входния ток i и се задава *Transient* анализ.



Фиг. 3-19. Тестсхема за определяне на $r_{in}, A_R, f_{-3dB}, SR$.



Фиг. 3-20. Тест-схема за определяне на r_{out} .

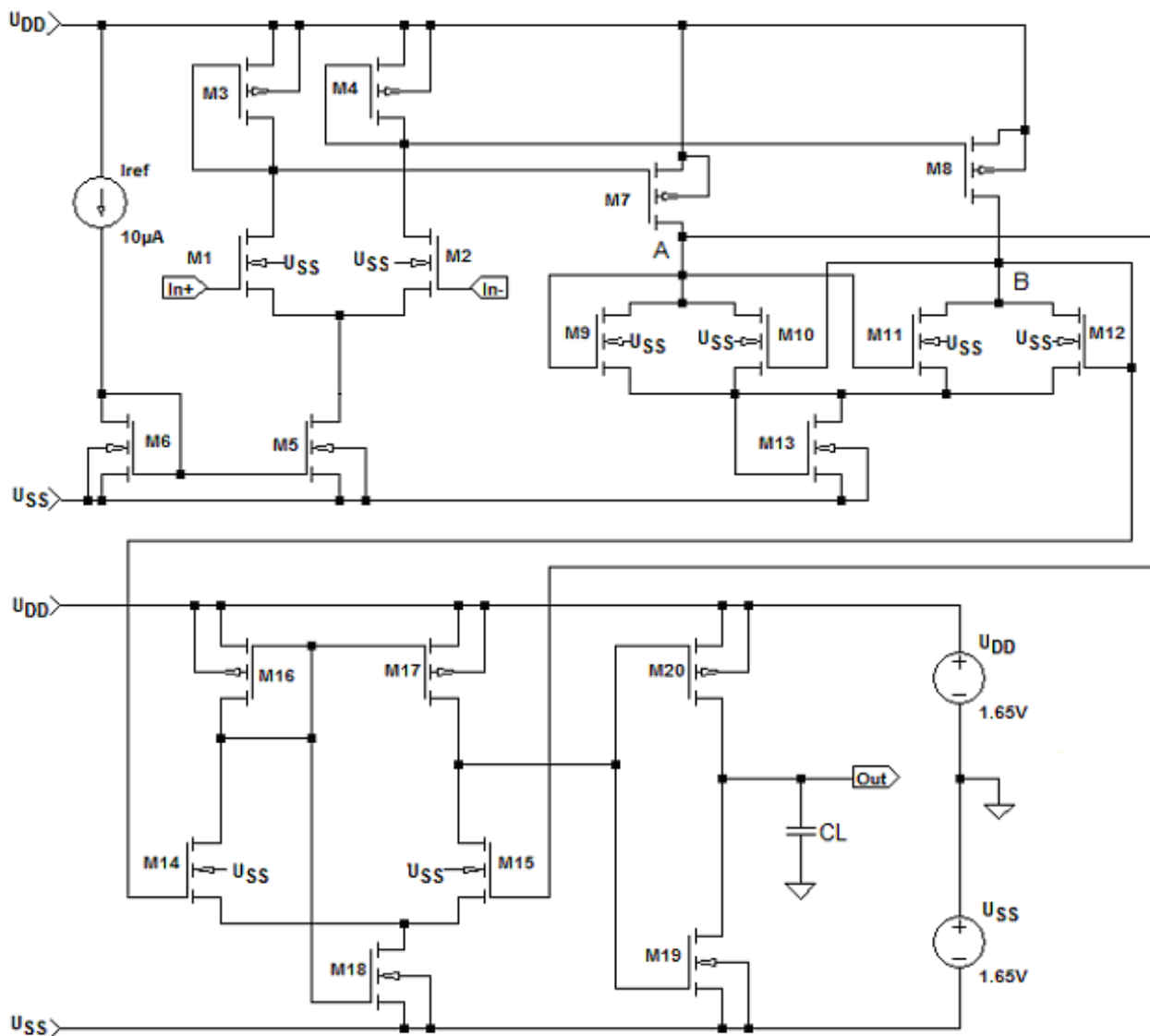
На фиг. 3-20 е дадена схемата за определяне на изходното съпротивление r_{out} . За целта с U_{io} се компенсира асиметрията, включва се променливотоков източник u_{out} и се задава АС анализ.

3.5. Компаратори

На фиг. 3-21 е показана примерна схема на компаратор на напрежение [2]. Състои се от предусилвател на разликата между входните сигнали ($M1 \div M5$), превключваща схема ($M7 \div M13$) и изходен буфер ($M14 \div M20$).

Предусилвателят е реализиран като диференциален усилвател със симетричен изход и нискоомен товар. В резултат усилването на схемата не е високо, но ниското съпротивление на $M3$ и $M4$ осигурява бързо зареждане на паразитните капацитети в изхода на стъпалото. Това гарантира високо бързодействие. Състоянието на изхода на диференциалния усилвател управлява тока през транзисторите $M7$ и $M8$. Например, ако напрежението на вход $In+$ е по-високо от напрежението на вход $In-$, токът през транзисторите $M1, M3$ и $M7$ е почти равен на тока през $M5$, а токът през транзисторите $M2, M4$ и $M8$ е близко до нула. Това установява превключващата структура $M9 \div M12$ във високо ниво в т. А и в ниско ниво в т. В. Тези два изхода се подават на диференциалния усилвател $M14 \div M18$. Той е от типа на самоустановяващите усилватели, за които не са необходими допълнителни вериги за осигуряване на

постояннотоковия режим. За да се гарантира сработването му, в сорсовете на транзисторите $M9 \div M12$ е включен $M13$, който повдига постояннотоковото ниво в т. А и т. В до необходимите входни нива на усилвателя $M14 \div M18$. На изхода на схемата е включен инвертор $M19 \div M20$, който осигурява стабилно логическо ниво на изхода.



Фиг. 3-21. Схема на компаратор на напрежение.

Препоръки по оразмеряване на схемата

Скоростта на нарастване на изходния сигнал SR е основен параметър на компараторите. Той е обратнопропорционален на товарния капацитет C_L и право пропорционален на зарядния ток. В случая зарядният ток се определя от инвертора $M19 - M20$ и по-точно от отношението на размерите на всеки от транзисторите. Това позволява останалата част от схемата да бъде оразмерена по начина, по който процедирахме до момента. С оглед минимална консумация първоначалните стойности на токовете през M_5 , M_{13} и M_{18} могат да се изберат около $(10 \div 20) \mu A$ и да се доуточнят в процеса на симулация. За определяне на размерите на изходния инвертор може да се използва подходът с

еквивалентното съпротивление на транзисторите, представен в [2]. За целта се дефинират съпротивления R_n и R_p , които се изчисляват по формулата

$$R_{n(p)} = \frac{2(U_{DD} + |U_{SS}|)}{K_{n(p)}(|U_{in} - U_{SS(DD)}| - |U_{TN0(TP0)}|)^2} \frac{L_{n(p)}}{W_{n(p)}}, \quad (3-49)$$

където U_{in} е напрежението на входа на инвертора.

Като се вземе предвид, че ниското ниво на входа на инвертора е $U_{in\ min} \approx -1.6V$, а високото ниво $U_{in\ max} \approx 1.6V$, за използваната технология се получава:

$$R_p \approx 23.5 \frac{L_p}{W_p} [k\Omega]; \quad R_n \approx 8.4 \frac{L_n}{W_n} [k\Omega] \quad (3-50)$$

Времето за закъснение при включване (изключване) се определя [2]:

$$t_{on} \approx R_p C_L \approx 23500 \frac{L_p}{W_p} C_L; \quad t_{off} \approx R_n C_L \approx 8400 \frac{L_n}{W_n} C_L, \quad (3-51)$$

а фронтовете на изходния сигнал са [2]:

$$t_r \approx 2R_p C_L \approx 47000 \frac{L_p}{W_p} C_L; \quad t_f \approx 2R_n C_L \approx 16800 \frac{L_n}{W_n} C_L. \quad (3-52)$$

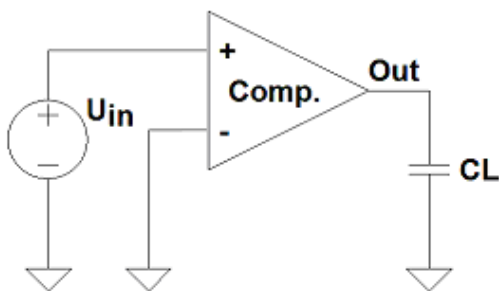
За определяне на SR се използват формулите

$$SR^+ \approx \frac{U_{DD} + |U_{SS}|}{t_r}; \quad SR^- \approx \frac{U_{DD} + |U_{SS}|}{t_f}. \quad (3-53)$$

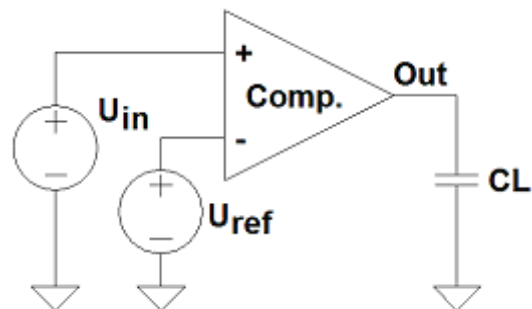
Изразите (3-51), (3-52) и (3-53) се прилагат за оразмеряване на инвертора при зададени стойности на SR^+ , SR^- и C_L . Например за $SR^+ = SR^- \geq 20V/\mu S$ и $C_L = 50pF$ отношението на размерите на транзисторите е $W_{20}/L_{20} > 14.25$ и $W_{19}/L_{19} > 5.1$.

На фиг. 3-22 е показана тестсхемата за определяне на закъсненията при превключване и скоростта на изменение на изходния сигнал. Използва се *Transient* анализ, като на входа се подава импулс на входното напрежение U_{in} .

На фиг. 3-23 е показана схемата за симулация на предавателната характеристика на компаратора при различни стойности на U_{ref} .



Фиг. 3-22. Тестсхема за определяне на t_{on} , t_{off} , SR^+ и SR^- .



Фиг. 3-23. Тестсхема за предавателната характеристика при различни U_{ref} .

Упражнение № 10

Оразмеряване и симулиране на операционен усилвател на ток и компаратор

Задача 1. Посочете основните параметри на операционните усилватели на ток и начертайте тестови схеми за определянето им чрез симулация.

Задача 2. Чрез симулиране на операционния усилвател на ток (фиг. 3-18) при стойности на отношенията W/L от *Пример 3-5*, определете:

- входното съпротивление $r_{in}, k\Omega$;
- изходното съпротивление $r_{out}, k\Omega$;
- проходния импеданс $A_R, k\Omega$ и честотната лента f_{-3dB}, kHz ;
- скоростта на нарастване на изходния сигнал $SR^+, V/\mu S$.

Товарният капацитет е $C_L = 10 pF$, а задаващият ток I_{ref} е равен на $10\mu A$ и $50\mu A$.

Нанесете резултатите в табл. 3-4 и ги сравнете с резултатите от изчисленията в примера.

Табл. 3-4

		$r_{in}, k\Omega$	$r_{out}, k\Omega$	$A_R, k\Omega$	f_{-3dB}, kHz	$SR^+, V/\mu S$ ($i = 10\mu A$)
$I_{ref} = 10\mu A$	изчислено	2.08	312.5	1562	50	5
	симулирано					
$I_{ref} = 50\mu A$	изчислено	0.93	62.5	312.5	250	5
	симулирано					

Задача 3. Посочете основните параметри на компараторите на напрежение и начертайте тестови схеми за определянето им чрез симулация.

Задача 4. Оразмерете схемата на компаратора от фиг. 3-21 при $SR^+ = SR^- = 10V/\mu S$ и товарен капацитет $C_L = 100 pF$.

Задача 5. Симулирайте компаратора и:

- снемете времедиаграмите в характерните му точки и обяснете функционирането му;

- определете скоростта на нарастване и спадане на изходния сигнал SR^+ и SR^- при товарен капацитет $C_L = 50 pF$ и $C_L = 100 pF$.

- определете времената за закъснение при включване и изключване t_{on} и t_{off} при товарен капацитет $C_L = 50 pF$ и $C_L = 100 pF$.

Сравнете резултатите от симулациите с теоретичните и оценете разликите.

Задача 6. Симулирайте предавателната характеристика на компаратора при различни стойности на опорното напрежение U_{ref} . Обяснете получените графични резултати.

Основни формули и зависимости, използвани при оразмеряване на схемите в ръководството

Основни параметри на MOS транзисторите

μ_n - подвижност на електроните; μ_p - подвижност на дупките

C_{OX} - специфичен капацитет на окиса под гейта;

W - широчина на канала; L - дължина на канала;

$K_n = \mu_n C_{OX}$ - фактор на стръмността за nMOS транзистор;

$K_p = \mu_p C_{OX}$ - фактор на стръмността за pMOS транзистор;

U_{TN} (U_{TP}) - прагово напрежение на nMOS (pMOS) транзистор;

U_{TN0} (U_{TP0}) - прагово напрежение на nMOS (pMOS) транзистор при свързани нахъсо сорс и подложка ($U_{SB} = 0$).

Стойност на праговото напрежение при различни стойности на U_{SB} :

$$U_{TN} = U_{TN0} + \gamma_n \left(\sqrt{U_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|} \right)$$

γ_n - параметър на ефекта на подложката, $\gamma_n \approx (0.4 \div 0.8)V^{1/2}$,

ϕ_F - потенциал на Ферми, $|2\phi_F| \approx 0.6V$.

ПОСТОЯННОТОКОВИ ЗАВИСИМОСТИ В СИЛНА ИНВЕРСИЯ

Работа на nMOS транзистор в силна инверсия, в линейната област

Условия:

$$\begin{cases} U_{eff} = U_{GS} - U_{TN} \geq 0.1V \\ U_{DS} < U_{eff} = U_{GS} - U_{TN} = U_{DSAT} \end{cases}$$

Уравнение за дрейновия ток:

$$I_D = K_n \frac{W}{L} \left(U_{GS} - U_{TN} - \frac{U_{DS}}{2} \right) U_{DS}$$

Работа на nMOS транзистор в силна инверсия, в областта на насищане

Условия:

$$\begin{cases} U_{eff} = U_{GS} - U_{TN} \geq 0.1V \\ U_{DS} \geq U_{eff} = U_{GS} - U_{TN} = U_{DSAT} \end{cases}$$

Уравнение за дрейновия ток:

$$I_{DSAT} = \frac{K_n W}{2 L} (U_{GS} - U_{TN})^2$$
$$I_D = I_{DSAT} [1 + \lambda(U_{DS} - U_{DSAT})]$$

Забележка: Представените уравнения са в сила и за pMOS транзистори при условие, че напреженията се вземат по абсолютна стойност.

ПОСТОЯННОТОКОВИ ЗАВИСИМОСТИ ПРИ РАБОТА В СЛАБА ИНВЕРСИЯ, В ОБЛАСТТА НА НАСИЩАНЕ

Условия:

$$\begin{cases} U_{eff} = U_{GS} - U_{TN} < 0.1V \\ U_{DS} \geq 4\phi_T \approx 100mV \end{cases}$$

Уравнение за дрейновия ток:

$$I_D \cong I_{D0} \frac{W}{L} \exp\left(\frac{U_{GS} - U_{TN}}{n\phi_T}\right), \quad \text{където } n = 1 + \frac{C_{j0}}{C_{OX}} \approx 1.5,$$

I_{D0} - зависи от технологията и има стойност няколко десетки nA,

C_{j0} - специфичен капацитет между подложката и сорса

ПРОМЕНЛИВОТОКОВИ ПАРАМЕТРИ В СИЛНА ИНВЕРСИЯ, В ОБЛАСТТА НА НАСИЩАНЕ

Стръмност:

$$g_m = K_n \frac{W}{L} U_{eff} = \sqrt{2K_n \frac{W}{L} I_D} = \frac{2I_D}{U_{eff}}$$

Изходна проводимост:

$$g_{ds} = \frac{1}{r_{ds}} = \lambda I_{DSAT} \approx \lambda I_D$$

Стръмност спрямо подложката:

$$g_{mb} = \frac{\gamma g_m}{2\sqrt{U_{SB} + |2\phi_F|}} \approx 0.2g_m$$

Приблизителни стойности на основните параметри за ръчни изчисления на транзисторите от 0.35μm CMOS технология на AustriaMicroSystems. Параметрите се използват при ръчните пресмятания на аналоговите CMOS схеми в това ръководство. Стойностите им са получени от *tm*-модела по методите, описани в т. 1.7, и са закръглени с цел опростяване на изчисленията.

Табл. 4-1

	nMOS	pMOS
$U_{TN0} (U_{TP0})$	0.45 V	-0.6 V
$K_n (K_p)$	100 μA/V ²	40 μA/V ²
$\lambda_n (\lambda_p)$ ($L = 2\mu m, U_{eff} = 0.2V, U_{DS} = 1.65V$)	0.014 V ⁻¹	0.018 V ⁻¹
$\gamma_n (\gamma_p)$	0.55 V ^{1/2}	0.33 V ^{1/2}

Литература

- [1] Манолов, Е.Д. Аналогови интегрални схеми: схемотехника и проектиране. Изд. на ТУ-София, 2002, ISBN 954-438-315-8
- [2] R. Baker, H. Li, D. Boyce. CMOS Circuit Design, Layout and Simulation. IEEE Press, New York, 2005, ISBN 0-7803-3416-7
- [3] Ph. E. Allen, D. R. Holberg. CMOS Analog Circuit Design, Oxford University Press, Inc., 2002. ISBN 0-19-511644-5
- [4] F. Maloberti. Analog design for CMOS VLSI Systems. Kluwer Academic Publishers, 2003, eBook ISBN: 0-306-47952-4
- [5] Христов, М. Х., Т. Василева, Е. Д. Манолов. Полупроводникови елементи. Нови знания, 2007, ISBN 978-954-9315-79-0
- [6] W. M. C. Sansen. Analog Design Essentials, Springer, 2006, eBook ISBN: 10 0-387-25747-0
- [7] David Johns, Ken Martin. Analog Integrated Circuit Design. John Wiley & Sons, Inc., 1997, ISBN 0-471-14448-7

СХЕМОТЕХНИКА НА ИНТЕГРАЛНИТЕ СХЕМИ

Ръководство за лабораторни упражнения

Автор: ©доц. д-р инж. Емил Димитров Манолов
Рецензент: ©доц. д-р инж. Ангел Николаев Попов
Стилова редакция: ©Стойна Иванова Саева

Дадено за печат м. декември 2014 г.

Излязло от печат м. декември 2014 г.

Печатни коли: 5.00

Поръчка № 14 с

Тираж 100 броя

Формат 60/84/16

Цена 5.00 лева

ISBN:978-619-167-117-5

Издателство и печат - Технически университет – София