Оразмеряване на интегрален CMOS операционен усилвател в подпраговата област

Борислав Митов

 Технически Университет София, Факултет по Електроника, София 100, България,
бул. „Кл. Охридски“ 8, бл. 1, е-mail: borislav\_mitov@smartcom.bg

**Резюме**. Статията представя методология за оразмеряване на интегрален CMOS операционен усилвател, реализиран по свръхдълбока субмикронна технология. За целта са разгледани особеностите и ограниченията на използваната технология. За оразмеряването на транзисторите е използван подход, основаващ се на графичните им характеристики, получени с помощта на SPICE симулации на BSIM моделите на транзисторите. Като пример е оразмерена схемата на двустъпален операционен усилвател с честотна компенсация, използвайки 16nm High Performace CMOS технолoгия предоставенa от Nanoscale Integration and Modeling (NIMO) в Arizona State University и симулатор LT SpiceIV.

**Sizing of an integrated CMOS Operational Amplifier (Borislav Mitov).** The present paper proposes a design procedure for sizing of an integrated CMOS operational amplifier, implemented on the base of CMOS ultra-deep submicron technology. For the sizing of the transistors is used a graphical approach, that is based on SPICE simulations using the BSIM models of the transistors. A design example for a CMOS two-stage operational amplifier is developed. To this aim the 16nm High Performance CMOS technology and LT SpiceIV are used.

Увод

При проектирането на по-сложни схеми с интегрални транзистори, проектантите се сблъскват с характерните особености на технологията (прагови напрежения, ефект на подложката, паразитни капацитети и др.), които усложняват процеса на проектиране.

Един от основните недостатъци на нанометровите технологии, при аналоговото проектиране, е ниската стойност на захранващото напрежение. Използваната 16nm CMOS технология се характеризира със захранващо напрежение 0.7V, което ограничава запаса по напрежение, който можем да осигурим при оразмеряването. Явлението е силно изразено при по-сложни схеми, при които се изисква реализирането на няколко последователно свързани транзистори [8].

Това затруднява използването на методите, основаващи се на първоначални ръчни изчисления и използващи стандартните формули, описващи поведението на транзисторите в режим на силна инверсия [7].

В статията е използван подход, основаващ се на приложение на графичните характеристики на транзисторите gm/ID=f(UGS) и ID/W=f(UGS), получени чрез симулации на BSIM моделите на транзисторите [2], [3], [4].

Специфични особености на свръхдълбоките субмикронни технологии

***Високи стойности на праговите напрежения***

На долната графика на фиг.1 е представена зависимостта gm=f(UGS) на NMOS транзистор, реализиран на базата на 16nm CMOS технология. От графиката се отчитат стойностите, при които транзисторът преминава от слаба в умерена инверсия UGS=445mV и от умерена в силна инверсия UGS=505mV. Поради ниската стойност на захранващото напрежение, високите стойности на праговите напрежения и желанието транзисторите да работят в областта на насищане (с цел получаване на по-голямо усилване), в повечето случай не е възможно оразмеряването да се реализира в областта на силна инверсия.



*Фиг.1 gm=f(UGS) и ID=f(UGS) на NMOS транзистор в схема с общ сорс за L=64nm, W=1um, UD=0.35V, без потенциална разлика между S и B ( US=UB=0V ).*

Това принуждава аналоговите проектанти да използват стойности на гейтовото напрежение по-ниски от праговото. На фиг.2 са представени изходните характеристики на NMOS транзистор за различни стойности на UGS<Uth в режим на слаба инверсия. Стойността, при която транзистора преминава в областта на насищане е приблизително 100mv.



*Фиг.2 Изходни характеристики на NMOS транзистор за L=64nm, W=1um при различни стойности на UGS.*

***Ефект на подложката***

От схемата на операционния усилвател на фиг.5 се установява, че има потенциална разлика между сорса и подложката на входните транзистори, при което се проявява ефекта на подложката. Ефектът на подложката е нежелан ефект и се изразява в нарастване на праговото напрежение при увеличение на потенциалната разлика между сорса и подложката [9].

На фиг.3 са представени симулираните характеристики gm=f(UGS) и ID=f(UGS) на NMOS транзистор, реализиран на базата на 16nm CMOS технология, с потенциална разлика между сорса и подложката USB=0.15V.



*Фиг.3 gm=f(UG) и ID=f(UG) на NMOS транзистор в схема с общ сорс за L=64nm, W=1um, UD=0.35V, при потенциална разлика между S и B ( US=0.15V; UB=0V).*

Сравнението на резултатите от фиг. 1 и фиг. 3 показва, че вследствие от ефекта на подложката, областта на слаба инверсия се е разширила. Стойността на дрейновия ток за съответните условия (UG=350mV, US=150mV, UD=350mV) е значително по-ниска. Следователно, за да се осигури един и същи дрейнов ток, то площта на транзистора с потенциална разлика между S и B ще е значително по-голяма от тази на транзистор без потенциална разлика.

В практиката съществуват транзистори с изолирана подложка, които предоставят възможността за индивидуалното свързване на подложките на отделните транзистори. Управлявайки потенциала на изолираната подложка е възможно премахването на ефекта на подложката. За реализацията на такъв тип транзистори се изискват допълнителни технологични процеси, които ще усложнят процеса на производство на чипа.

Друг метод за компенсация на увеличената площ на транзистора е намаляването на дрейновия ток. Схемата на операционния усилвател от фиг.5 позволява задаването на дадено отношение k между изходния ток на ОУ и тока в клона на диференциалния усилвател, като по този начин се постигат по-малки размери на входните транзистори.

***Паразитни капацитети***

На фиг. 4 са представени получените резултати от честотния анализ на NMOS усилвателно стъпало с общ сорс. От получените резултати се изчисляват бариерните капацитети на преходите подложка-дрейн и подложка-сорс CBS=CBD и специфичния капацитет на окиса под гейта COV.

Изразите описващи паразитните капацитети са [12]:

1. $i\_{B}=2πf\left(C\_{DB}+C\_{SB}\right)\rightarrow C\_{DB}=C\_{SB}=\frac{i\_{B}}{2πf}$
2. $i\_{G}=2π\left(2C\_{ov}\right)\rightarrow C\_{ov}=\frac{i\_{G}}{4πf}$ ,

където iB – токът през подложката, iG – токът през гейта, f – честотата на входния сигнал.

**Таблица 1**

|  |  |  |
| --- | --- | --- |
|  | CSB, CDB  | COV |
| W = 10um | 4.98pF | 5.49pF |
| W = 20um | 9.96pF | 10.98pF |
| W = 30um | 14.91pF | 16.44pF |
| W = 40um | 19.77pF | 21.79pF |
| W = 50um | 24.44pF | 26.92pF |

|  |
| --- |
|  |

|  |
| --- |
|  |

*Фиг.4 iB и iG на NMOS усилвателно стъпало общ сорс за L=64nm, W=10um;20um;30um;40um;50um, UD=350mV за различни честоти.*

От получените резултати се установява, че паразитните капацитети зависят право пропорционално от размерите на транзисторите. Затова при оразмеряването на транзисторите се цели получаването на по-малки стойности на дължината L и широчината W на съответния канал.

Двустъпален операционен усилвател

В статията е разгледана схемата на двустъпален операционен усилвател на проводимост с честотна компенсация [1], показана на фиг. 5. Тя е съставена от диференциален усилвател с несиметричен изход М1-М5, изходно стъпало общ сорс с динамичен товар М7-М8 и верига токови огледала М6-М5-М8, използвани за задаването на работната точка на транзисторите. Кондензаторът CC служи за честотна компенсация на ефекта на Милер и чрез него се задава честотната лента на усилвателя [1].



*Фиг.5 Двустъпален ОТА с CMOS транзистори.*

Коефициентът на усилване на схемата и честота на единично усилване се определят с изразите [1]:

1. $A\_{u}=\left(\frac{g\_{m2}}{g\_{DS2}+g\_{DS4}}\right)\left(\frac{g\_{m7}}{g\_{DS7}+g\_{DS8}}\right)$
2. $f\_{u}=f\_{-3dB}A\_{u}=\frac{kg\_{m1}}{2πC\_{C}}$

Пример

 Използвайки методологиите посочени в [10] и [11] е оразмерен операционния усилвател на проводимост от фиг.5, за честота на единично усилване fu=1MHz, при капацитивен товар CL=5pF.

Поради ниската стойност на захранващото напрежение, високите стойности на праговите напрежения и желанието транзисторите да работят в областта на насищане, с цел получаване на по-голямо усилване, транзисторите са проектирани за работа в режим на слаба инверсия. Това означава, че напрежение UDS > 100mV [10].

Приема се, че стойността на синфазното напрежение е половината от захранващото -Ucm=0.35V. С цел получаване на симетрия, се приемат следните стойности за потенциалите в схемата: UD(M1)=UD(M2)=UD(M6)=UD(M8)=0.35V, UD(M5)=0.15V [10].

Стръмността на схемата се задава от входните транзистори M1 и M2. При оразмеряването се избира колкото може по-малка дължина на канала с цел получаване на транзистори с малки размери и малки паразитни капацитети. За да се намали влиянието на коефициента на модулация на канала се избира L1=2Lmin=32nm [10].

За да се осигури стабилна работа на усилвателя и да се премахне нуждата от компенсационен резистор, последователно свързан към кондензатора, е необходимо да бъде спазено условието [11]:

1. $g\_{m7}>10g\_{m1}$.

За да се гарантира стабилността на схемата (PM>60°) е необходимо да се избере подходяща стойност на компенсационния кондензатор CC [11]:

$$C\_{C}>0.22C\_{L}>0.22\*5pF=1.1pF$$

С цел да се осигури по-голяма стойност на запаса по фаза се избира CC = 2pF.

От израза за честотата на единично усилване се определя стръмността на входните транзистори:

$$g\_{m1}=g\_{m2}=2πf\_{u}C\_{C}≈12.56uA/V$$

С цел компенсация на паразитните капацитети на транзисторите и осигуряване на запас на честотата на единично усилване се избира gm1=14uA.

С помощта на симулатора се построяват графиките gm/ID=f(UGS) и ID/W=f(UGS) за NMOS транзистор с L=32nm, W=1um, US=0.15V и UD=0.35V. Получените характеристики са показани на фиг.6.



*Фиг.6 Резултати от симулацията на gm/ID=f(UG) и ID=f(UG) на NMOS транзистор с L=32nm, W=1um, US=0.15V и UD=0.35V.*

От долната графика се отчита стойността на {gm/ID} за UG=0.35V и се определя ID [10]:

$$I\_{D1}=I\_{D2}=\frac{g\_{m1}}{\left\{^{g\_{m}}/\_{I\_{D}}\right\}}=\frac{14uA/V}{24.789}≈0.6uA$$

От горната графика се отчита стойността на нормирания дрейнов ток {ID/W} и се определя W [10]:

$$W\_{1}=W\_{2}=\frac{I\_{D1}}{\left\{^{I\_{D}}/\_{W}\right\}}=\frac{0.6uA}{51.66{nA}/{um}}=11.6um$$

От условието за стабилност на схемата gm7>10gm1 се определя стръмността на изходните транзистори:

$$g\_{m7}=11g\_{m1}=11\*14{uA}/{V}=0.154{mA}/{V}$$

Построяват се зависимостите gm/ID=f(UGS) и ID/W=f(UGS) за PMOS транзистор за L=96nm, W=1um и UD=0.35V. Получените графики са показани на фиг.7.



*Фиг.7 Резултати от симулацията на gm/ID=f(UGS) и ID=f(UGS) на PMOS транзистор с L=96nm, W=1um и UDS=0.35V.*

Определят се дрейновия ток ID и широчината на канала W на PMOS транзистора M7:

$$I\_{D7}=I\_{D8}=\frac{g\_{m7}}{\left\{^{g\_{m}}/\_{I\_{D}}\right\}}=\frac{0.154mA/V}{22.914}≈6.72uA$$

$$W\_{7}=\frac{I\_{D7}}{\left\{^{I\_{D}}/\_{W}\right\}}=\frac{6.72uA}{142.247{nA}/{um}}≈47um$$

С цел уеднаквяване на грешката от припокриването на областите на дрейна и сорса от гейта се избира дължината на канала на всички транзистори (без M1 и М2) да е еднаква [10].

Токовете в двата клона на диференциалния усилвател са равни ID(M1)=ID(M2)=ID(M3)=ID(M4) и представляват половината от тока през M5 [9]:

$$I\_{D5}=2I\_{D1}=1.2uA$$

За да се оразмерят останалите транзистори, се построяват графиките gm/ID=f(UGS) и ID/W=f(UGS) на NMOS и PMOS транзистори с L=96nm и W=1um за съответните условия. Следвайки горепосочения алгоритъм, крайните размери на транзисторите се получават:

**Таблица 1**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | M1,M2 | M3,M4 | M5 | M6 | M7 | M8 |
| L, nm | 32 | 96 | 96 | 96 | 96 | 96 |
| W, um | 11.6 | 4.2 | 3 | 2.9 | 47 | 16 |
| UD, mV | 350 | 350 | 150 | 350 | 350 | 350 |
| ID, uA | 0.6 | 0.6 | 1.2 | 1.2 | 6.72 | 6.72 |

Резултати

 На фиг.8 е представена получената АЧХ от симулацията на оразмерения ОУ. От получените резултати се установява, че условието за честотата на единично усилване е спазено и запасът по фаза е достатъчен, за да се гарантира стабилната работа на усилвателя.



*Фиг.8 Резултати от симулацията на АЧХ и ФЧХ на ОУ.*

Реализираната схема се характеризира с коефициент на усилване по напрежение Au=69.6dB. Възможно е стойността на коефициента на усилване да се увеличи, като се увеличи изходното съпротивление на транзисторите. За тази цел се избира по-голяма дължина на канала L. Това ще доведе до намаляването на отношението {ID/W} и за да се осигури изискваната честотна лента е необходимо да се увеличи широчината W на канала на транзисторите. Крайният резултат е реализирането на транзистори с по-голямо изходно съпротивление, но и с по-големи размери [10].

Заключение

 Статията разглежда оразмеряването на интегрален CMOS операционен усилвател. За тази цел са посочени особеностите на свръхдълбоките субмикронни технологии и са дефинирани основните съображения при проектирането на аналогови схеми с тях. Съставен е пример за оразмеряване на двустъпален ОУ на проводимост Представени са получените резултати от симулациите на оразмерената схема, които потвърждават ефективността на използвания подход.

**Благодарности**

Авторът изказва благодарност на проф. Емил Д. Манолов от ТУ-София за съветите и помощта при провеждане на изследванията и подготовката на настоящия доклад.

Литература

1. Манолов, Е. Д. Аналогови интегрални схеми: схемотехника и проектиране, Издателство на ТУ-София, 2002, ISBN 954-438-315-8.
2. Manolov, E. Graphical Representations for Analog IC Design in Deep and Ultra-Deep Submicron CMOS. Annual Journal of Electronics, Sofia, 2015, Vol. 9, pp. 34-37.
3. Manolov, E. Characterization of CMOS Transistors by Using Transfer Function Analysis. Proceedings of the XXV International Scientific Conference Electronics (ET), September 12-14, 2016, Sozopol, Bulgaria, pp. 29-32.
4. Manolov, E. D. Exploration of experimental approaches for gm/ID based sizing of sub-micron CMOS transistors. Proceedings of the Technical University of Sofia, Volume 66, Issue 3, 2016, pp. 91-100.
5. Predictive Technology Model site. <http://ptm.asu.edu/>
6. LTspice, <https://www.analog.com/en/design-center> /design-tools-and-calculators/ltspice-simulator.
7. D. Foty, D. Binkley, M. Bucher. Starting Over: gm/Id-Based MOSFET Modeling as a Basis for Modernized Analog Design Methodologies, Technical Proc. 2002 Intl. Conf. on Modeling and Simulation of Microsystems, Vol. 1, pp. 682–685.
8. D. Foty, D. Binkley, and M. Bucher. gm/ID-Based MOSFET Modeling and Modern Analog Design, (Invited Paper), Proceedings of the 9th International Conference on the Mixed Design of Integrated Circuits and Systems, June 2002, pp. 55 – 58.
9. Манолов, Е. Д. Ръководство за лабораторни упражнения по схемотехника на интегралните схеми, Издателство на ТУ-София, 2014, ISBN 978-619-167-117-5.
10. Manolov, E. D. Design of CMOS Analog Circuits in Subthreshold Region of Operation. Proceedings of XXVII International Scientific Conference Electronics ET’2018, September 13-15, 2018, Sozopol, Bulgaria.
11. Soumya Pandit, ‎Chittaranjan Mandal, ‎Amit Patra. Nano-scale CMOS Analog Circuits: Models and CAD Techniques for High-Level Design. 2014. ISBN 978-1466564268.
12. Analog Integrated Curcuit Design, <http://analogicdesign.com>.