Графичен подход за оразмеряване на CMOS аналогови интегрални схеми в подпраговата област

Борислав Митов

Технически Университет София, Факултет по Електроника, София 100, България,
бул. „Кл. Охридски“ 8, бл. 1, е-mail: borislav\_mitov@smartcom.bg

**Резюме**. Целта на доклада е изследването на графичен подход за оразмеряване на интегрални MOS транзистори за целите на аналоговото проектиране. Използваният подход се основава на характеристиките на транзисторите, получени чрез симулации. Като пример е оразмерена схемата на диференциален усилвател с несиметричен изход и удвоено усилване. Представени са методологията и съображенията при проектирането на схемата. Успешното проектиране на схемата се потвърждава от получените резултати от симулации.

**Graphical approach used for sizing of integrated CMOS circuits in the subthreshold region of operation (Borislav Mitov).** The paper presents a graphical approach for sizing of CMOS circuits for the purpose of integrated analog design. The used approach is based on the simulated characteristics of the transistors. A design example for an asymmetrical differential amplifier is developed. The used methodology and considerations in the design process are presented. The obtained results from the simulations of the sized schematic confirms the successfulness of the proposed design procedure.

Увод

Основните градивни елементи в интегралната схемотехника са NMOS и PMOS транзисторите. С усъвършенстването на CMOS технологиите, дължината на канала на транзисторите намалява с основна цел повишаване на плътността на елементите с оглед получаване на интегрални схеми с по-голяма функционалност. Тази тенденция е благоприятна за цифровите интегрални схеми, но поведението на транзисторите в аналоговите схеми се усложнява, при което традиционните методи за проектиране, основаващи се на работата на транзисторите в областта на силна инверсия, са сравнително неточни [1].

В практиката се използват два основни метода за оразмеряване на CMOS аналогови схеми. Първият метод се основава на теоретичен анализ на проектираната схема. Този процес е сравнително бавен и сложен. Другият подход се основава на използването на симулираните графични характеристики на транзисторите, който се отличава с ефективност и нагледност на процеса на оразмеряване [2].

Обект на изследване в тази статия е комбиниран подход, използващ характеристиките ID/W=f(UGS) и gm/ID=f(UGS), при което процесът на оразмеряване на транзисторите се състои от 3 стъпки [2]. За демонстрирането му е използвана 16 нанометровата High Performance CMOS технология, разработена от Nanoscale Integration and Modeling(NIMO) в Arizona State University [3] и симулатор LT Spice IV [10].

Използваната технология се характеризира със захранващо напрежение 0.7V, което се явява и един от основните недостатъци на нанометровите технологии при проектирането на аналогови схеми. Поради ниската стойност на захранващото напрежение се ограничава запаса по напрежение, който може да се осигури при оразмеряването на схемата. В резултат проектирането на по-сложни схеми, при които се изисква свързването на няколко последователно свързани транзистори, работещи в областта на силна инверсия, е невъзможно.

Предимството при използването на технологии с „къс“ канал е постигането на по-добра плътност на елементите, но не в такъв мащаб както при цифровите интегрални схеми.

Графичен подход за характеризиране на CMOS транзистори

За построяването на характеристиките gm/ID=f(UGS) и ID/W=f(UGS) са използвани 16nm NMOS и PMOS транзистори свързани в схема с общ сорс [4], показани на Фиг.1. На  Фиг.2 са представени нетлистовете на двете схеми.



Фиг.1. NMOS и PMOS транзистори в схема с общ сорс.

|  |  |
| --- | --- |
| Mn N001 N002 0 0 NMOS l={L} w=1uVg N002 0Vdd N001 0 0.35.model NMOS NMOS.model PMOS PMOS.inc 16nm\_HP.pm.dc Vg 0 0.7 1m.step param s list 2 4 6 8 10.param L=s\*16n.backanno.end | Mp N001 N002 0 N001 PMOS l={L} w=1uVg N001 N002Vdd N001 0 0.35.model NMOS NMOS.model PMOS PMOS.inc 16nm\_HP.pm.dc Vg 0 0.7 1m.step param s list 2 4 6 8 10.param L=s\*16n.backanno.end |

Фиг.2. Spice Netlists.

Получените резултати от симулацията на транзисторите с различна дължина на канала L=32nm, 64nm, 96nm, 128nm, 160nm и широчина на канала W=1um са показани на Фиг.3 (за NMOS) и Фиг.4 (за PMOS). Зададена е постояннотокова развивка по напрежението UGS от 0V до UDD при напрежение UDS=1/2UDD, при което транзистора работи в областта на насищане.



Фиг.3. Характеристики на дрейновия ток ID=f(UGS) и отношението gm/ID във функция от напрежението UGS на NMOS транзистор за различни стойности на L и W=1um.



Фиг.4. Характеристики на дрейновия ток ID=f(UGS) и отношението gm/ID в функция от напрежението UGS на PMOS транзистор за различни стойности на L и W=1um.

На горната графика на всяка от двете фигури са представени характеристиките на дрейновия ток във функция от напрежението между гейта и сорса в логаритмичен мащаб, а на долната графика е симулирана зависимостта gm/ID във функция от UGS. От нея се установява, че в областта на насищане, дължината на канала и видът на транзистора оказват сравнително малко влияние върху стойността на gm/ID [2].

Областта на силна инверсия, в която се извършва класическото аналогово проектиране е силно стеснена, което ограничава избора на работна точка на транзистора. Високата стойност на праговото напрежение и ниската стойност на захранващото напрежение не позволяват осигуряването на голям запас по напрежение, което

налага по прецизно оразмеряване на схемите.

Поради изброените недостатъци и желанието транзисторите да работят в областта на насищане, често проектантите са принудени да проектират схемите си така, че транзисторите да работят в режим на слаба инверсия. Тя се характеризира с високи стойности на показателя gm/ID и ниски честоти [6].

|  |
| --- |
|  |
| *Фиг.5. Изходни характеристики на NMOS транзистор с L=96nm, W=1um за различни стойности на UGS.* |

На Фиг.5 са представени изходните характеристики на NMOS транзистор, работещ в режим на слаба инверсия (UGS<UTH), при различни стойности на напрежението UGS. Стойността, при която транзистора преминава в областта на насищане е приблизително 100mV.

Изразите за основните параметри на транзисторите в режим на слаба инверсия са [5]:

$g\_{m}=\frac{I\_{D}}{nV\_{t}}$; $g\_{mb}=\left(\frac{n-1}{n}\right)\frac{I\_{D}}{V\_{t}}$; $r\_{o}≈\frac{1}{λI\_{D}}$,

където $n=\frac{C\_{ox}+C\_{depl}}{C\_{ox}}≈1.5$ и $V\_{t}=\frac{kT}{q}≈26mV$ при T=300K.

От израза за стръмността gm се установява, че стръмността на транзистора е право пропорционална на дрейновия ток ID. По дефиниция подпраговата област се характеризира с малки токове [6], което не позволява постигането на големи стойности на стръмността и честота на единично усилване на проектираните схеми.

От израза за изходното съпротивление ro се установява, че rо е обратно пропорционален на изходния ток и на коефициента на модулация на дължината на канала. Минималната дължина на канала, при която коефициента на модулация на канала не оказва значително влияние върху поведението на транзистора в областта на насищане, се определя от емпиричното правило L=2Lmin [4].

Методология за оразмеряване на субмикронни CMOS транзистори

С помощта на горепосочените графики, процесът на оразмеряване на транзисторите е сравнително лесен и може да бъде обобщен в 3 стъпки [2]:

1. Определя се необходимата стръмност на транзистора:
2. $g\_{m}=2πf\_{u}C\_{L}$
3. От графиката на Фиг.3 или Фиг.4 се избира работна точка и дължина на канала на транзистора, които да предоставят решение на поставената задача. Oтчита се стойността на {gm/ID} след което се изчислява стойността на дрейновия ток:
4. $I\_{D}=\frac{g\_{m}}{\left\{^{g\_{m}}/\_{I\_{D}}\right\}}$
5. От нормираната предавателна характеристика на Фиг.3 и Фиг.4 се отчита стойността на нормирания дрейнов ток {ID/W}, след което се изчислява широчината на канала W:
6. $W= \frac{I\_{D}}{\left\{^{I\_{D}}/\_{W}\right\}}$

Пример

Разгледаният графичен подход е използван при проектирането на класическата схема на диференциален усилвател с несиметричен изход показан на Фиг.6 [7]. Схемата е оразмерена за честота на единично усилване fu=1MHz, за капацитивен товар CL=5pF и коефициент на усилване Аu > 30dB.

|  |
| --- |
|  |
| Фиг.6. Диференциален усилвател с несиметричен изход и удвоено усилване. |

Коефициентът на усилване Au при диференциален входен сигнал и честотата на единично усилване fu се определят от изразите [7]:

1. $A\_{ud}=-\frac{g\_{m2}}{g\_{DS2}+g\_{DS4}}=-g\_{m2}(r\_{DS2}||r\_{DS4})$
2. $f\_{u}=\frac{g\_{m1}}{2πC\_{L}}$

Приема се, че стойността на постояннотоковото синфазното напрежение Ucm е равно на половината от захранващото. С цел получаване на симетрия, схемата е проектирана за следните напрежения: Ucm=1/2UDD; UD(М1, M2, M3)=0.35V; UD(М5)=0.15V. Стръмността на схемата се задава от входните транзистори M1 и M2, затова при оразмеряването се избира колкото може по-малка дължина на канала, с цел постигане на по-голяма стойност на стръмността и получаването на по-малки паразитни капацитети [8].

От заданието за честотата на единично усилване и товарния капацитет се определя стръмността на схемата:

$$g\_{m1}=2πfC\_{L}=2π\*1MHz\*5pF=31.4uA/V$$

С цел компенсация на паразитните капацитети и осигуряване на запас по фаза се избира gm1=33uA/V.

Построяват се графиките от Фиг.4 на NMOS транзистор с дължина на канала L=48nm, широчина на канала W=1um, US=0.15V и UD=0.35V. Получените характеристики са показани на Фиг.7.



Фиг.7. Резултати от симулацията на gm/ID=f(UG) и ID=f(UGS) на NMOS транзистор с L=48nm, W=1um, US=0.15V и UD=0.35V.

От долната графика на Фиг.7 се отчитат стойността на {gm/ID} за UG=1/2UDD=0.35V и се определя стойността на дрейновия ток:

$$I\_{D1}=\frac{g\_{m1}}{\left\{^{g\_{m}}/\_{I\_{D}}\right\}}=\frac{33{uA}/{V}}{24.823}≈1.35uA$$

От горната графика се отчита стойността на нормирания дрейнов ток {ID/W} и се определя широчината на канала:

$$W\_{1}=W\_{2}=\frac{I\_{D1}}{\left\{^{I\_{D}}/\_{W}\right\}}=\frac{1.35uA}{27.41{nA}/{um}}≈49um$$

С цел уеднаквяване на грешката от припокриването на областите на дрейна и сорса от гейта се избира дължината на канала за всички транзистори да е еднаква, без M1 и M2, като нейната стойност се определя от изискването за коефициента на усилване Au [8].

С помощта на симулатора е извършен DC transfer function анализ на MOS транзисторите M1 (Фиг.8) и M3 (Фиг.9), чрез който се визуализира графично зависимостта на изходното съпротивление rout от дрейновия ток ID [9]. Целта е да се оразмерят дължините на каналите транзисторите М1 и М3, така че да се осигури усилване Аu>30dB.

На Фиг.8 е представена получената характеристика на изходното съпротивление във функция от дрейновия ток rout=f(ID) на NMOS транзистори М1 и М2. От получената графика се отчита стойността rout≈2.376MΩ при ID=1.35uA.

 От уравнението за коефициента на усилване на диференциалния усилвател (4) се получава стойността на изходното съпротивление на M3 rDS3>1.47MΩ, при която ще се удовлетвори условието Au >30dB.



Фиг.8. rout=f(ID) на NMOS транзистор с L=48nm, W=49um, US=0.15V получени чрез transfer function analysis.

На Фиг.9 e симулиранa характеристикaтa rout=f(ID) на PMOS транзистори за различни дължини на канала. От получените резултати се установява, че минималната дължина на канала, за която се удовлетворява изискването за rDS3 е L=48nm. Ако се избере по-голяма дължина на канала, това ще доведе до увеличаването на изходното съпротивление на транзисторите M3 и M4, което ще доведе до увеличаването на коефициента на усилване на усилвателя, но ще се стесни честотната лента.



Фиг.9. rout=f(ID) на PMOS транзистор с L=32n,48n,64n, 96n и W=10u получени чрез transfer function analysis.

Използвайки уравнението за коефициента на усилване на диференциалния усилвател (4) се изчислява усилването на оразмерената схема:

$$A\_{u}=g\_{m1}\left(r\_{DS1}||r\_{DS3}\right)=31.4dB$$

Токовете в двата клона на диференциалния усилвател са равни ID(M1)=ID(M2)=ID(M3)=ID(M4) и представляват половината от тока през M5 [10]:

$$I\_{D5}=2I\_{D1}=2I\_{D2}=2.7uA$$

За определянето на широчината на канала на останалите транзистори се използва уравнението за W (3) и характеристиките от Фиг.4 и Фиг.5 за NMOS и PMOS транзистори с дължина на канала L=48nm и широчина W=1um за съответните условия. Следвайки горепосочения алгоритъм размерите на транзисторите се получават:

**Таблица 1**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| - | M1, M2 | M3, M4 | M5 | M6 |
| L, nm | 48nm | 48nm | 48nm | 48nm |
| W, um | 49um | 3.8um | 2.9um | 2.7um |
| UD, mV | 350mV | 350mV | 150mV | 350mV |
| ID, uA | 1.35uA | 1.35uA | 2.7uA | 2.7uA |

**Резултати**

От получените резултати показани на Фиг.10 се установява, че честотата на единично усилване е постигната, условието за коефициента на усилване е спазено и запасът по фаза гарантира стабилността на усилвателя.



Фиг.10. Резултати от симулацията на АЧХ и ФЧХ.

|  |
| --- |
|  |

Фиг.11. Обобщени резултати на коефициента на усилване и честотата на единично усилване за различни стойности на синфазното напрежение.

На Фиг.11 са представени получените резултати на амплитудно-честотните характеристики на ДУ за различни стойности на синфазното напрежение. Установява се, че условието за коефициента на усилване е спазено в диапазонa от 100mV до 450mV на изменение на синфазното напрежение, а изискването по отношение на честотата на единично усилване е спазено в диапазона 300mv до 550mV.

**Заключение**

Статията демонстрира прилагането на графичен подход за оразмеряване на диференциален усилвател с MOS транзистори. Използваният метод се основава върху симулации, не изисква сложни ръчни изчисления и осигурява методичност и нагледност на процеса на проектиране.

**Благодарности**

Авторът изказва благодарност на проф. Емил Д. Манолов от ТУ-София за съветите и помощта при провеждане на изследванията и подготовката на настоящия доклад.

**Литература**

1. Manolov, E. Graphical Representations for Analog IC Design in Deep and Ultra-Deep Submicron CMOS. Annual Journal of Electronics, Sofia, 2015, Vol. 9, pp. 34-37.
2. Manolov, E. D. Exploration of experimental approaches for gm/ID based sizing of sub-micron CMOS transistors. Proceedings of the Technical University of Sofia, Volume 66, Issue 3, 2016, pp. 91-100.
3. Predictive Technology Model site. <http://ptm.asu.edu/>
4. Манолов, Е. Д. Ръководство за лабораторни упражнения по схемотехника на интегралните схеми, Изд. на ТУ-София, 2014, ISBN 978-619-167-117-5.
5. Michael H. Perrott. Analysis and Design of Analog Integrated Circuits. Lecture 16: Subthreshold Operation and gm/Id Design.

 <http://www.cppsim.com/CircuitLectures/Lecture16.pdf>.

1. Manolov, E. D. Performance investigation of deep and ultra-deep submicron CMOS transistors in analog circuit design. Electrotechnica & Electronica, Vol. 51, No 1-2/ 2016, pp. 47-52.
2. Манолов, Е. Д. Аналогови интегрални схеми: схемотехника и проектиране, Издателство на ТУ-София, 2002, ISBN 954-438-315-8.
3. Manolov, E. D. Design of CMOS Analog Circuits in Subthreshold Region of Operation. Proceedings of XXVII International Scientific Conference Electronics ET’2018, September 13-15, 2018, Sozopol, Bulgaria.
4. Manolov, E. Characterization of CMOS Transistors by Using Transfer Function Analysis. Proceedings of the XXV International Scientific Conference Electronics (ET), September 12-14, 2016, Sozopol, Bulgaria, pp. 29-32.
5. LTspice,https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulat