

ЕМИЛ Д. МАНОЛОВ

ЕМИЛ Д. МАНОЛОВ

**АНАЛОГОВИ
ИНТЕГРАЛНИ
СХЕМИ**

**СХЕМОТЕХНИКА И
ПРОЕКТИРАНЕ**

АНАЛОГОВИ ИНТЕГРАЛНИ СХЕМИ
СХЕМОТЕХНИКА И ПРОЕКТИРАНЕ

ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - СОФИЯ, 2002

В книгата са разгледани основните схемни елементи на съвременните аналогови и аналогово-цифрови монолитни интегрални схеми, реализирани по биполярна, CMOS и BiCMOS технологии. Тя е предназначена за студентите, изучаващи дисциплината "Схемотехника на интегралните схеми" и ще бъде полезна за всички, които проектират или използват интегрални схеми и устройства.

Аналогови интегрални схеми: схемотехника и проектиране

Автор: доц. д-р инж. Емил Димитров Манолов

Рецензент: доц. д-р инж. Лиляна Андреева Донева

ИПК на ТУ-София

ISBN - 954-483-315-8

СЪДЪРЖАНИЕ

Основни означения и съкращения.	5
Увод	8
Глава 1. Еквивалентни схеми на интегралните елементи	11
1.1. Особенности при проектирането на интегрални схеми	11
1.2. Интегрални биполярни транзистори.	12
1.3. Интегрални диоди	18
1.4. Интегрални MOS транзистори.	19
1.5. Интегрални полеви транзистори с p-n преход	25
1.6. Типични параметри на биполярни и CMOS интегрални транзистори	26
Глава 2. Задаващи източници на ток и токови огледала.	28
2.1. Задаващи източници на ток и токови огледала с биполярни транзистори.	29
2.2. Задаващи източници на ток и токови огледала с MOS транзистори.	36
Глава 3. Вериги за установяване на постояннотоковия режим	45
3.1. Вериги за установяване на режима слабо зависещи от захранващото напрежение	45
3.2. Вериги за установяване на режима слабо зависещи от температурата	50
Глава 4. Стъпала с динамичен товар	54
4.1. Стъпала с динамичен товар с биполярни транзистори	54
4.2. Стъпала с динамичен товар с MOS транзистори	56
4.3. Анализ на стъпалата с динамичен товар при високи честоти	60
Глава 5. Каскодни усилвателни стъпала	64
5.1. Каскодни стъпала с биполярни транзистори	64
5.2. Каскодни стъпала с MOS транзистори	66

Глава 6. Диференциални усилватели	70
6.1. Диференциални усилватели с биполярни транзистори.	70
6.2. Диференциални усилватели с MOS транзистори.	74
6.3. Варианти на схемата на диференциалния усилвател.	78
Глава 7. Изходни стъпала на интегралните схеми	83
7.1. Изходни стъпала с високо изходно съпротивление.	83
7.2. Изходни стъпала с ниско изходно съпротивление.	90
Глава 8. Операционни усилватели	94
8.1. Операционни усилватели на проводимост	94
8.2. Стандартни операционни усилватели	108
8.3. Операционни усилватели на ток	109
8.4. Операционни усилватели с отрицателна обратна връзка по ток	111
Глава 9. Работа на MOS транзисторите в режим на слаба инверсия (подпрагова област)	113
9.1. Определяне на параметрите на модела в режим на слаба инверсия.	114
9.2. Анализ и оразмеряване на нелинейни схеми с MOS транзистори в режим на слаба инверсия	117
Глава 10. Приложения на "ефекта на подложката" в MOS интегралните схеми.	123
10.1. CMOS диференциален усилвател управляван чрез "ефекта на подложката"	123
10.2. Широкодиапазонен CMOS кръгов генератор	126
Литература	130

ОСНОВНИ ОЗНАЧЕНИЯ И СЪКРАЩЕНИЯ**Означения и съкращения при биполярните транзистори**

B_T, B_{TJ}	- биполярен транзистор
I_B, I_E, I_C	- постоянни токове в БТ;
V_{BE}, V_{CE}, V_{CB}	- постоянни напрежения в БТ;
i_b, i_e, i_c	- променливи съставки на токовете в БТ;
u_{be}, u_{ce}, u_{cb}	- променливи съставки на напреженията в БТ;
I_S	- ток на насищане;
φ_T	- топлинен потенциал;
β	- коефициент на усилване по ток в БТ;
β_R	- инверсен коефициент на усилване по ток в БТ;
α	- коефициент на предаване по ток в БТ;
α_R	- инверсен коефициент на предаване по ток в БТ;
V_{AF}	- напрежение на Ерли за БТ;
$r_{bb'}$	- обемно съпротивление на базата
r_i	- диференциално входно съпротивление на БТ при свързване ОЕ;
r_e	- диференциално съпротивление на емитерния преход на БТ;
r_o	- изходно диференциално съпротивление на БТ;
g_m	- стръмност (проходна проводимост);
g_o	- изходна диференциална проводимост;
$C_{b'e}, C_{b'c}, C_{cs}$	- паразитни капацитети в БТ;
f_T	- честота на единично усилване;
C_j	- бариерен капацитет на $p-n$ преход;
C_d	- дифузен капацитет на $p-n$ преход.

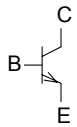
Означения и съкращения в MOS, CMOS и полеви транзистори

I_D	- постоянен дрейнов ток на MOS транзистор;
$V_{GS}, V_{GD}, V_{DS}, V_{SB}$	- постоянни напрежения между изводите на MOS транзистор;
V_{DSAT}	- напрежение на насищане на изходните характеристики на MOS транзистор;
V_{eff}	- ефективно напрежение на MOS транзистор;
V_{TO}	- прагово напрежение на MOS транзистор при напрежение $V_{SB} = 0V$;
V_T	- прагово напрежение на MOS транзистор при напрежение $V_{SB} \neq 0V$;
k'	- фактор на стръмността при MOS транзисторите;
W	- широчина на канала на MOS транзистор;
L	- дължина на канала на MOS транзистор;
λ	- коефициент на модулация на дължината на канала на MOS транзистор;
$C_{gs}, C_{gd}, C_{sb}, C_{db}$	- паразитни капацитети в MOS транзистора;
L_{OV}	- дължина на припокриването между гейта и сорса (дрейна и сорса);
r_o	- диференциално изходно съпротивление на транзистор;
N, n	- индекс за n-MOS транзистори;
P, p	- индекс за p-MOS транзистори;
C_{OX}	- специфичен капацитет на окиса под гейта;
V_P	- прагово напрежение на полеви транзистор с $p-n$ преход;
I_{DSS}	- дрейнов ток на полеви транзистор с $p-n$ преход при $V_{GS} = 0V$.

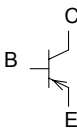
Означения и съкращения в електронните схеми

R_i	- входно съпротивление;
R_o	- изходно съпротивление;
G_i	- входна проводимост;
G_o	- изходна проводимост;
A_u	- коефициент на усилване по напрежение;
A_i	- коефициент на усилване по ток;
G_m	- стръмност (проходна проводимост);
$f_{(-3dB)}$	- гранична честота на стъпалото на ниво -3dB (честотна лента);
GBW	- произведение от стойностите на коефициента на усилване A_u и честотната лента $f_{(-3dB)}$.

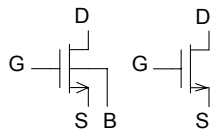
Графични означения



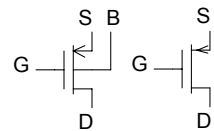
- биполярен *n-p-n* транзистор



- биполярен *p-n-p* транзистор



- MOS транзистор с индуциран канал *n* тип



- MOS транзистор с индуциран канал *p* тип

УВОД

Разработването на монолитни интегрални схеми включва три основни етапа [6]: проектиране на архитектурата, схемотехническо проектиране и топологично проектиране. Задачата на проектирането на архитектурата е да се синтезира блоковата схема на устройството. Обект на схемотехническото проектиране са анализа, синтеза и оразмеряването на елементите на проектираната интегрална схема. При топологичното проектиране се създава многослойно графично изображение на отделните интегрални елементи върху чипа и връзките между тях.

Системният подход при проектирането на интегрални схеми се основа на прилагането на трите основни принципа при решаването на задачи от областта на проектирането: йерархичност, декомпозиция и структурност [6, 14]. Приложението им е наложило в практиката т. нар. "front-end" (отгоре-надолу) методология [34], характеризираща се с последователна декомпозиция на обобщената блоковата схема на проектираното устройство до достигането на стандартни базови структури. Този подход се използва както при аналоговите така и при цифровите интегрални схеми [12].

Основните затруднения при прилагането на описания подход при проектирането на аналогови интегрални схеми, са свързани с многообразието на съществуващите базови структури и техните конкретни схемни решения. Поради големите възможности за вариране при избора на схемите, процедурата за проектиране на аналогови схеми се характеризира със значителна сложност и продължителност [6]. При нея, от съществено значение са опитът и познанията на проектанта, усетът му при решаване на подобни задачи и, не на последно място, достъпът му до информация за съществуващите варианти на базови решения. В зависимост от конкретното задание, с помощта на теоретични анализи, се избират няколко схеми, за които се предполага, че най-пълно отговарят на предварителните изисквания. Следват оразмеряване, компютърна симулация, сравнение на получените резултати за различните схеми и окончателен избор на подходящото решение. Обикновено, това е модификация на съществуващо схемно решение, но понякога това може да бъде и изцяло нова схема. С помощта на целенасочени симулации, в интерактивен режим, избраното решение се оптимизира по отношение на желаните параметри [4, 12, 13].

От казаното до тук следва, че задачата на проектирането на аналогови интегрални схеми почти винаги има много възможни решения. От тях конструкторът трябва да избере най-доброто в техническо и икономическо отношение [15]. За да се постигне това е необходимо той да бъде запознат много добре с основните решения на елементарните стъпала на интегралните схеми и методите за техния анализ.

В книгата са разгледани и анализирани най-разпространените схемотехнически решения на основните стъпала на монолитните интегрални схеми. Главно внимание е отделено на базовите схеми за изграждане на аналоговите и аналогово-цифровите интегрални схеми, които напоследък намират все по-широко приложение при реализацията на съвременните устройства за обработка на сигнали и информация [6].

За целта, в първа глава, са разгледани основните различия между дискретната и интегралната схемотехника и моделите от първи ред на интегралните биполярни, MOS и полеви транзистори, които се използват при първоначалните (ръчни) анализи и изчисления на схемите.

Във втора глава са описани основните решения на задаващи източници на ток и токови огледала с биполярни и MOS транзистори.

В трета глава са представени най-често използваните схеми за установяване на работната точка в интегралните схеми.

В четвърта глава са разгледани схемите с динамичен товар, а в пета глава - интегралните каскодни усилвателни стъпала.

В шеста глава се анализират основните схеми на интегрални диференциални усилватели.

В седма глава са описани изходните стъпала на аналоговите интегрални схеми.

В осма глава са представени базовите схемни решения на различните типове интегрални операционни усилватели. Специално внимание е отделено на проектирането на операционни усилватели с ниско захранващо напрежение и широк диапазон на входния синфазен сигнал.

В девета глава е разгледана работата на MOS транзисторите в подпоровата област и са описани схемни решения на маломощни нелинейни преобразуватели.

В десета глава са представени аналогови и импулсни CMOS схеми, чието действие и параметри се управляват чрез "ефекта на подложката".

Проектирането на интегрални схеми е една от най-динамичните области на съвременната електроника. Написването на тази книга е предизвикано от необходимостта от допълване и актуализация на материала по дисциплината "Схемотехника на интегралните схеми", водена на част от студентите от специалността "Електроника" в Техническият университет - София. Книгата трябва да се разглежда като развитие на съществуващите учебници и учебни помагала [15, 16, 17]. При написването ѝ е взето предвид и съдържанието на учебните пособия [21, 23, 24, 31] по основните схемотехнически дисциплини, изучавани в момента. Този подход позволи на автора да се съсредоточи върху обобщаването и представянето на съществените и перспективни, според него, теми в интегралната схемотехника, свързани с проектирането и реализацията на основните схемни елементи.

ти на модерните аналогови и аналогово-цифрови интегрални схеми. При изложението на всяка от главите, стремежът е не да се опишат всички съществуващи решения, а да се демонстрират и обяснят принципите на изграждане на съответния клас схеми, техните основни параметри и възможния диапазон на изменението им. Целта е, студентите, въз основа на получените познания, навици и умения за анализ и проектиране на основните схемни решения, да могат да прилагат същия подход и при изучаването и изследването на нови схеми. За това би трябвало да допринесат и включените примери за анализ и проектиране на базови стъпала - главно CMOS схеми, които са слабо застъпени в издадената у нас литература по аналогова и интегрална схемотехника.

Авторът се надява, че представената книга ще бъде полезна за студентите и инженерите, работещи в областта на проектирането и приложението на интегрални схеми. Всички отзиви, препоръки и забележки ще бъдат приети с благодарност на адреси:

emanolov@yahoo.com и
edm@yme.acad.bg.

29.05.2002 г.

Емил Д. Манолов

1. ЕКВИВАЛЕНТНИ СХЕМИ НА ИНТЕГРАЛНИТЕ ЕЛЕМЕНТИ

1.1. ОСОБЕНОСТИ ПРИ ПРОЕКТИРАНЕТО НА ИС

Особеностите и ограниченията на технологичния процес, при производството на монолитни интегрални схеми, са причина за значителни различия в принципите и методите за схемотехническо проектиране на интегралните и дискретните схеми [20].

Основните недостатъци на интегралните технологии, които пречат директното пренасяне на дискретните схемни решения върху чип, са:

- ограниченията в елементната база;
- големите толеранси на параметрите на интегралните елементи;
- силните температурни зависимости на елементите.

От друга страна, интегралните технологии предлагат и редица предимства спрямо дискретните. По-съществените от тях са:

- възможност за реализация на схеми с огромен брой ($10^5 - 10^6$) активни елементи;
- наличие на силна корелация между стойностите на параметрите на елементите върху чипа;
- възможности за получаване на елементи с различни параметри и характеристики, чрез избор на геометрията на приборите.

Ограниченията в елементната база се отразяват най-вече върху използването на пасивни елементи. Например, поради прекаленото нарастване на площта на кристала, почти не се използват резистори със стойности над $50 \text{ k}\Omega$ и кондензатори над 50 pF , а реализацията на интегрални индуктивности съвсем до скоро се смяташе за невъзможна. По тази причина интегралните схеми се проектират предимно като транзисторни схеми с непосредствени връзки и минимален брой пасивни компоненти.

Търсенето и използването на изцяло транзисторни решения на основните стъпала се благоприятства от наличието на силна корелация между стойностите на параметрите на елементите. Това позволява широко да се прилагат ефективни схемни решения като диференциални усилватели, токови огледала, динамични товари и др., при които съгласуването на характеристиките на изграждащите ги елементи е от съществено значение.

Големите толеранси на параметрите на интегралните елементи (над 20-30 %) поставят специфични изисквания към използваните схемни решения. Желателно е характеристиките на схемите да не зависят или да зависят съвсем слабо от тези толеранси. Това се постига чрез използване на схеми, чиито изходни параметри зависят от отношението на взаимно корелирани параметри на елементите, а не от абсолютните им стойности.

Понеже интегралните схеми са с непосредствена връзка, температурната нестабилност на изграждащите ги елементи има силно отрицателен ефект върху постояннотоковия им режим. За избягване на този недостатък най-често се използват отрицателни обратни връзки и схемни решения, които стабилизират или компенсират нежелателния температурен дрейф.

Типично за интегралните елементи е, че повечето от техните основни параметри и характеристики зависят главно от използваните технологии и не могат да се избират от проектанта. Например, при биполярните схеми, параметърът β е фиксиран (със съответния толеранс) от технологичния процес и проектантът може да варира само с площите на отделните транзистори. При MOS схемите факторът на стръмността K' и праговото напрежение V_T се определят от технологията и конструкторът може да задава единствено размерите W (широчина) и L (дължина) на канала на използваните транзистори.

От казаното по-горе следва, че интегралните схеми се състоят от голям брой транзистори с различна геометрия и взаимно корелирани параметри. Това на практика изключва макетирането на схемите като средство за тяхното изучаване и оптимизация. Оценката и анализа на техническите характеристики на схемите, в процеса на проектиране, задължително се извършва чрез симулация [4, 19, 33, 34].

Анализът и първоначалното оразмеряване на избраните схемни решения най-често се извършват ръчно, с помощта на моделите на интегралните елементи от първи ред. По-долу са разгледани най-използваните модели за ръчен анализ и изчисления на интегрални схеми.

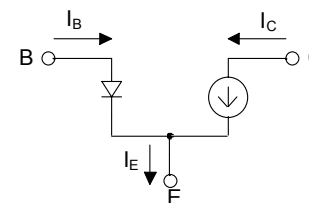
1.2. ИНТЕГРАЛНИ БИПОЛЯРНИ ТРАНЗИСТОРИ

1.2.1. Еквивалентни схеми по постоянен ток

Работа в нормален активен режим

($V_{BE} > 0.5V$, $V_{CB} > -0.3V$ - за *n-p-n* транзистори)

($V_{BE} < -0.5V$, $V_{CB} < 0.3V$ - за *p-n-p* транзистори)



Фиг. 1-1:
Постояннотокова еквивалентна схема на биполярен транзистор, подходяща за ръчни анализи и изчисления.

На Фиг. 1-1 е показана постояннотоковата еквивалентна схема на биполярен транзистор, подходяща за ръчни анализи и изчисления. Основните зависимости между токовете и напреженията в нея са [4]:

$$(1-1) \quad I_E = I_C + I_B$$

$$(1-2) \quad V_{CE} = V_{BE} + V_{CB}$$

$$(1-3) \quad I_C \approx I_S \exp\left(\frac{V_{BE}}{\varphi_T}\right) \left(1 + \frac{V_{CE}}{V_{AF}}\right);$$

$$(1-4) \quad I_B \approx \frac{I_C}{\beta};$$

$$(1-5) \quad I_E \approx \frac{I_C}{\alpha};$$

$$(1-6) \quad I_S = A J_S;$$

$$(1-7) \quad \alpha = \frac{\beta}{1 + \beta};$$

$$(1-8) \quad \varphi_T = \frac{kT}{q}.$$

В представените зависимости плътността на тока през емитерния преход J_S , напрежението на Ерли V_{AF} , коефициентът на усилване по ток β и коефициентът на предаване по ток α са параметри, зависещи от технологичния процес; площта на емитерния преход A_E е конструктивен параметър, а топлинният потенциал φ_T е функция на околната среда (при температура на околната среда $T = 300 \text{ K}$, $\varphi_T \approx 25.8 \text{ mV}$).

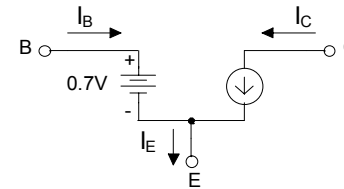
Като следствие от (1-3) и (1-5), за определяне на напрежението върху емитерния преход, се получава опростената формула

$$(1-9) \quad V_{BE} \approx \varphi_T \ln\left(\frac{I_C}{I_S}\right) \approx \varphi_T \ln\left(\frac{I_E}{I_S}\right).$$

Стойността на напрежението V_{BE} за маломощните интегрални транзистори е между 0.5V и 0.8V, в зависимост от площта на прехода и големината на протичащите токове. Затова, за ориентировъчни изчисления, често се използва опростената постояннотокова еквивалентната схема, показана на Фиг. 1-2. В тази схема преходът V_{BE} е моделиран с генератор на еталонно напрежение 0.7V, а между колектора и емитера е свързан генера-

тор на ток. Действието на ефекта на Ерли най-често се пренебрегва (особено при ниски захранващи напрежения), така че за колекторния и емитерния ток може да се използва формулата

$$(1-10) \quad I_C \approx I_E \approx I_S \exp\left(\frac{V_{BE}}{\varphi_T}\right).$$



Фиг. 1-2: Опростена постояннотокова еквивалентна схема на интегрален биполярен транзистор.

Представените еквивалентни схеми са за $n-p-n$ транзистори. За да се използват и при $p-n-p$ транзисторите е достатъчно да се обърнат посоките на токовете и полярностите на напреженията между изводите им.

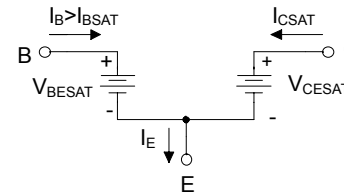
Работа в инверсен нормален режим

$(V_{BC} > 0.5V, V_{BE} < 0.3V$ - за $n-p-n$ транзистори)
 $(V_{BC} < -0.5V, V_{BE} > -0.3V$ - за $p-n-p$ транзистори)

В този режим емитерът и колекторът сменят местата си. Еквивалентните схеми и уравненията са аналогични на тези в нормален активен режим, но с разликата, че коефициентите α_R и β_R са над 10-20 пъти по-малки от съответните коефициенти α и β .

Работа в ключов режим

Еквивалентната схема на $n-p-n$ транзистор в областта на насищане е показана на Фиг. 1-3.



Фиг. 1-3: Еквивалентна схема на биполярен транзистор в областта на насищане.

При изпълнение на токовия критерий за насищане

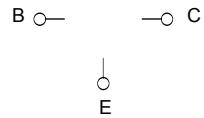
$$(1-11) \quad I_B > I_{BSAT} = \frac{I_{CSAT}}{\beta}$$

стойностите на напреженията между изводите на транзистора са

$$(1-12) \quad |V_{BESAT}| \approx (0.7 \div 0.9) \text{ V};$$

$$(1-13) \quad |V_{CESAT}| \approx (0.1 \div 0.2) \text{ V}.$$

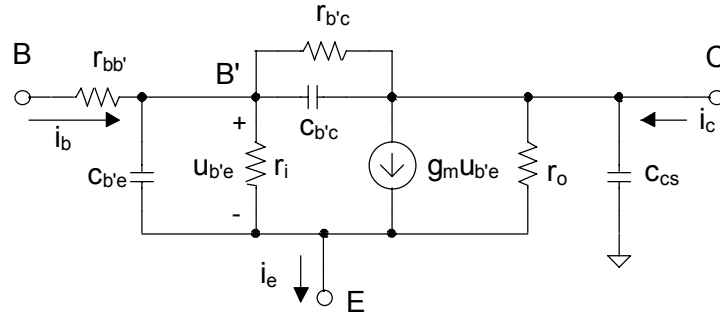
На Фиг. 1-4 е показана опростената еквивалентна схема на интегралния биполярен транзистор в областта на отсечка. Понеже и двата $p-n$ прехода са запушени, през тях текат само обратните им токове, които при ръчните изчисления и анализи се приемат равни на нула.



Фиг. 1-4:
Еквивалентна схема на биполярен транзистор в областта на отсечка.

1.2.2. Еквивалентни схеми на биполярните транзистори при малък променлив сигнал

Обобщена еквивалентна схема



Фиг. 1-5: Обобщена еквивалентна схема на интегрален биполярен транзистор при малък променлив сигнал.

Най-често използваната обобщена малосигнална еквивалентна схема на интегралния биполярен транзистор е показана на Фиг. 1-5 [5, 7]. В нея:

- $r_{bb'}$ е обемното съпротивление на базата (обикновено е между 20 Ω и 500 Ω);

- r_i е диференциалното входно съпротивление в схема OE

$$(1-14) \quad r_i = \frac{dV_{BE}}{dI_B} = (1 + \beta)r_e \approx (1 + \beta) \frac{\varphi_T}{I_E} = \frac{1 + \beta}{g_m} \approx \frac{\beta}{g_m} = \beta r_e;$$

- r_e е диференциалното съпротивление на емитерния преход

$$(1-15) \quad r_e = \frac{dV_{BE}}{dI_E} \approx \frac{\varphi_T}{I_E} = \frac{r_i}{1 + \beta} = \frac{\alpha}{g_m} \approx \frac{1}{g_m};$$

- g_m е стръмността на транзистора

$$(1-16) \quad g_m = \frac{dI_C}{dV_{BE}} \approx \frac{I_C}{\varphi_T} = \alpha \frac{I_E}{\varphi_T} = \frac{\alpha}{r_e} \approx \frac{1}{r_e} = \frac{I_E}{\varphi_T};$$

- r_o е изходното съпротивление

$$(1-17) \quad r_o = \frac{dV_{CE}}{dI_C} \approx \frac{V_{AF}}{I_C} \approx \frac{V_{AF}}{I_E};$$

- $r_{b'c}$ е диференциалното съпротивление на колекторния преход.

$$(1-18) \quad r_{b'c} \approx 10\beta r_o;$$

- $C_{b'e}$ е капацитета на прехода база - емитер. Той зависи от бариерния капацитет C_j и дифузия капацитет C_d :

$$(1-19) \quad C_{b'e} = C_j + C_d.$$

Бариерният капацитет на $p-n$ преход, включен в права посока, е [5, 7].

$$(1-20) \quad C_j \cong 2A_E C_{je0} = 2C_{e0},$$

където A_E е площта на емитерния преход, а C_{je0} е специфичния (за единица площ) бариерен капацитет при $V_{BE} = 0 \text{ V}$, а C_{e0} е бариерния капацитет на емитерния преход при $V_{BE} = 0 \text{ V}$.

За дифузия капацитет е в сила

$$(1-21) \quad C_d = \tau_T \frac{I_C}{\varphi_T} = g_m \tau_T,$$

където τ_T е времето за преминаване на токоносителите през базата.

Обикновено, при включване в права посока, стойността на дифузия капацитет преобладава съществено над бариерния.

- C_{cs} е капацитета на прехода колектор-подложка

$$(1-22) \quad C_{cs} = \frac{A_T C_{js0}}{\sqrt{1 + \frac{V_{CS}}{\Phi_{S0}}}} = \frac{C_{s0}}{\sqrt{1 + \frac{V_{CS}}{\Phi_{S0}}}},$$

където C_{js0} е специфичния бариерен капацитет колектор-подложка при $V_{CS} = 0 V$, C_{s0} е общия бариерен капацитет при $V_{CS} = 0V$, Φ_{S0} е контактната потенциална разлика, а A_T - ефективната площ на прехода;

- $C_{b'c}$ е капацитета на колекторния преход

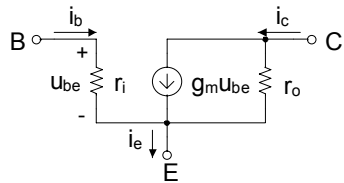
$$(1-23) \quad C_{b'c} = \frac{A_C C_{jc0}}{\sqrt[3]{1 + \frac{V_{CB}}{\Phi_{S0}}}} = \frac{C_{c0}}{\sqrt[3]{1 + \frac{V_{CB}}{\Phi_{S0}}}},$$

където C_{jc0} е специфичния бариерен капацитет на прехода при $V_{CB} = 0 V$, C_{c0} е бариерния капацитет на прехода база-колектор при $V_{CB} = 0 V$, а A_C - ефективната площ на колекторния преход.

- Честотата на единично усилване f_T е [7]

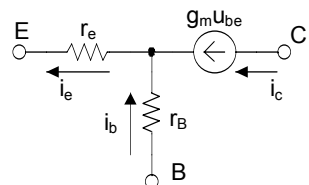
$$(1-24) \quad f_T = \frac{1}{2\pi} \frac{g_m}{(C_{b'e} + C_{b'c})}$$

Опростени еквивалентни схеми при ниски честоти



Фиг. 1-6:
Опростена еквивалентна схема на биполярен транзистор в свързване ОЕ.

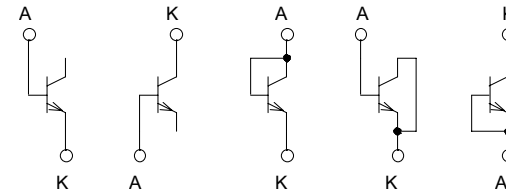
Най-често използваните модели на транзистора за работа при ниски честоти са показани на Фиг. 1-6 и Фиг. 1-7. Те са получени чрез опростяване на обобщения модел от Фиг. 1-5. Пренебрегнати са паразитните капацитети (практически те влияят главно при средни и високи честоти) и съпротивленията $r_{bb'}$ (много по-малко от r_i) и $r_{b'c}$ (много по-голямо от r_o). Схемата от Фиг. 1-6 се препоръчва за използване в свързване общ емитер, а схемата от Фиг. 1-7 е подходяща за използване в свързване обща база.



Фиг. 1-7:
Опростена еквивалентна схема на биполярен транзистор в свързване ОБ.

1.3. ИНТЕГРАЛНИ ДИОДИ

Диодите в интегралните схеми се реализират чрез подходящо свързване на изводите на транзисторите. Съществуват пет основни варианта за реализация на интегралните диоди (Фиг. 1-8) [15] : В-Е, В-С, ВС-Е, В-СЕ, С-ВЕ.



Фиг. 1-8:
Начини за реализация на интегрални диоди.

Най-голямо приложение намира свързването ВС-Е, което се характеризира с най-малък пад в права посока и много добри импулсни и честотни свойства.

1.3.1. Постояннотокови зависимости при интегралния диод

Включване в права посока

В права посока, за тока и напрежението на диода, са в сила:

$$(1-25) \quad V_F = m\varphi_T \ln\left(\frac{I_F}{I_S} + 1\right) \approx \varphi_T \ln\left(\frac{I_F}{I_S}\right);$$

$$(1-26) \quad I_F = I_S \left[\exp\left(\frac{V_F}{m\varphi_T}\right) - 1 \right] \approx I_S \exp\left(\frac{V_F}{\varphi_T}\right);$$

$$(1-27) \quad I_S = A J_S.$$

В горните изрази с I_F е означен тока през диода в права посока, с V_F - напрежението върху диода, I_S е тока на насищане; J_S - плътността на тока през прехода, A е площта на прехода, а $m \approx (1 \div 3)$ е емисионен коефициент.

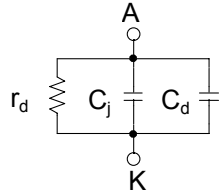
Опростената еквивалентната схема на диода по постоянен ток, при включване в права посока, представлява генератор на напрежение със стойност V_F , чиято точна стойност може да се определи с помощта на уравнение (1-25). За груби изчисления може да се приеме, че $V_F = 0.7 V$.

Включване в обратна посока

В обратна посока, по постоянен ток, диодът се моделира най-често с отворен ключ.

1.3. 2. Променливотокова еквивалентна схема

Променливотоковият модел на диода е показан на Фиг. 1-9. С r_d е означено диференциалното съпротивление, а с C_j и C_d - бариерния и дифузията кондензатори. И трите величини се определят както при биполярните транзистори: r_d - по формула (1-15), C_j - по формула (1-20) и C_d - по формула (1-21).



Фиг. 1-9:
Опростен променливотоков модел на интегрален диод.

1.4. ИНТЕГРАЛНИ MOS ТРАНЗИСТОРИ

1.4.1. Основни постояннотокови зависимости и модели

Работа в областта на силна инверсия

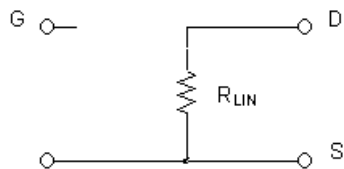
$(V_{GS} \geq V_{TN} + 100mV$ при n -MOS транзисторите)
 $(V_{GS} \leq V_{TP} - 100mV$ при p -MOS транзисторите)

Линейна (омическа) област на изходните характеристики

Условието за работа на MOS транзисторите в линейната (омическа) област на изходните характеристики е

$$(1-28) \quad |V_{DS}| \leq |V_{DSAT}| = |V_{eff}| = |V_{GS} - V_T|.$$

На Фиг. 1-10 е показана постояннотоковата еквивалентна схема на MOS транзистор, работещ в този режим [4].



Фиг. 1-10:
Постояннотокова еквивалентна схема на MOS транзистор в линейната (омическа) област.

Дрейновият ток, в този случай, е

$$(1-29) \quad I_D = k' \frac{W}{L} (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS}.$$

За определяне на R_{LIN} се използва формулата

$$(1-30) \quad R_{LIN} \approx \frac{1}{k'(W/L)(V_{GS} - V_T)} = \frac{1}{k'(W/L)V_{eff}},$$

а за праговото напрежение е в сила

$$(1-31) \quad V_T = V_{TO} + \gamma(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}) \approx V_{TO} + \frac{1}{2}\sqrt{V_{SB}}.$$

В горните зависимости:

- V_{eff} е ефективното напрежение

$$(1-32) \quad V_{eff} = V_{GS} - V_T;$$

- V_T е праговото напрежение при $V_{SB} \neq 0$ V, а V_{TO} - при $V_{SB} = 0$ V;

- ϕ_F и γ са параметри, зависещи от технологията;

- k' е фактор на стръмността - технологичен параметър

$$(1-33) \quad k' = \mu C_{OX};$$

- μ е подвижността на токоносителите;

- C_{OX} е специфичния кондензатор на окиса под гейта;

- W и L са широчината и дължината на канала.

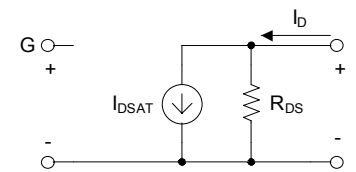
Горните изрази са в сила за MOS транзистори с индуциран n -канал. Те могат да се приложат и за MOS транзистори с индуциран p -канал, ако се приеме, че напреженията в тях са взети с техните абсолютни стойности. Посоченото е в сила и за останалите формули, които ще бъдат представени по-нататък в изложението, освен ако изрично не е оказано друго.

Област на насищане на изходните характеристики (активна област)

Условието за работа на MOS транзисторите в активната област е

$$(1-34) \quad |V_{DS}| \geq |V_{DSAT}| = |V_{eff}| = |V_{GS} - V_T|$$

На Фиг. 1-11 е показана постояннотоковата еквивалентна схема на MOS транзистор, работещ в областта на насищане на изходните характеристики [4].



Фиг. 1-11:
Постояннотокова еквивалентна схема на MOS транзистор в областта на насищане на изходните характеристики.

Токът I_{DSAT} и съпротивлението R_{DS} се дават с изразите:

$$(1-35) \quad I_{DSAT} = \frac{k' W}{2 L} (V_{GS} - V_T)^2,$$

$$(1-36) \quad R_{DS} = \frac{1}{\lambda(k'/2)(W/L)(V_{GS} - V_T)^2}.$$

За общия дрейнов ток I_D се получава

$$(1-37) \quad I_D = I_{DSAT}(1 + \lambda V_{DS}) = \frac{k' W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}),$$

където λ е коефициент на модулация на дължината на канала. Типичната му стойност е между 0.005 и 0.1 V^{-1} и може да се определи с приблизителната формула [7]

$$(1-38) \quad \lambda \approx \frac{A}{2L\sqrt{V_{DS} - V_{GS} + V_T + \Phi_0}}.$$

В тази формула Φ_0 е контактната потенциална разлика (технологичен параметър), а A зависи от концентрацията на примесите в подложката N_{SUB} (за ориентировъчни изчисления може да се използва зависимостта $A \approx \frac{36000}{\sqrt{N_{SUB}}}$).

Като се вземе пред вид тенденцията към използване на ниски захранващи напрежения, за първоначално определяне на тока I_D може да се препоръча използването на опростената формула (1-35), т.е. да се приеме, че $\lambda = 0$. Тогава се получава $I_D = I_{DSAT}$.

Работа в областта на слаба инверсия

$(V_{GS} \leq V_{TN} + 100mV$ за n -MOS транзистор)

$(V_{GS} \geq V_{TP} - 100mV$ за p -MOS транзистор)

В областта на слаба инверсия (подпратовата област) зависимостта на дрейновия ток от приложените напрежения е експоненциална [6]

$$(1-39) \quad I_D = SI_{D0} \left[1 - \exp\left(-\frac{V_{DS}}{\phi_T}\right) \right] \exp\left(\frac{V_{GS} - V_T}{n\phi_T}\right) \exp\left(\frac{(n-1)V_{BS}}{n\phi_T}\right),$$

където V_{GS} , V_{BS} и V_{DS} са напреженията между гейта и сорса, подложката и сорса и дейна и сорса; токът I_{D0} и факторът на наклона n са свързани с

технологичния процес; $S = W/L$ е отношението между геометричните размери (широчина и дължина) на канала на транзистора.

1.4.2. Еквивалентни схеми при малък променлив сигнал

Линейна (омическа) област

Малосигналният променливотоков модел на интегралните MOS транзистори е показана на Фиг. 1-12. В тази схема транзисторът е заместен с променливотоковото съпротивление r_o , а за моделиране на работата му при високи честоти са включени и паразитните капацитети: C_{gs} - между гейта и сорса, C_{gd} - между гейта и дрейна; C_{db} - между дрейна и подложката и C_{sb} - между сорса и подложката.

Приблизителните стойности на елементите от схемата се дават с изразите [7]:

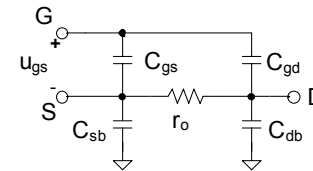
$$(1-40) \quad r_o = \frac{1}{k'(W/L)(V_{GS} - V_T)},$$

$$(1-41) \quad C_{gs} = C_{gd} \cong \frac{WLC_{OX}}{2} + WL_{OV}C_{OX},$$

където L_{OV} е дължина на припокриване между гейта и дрейна (сорса);

$$(1-42) \quad C_{sb} = C_{db} = \frac{C_{j0}(A_S + WL/2)}{\sqrt{1 + \frac{V_{SB}}{\Phi_0}}},$$

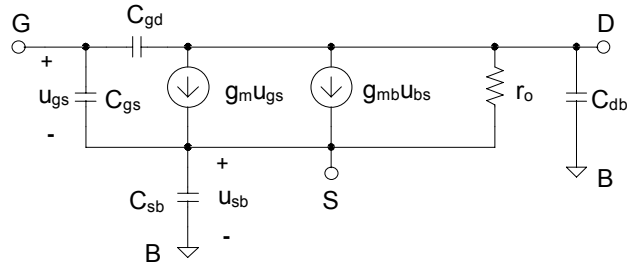
където A_S е площта на сорса (дрейна), а C_{j0} е специфичния бариерен капацитет сорс-подложка (дрейн-подложка) при $V_{SB}(V_{DB}) = 0$ V.



Фиг. 1-12: Променливотокова еквивалентна схема на MOS транзистор в линейната област.

Област на насищане на изходните характеристики (активна област)

Променливотоковата еквивалентна схема на MOS транзистор работещ в областта на насищане на изходните характеристики (активна област) е показана на Фиг. 1-13.



Фиг. 1-13: Малосигнална променливотокова еквивалентна схема на MOS транзистор в областта на насищане на изходните характеристики (активна област).

Стойностите на параметрите в схемата се определят с изразите [5, 7]:

- стръмност при управление през гейта g_m

$$(1-43) \quad g_m \approx k' \frac{W}{L} (V_{GS} - V_T) = \sqrt{2k' \frac{W}{L} I_D} = \frac{2I_D}{V_{GS} - V_T} = \frac{2I_D}{V_{eff}};$$

- стръмност при управление през подложката g_{mb}

$$(1-44) \quad g_{mb} \approx 0.2g_m;$$

- изходно съпротивление r_o

$$(1-45) \quad r_o = \frac{1}{\lambda I_D};$$

- капацитет между гейта и сорса C_{gs}

$$(1-46) \quad C_{gs} = \frac{2}{3} WL C_{OX} + WL_{OV} C_{OX};$$

- капацитет между гейта и дрейна C_{gd}

$$(1-47) \quad C_{gd} = WL_{OV} C_{OX};$$

- капацитет между сорса и подложката C_{sb}

$$(1-48) \quad C_{sb} = (A_S + WL)C_{js} + P_S C_{j-sw},$$

където: бариерният капацитет на прехода сорс - подложка C_{js} е

$$(1-49) \quad C_{js} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{SB}}{\Phi_0}}},$$

капацитетът между сорса и слоя изолираща дифузия C_{j-sw} е

$$(1-50) \quad C_{j-sw} = \frac{C_{j-sw0}}{\sqrt{1 + \frac{V_{SB}}{\Phi_0}}},$$

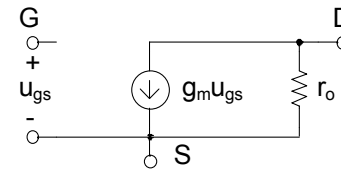
A_S е площта, а P_S - периметъра на сорса, без частта от към гейта.

- капацитетът между дрейна и подложката C_{db} се определя подобно на капацитета между сорса и подложката C_{sb} :

$$(1-51) \quad C_{db} = A_D C_{jd} + P_D C_{j-sw};$$

$$(1-52) \quad C_{jd} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{DB}}{\Phi_0}}}.$$

Посочените паразитни капацитети влияят върху работата на MOS транзисторите при високи честоти, а генераторът на ток $g_{mb}u_{bs}$ само при много големи стойности на товара в сорса. Ето защо, за първоначални анализи и изчисления при ниски честоти, схемата може да се опрости както е показано на Фиг. 1-14.



Фиг. 1-14: Опростена еквивалентна схема при ниски честоти и $V_{SB} \approx 0$ V.

1.4.3. Ефекти на късия канал

Изразяват се в силно увеличение на наклона на изходните характеристики на MOS транзисторите (т.е. намаляване на изходното съпротивление r_o и увеличаване на коефициента на модулация на дължината на канала λ) при дължини на канала L по-малки от $2L_{min}$.

При аналоговите схеми, този ефект има рязко отрицателно въздействие върху параметрите на схемите и за избягването му се препоръчва минималните размери на транзисторите да се избират неколккратно по-големи (от 2 до 5 пъти) от минимално допустимата дължина на канала на транзисторите, определена от избраната технология [13].

1.5. ИНТЕГРАЛНИ ПОЛЕВИ ТРАНЗИСТОРИ С PN ПРЕХОД

1.5.1. Постояннотокови зависимости

Стойността на дрейновия ток I_D в областта на насищане на изходните характеристики (активната област) на полевия транзистор с $p-n$ преход и n -канал е [5]

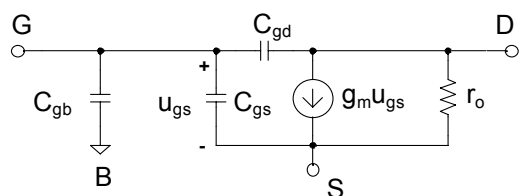
$$(1-53) \quad I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 (1 + \lambda V_{DS}),$$

където:

- V_{GS} - напрежение между гейта и сорса;
- V_P - прагово напрежение;
- I_{DSS} - дрейнов ток при $V_{GS} = 0$ V;
- λ - коефициент на модулация на дължината на канала.

1.5.2. Еквивалентна схема при малки променливи сигнали

В представената на Фиг. 1-15 схема с g_m е означена стръмността, с r_o - изходно съпротивление, а с C_{gs} , C_{gd} и C_{gb} - съответните паразитни capacitети между гейта и сорса, гейта и дрейна и гейта и подложката.



Фиг. 1-15:
Променливотокова еквивалентна схема на полевия транзистор.

Основните параметри g_m и r_o на еквивалентната схема се определят с формулите [5]:

$$(1-54) \quad g_m = \frac{dI_D}{dV_{GS}} = -\frac{2I_{DSS}}{V_P} \left(1 - \frac{V_{GS}}{V_P}\right) = g_{mo} \left(1 - \frac{V_{GS}}{V_P}\right),$$

където $g_{mo} = -\frac{2I_{DSS}}{V_P}$ е максималната стойност на g_m при $V_{GS} = 0$ V и

$$(1-55) \quad r_o = \frac{dV_{DS}}{dI_D} = \frac{1}{\lambda I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2} \cong \frac{1}{\lambda I_D}.$$

1.6. ТИПИЧНИ ПАРАМЕТРИ НА БИПОЛЯРНИ И CMOS ИНТЕГРАЛНИ ТРАНЗИСТОРИ

1.6.1. Параметри на биполярни интегрални транзистори [5]

вертикален $n-p-n$ транзистор

Означение	Величина	Стойност	Единици
I_S	Ток на насищане	5	fA
β	Коефициент на усилване по ток в нормален активен режим	200	-
β_R	Коефициент на усилване по ток в инверсен активен режим	2	-
V_{AF}	Напрежение на Ерли в нормален режим	130	V
τ_T	Време за преминаване на токоносителите през базата	0.35	nS
C_{e0}	Бариерен capacitет на емитерния преход при $V_{BE} = 0$ V	1	pF
C_{c0}	Бариерен capacitет на колекторния преход при $V_{BC} = 0$ V	0.3	pF
C_{s0}	Бариерен capacitет на прехода C-S при $V_{CS} = 0$ V	3	pF
Φ_0	Контактна потенциална разлика за прехода В-Е	0.7	V
Φ_{C0}	Контактна потенциална разлика за прехода В-С	0.55	V
Φ_{S0}	Контактна потенциална разлика за прехода С-С	0.52	V

хоризонтален $p-n-p$ транзистор

Означение	Величина	Стойност	Единици
I_S	Ток на насищане	2	fA
β	Коефициент на усилване по ток в нормален активен режим	50	-
β_R	Коефициент на усилване по ток в инверсен активен режим	4	-
V_{AF}	Напрежение на Ерли в нормален режим	50	V

хоризонтален p-n-p транзистор (продължение)

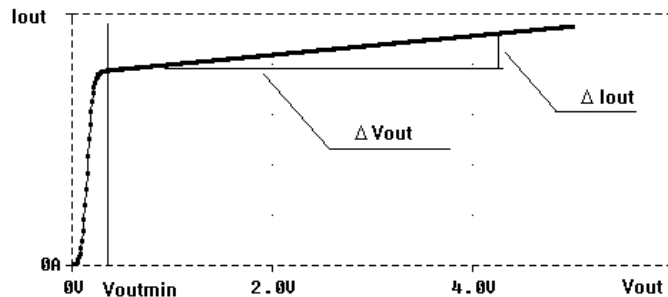
Означение	Величина	Стойност	Единици
τ_T	Време за преминаване на токоносителите през базата	30	nS
C_{e0}	Бариерен капацитет на емитерния преход при $V_{BE} = 0$ V	0.3	pF
C_{c0}	Бариерен капацитет на колекторния преход при $V_{BC} = 0$ V	1	pF
C_{s0}	Бариерен капацитет на прехода C-S при $V_{CS} = 0$ V	3	pF
Φ_0	Контактна потенциална разлика за прехода B-E	0.55	V
Φ_{C0}	Контактна потенциална разлика за прехода B-C	0.55	V
Φ_{S0}	Контактна потенциална разлика за прехода C-S	0.52	V

1.6.2. Основни параметри на 0.8 μ m CMOS транзистори [7]

Означение	Величина	Стойност	Единици
V_{TN}	Прагово напрежение за n-MOS транзистора	0.8	V
V_{TP}	Прагово напрежение за p-MOS транзистора	-0.9	V
k'_N	Фактор на стръмността за n-MOS транзистора	100	$\mu A/V^2$
k'_P	Фактор на стръмността за p-MOS транзистора	40	$\mu A/V^2$
C_{OX}	Специфичен капацитет на окиса под гейта	2	fF/ μm^2
C_{j0}	Специфичен бариерен капацитет сорс-подложка при $V_{SB} = 0$ V	0.25	fF/ μm^2
C_{j-sw}	Специфичен бариерен капацитет сорс-изолираща дифузия	0.2	fF/ μm
C_{gsov}	Капацитет на припокриване G-S	0.2	fF/ μm
Φ_0	Контактна потенциална разлика	0.9	V
γ	Технологичен параметър	0.5	$V^{1/2}$
ϕ_F	Повърхностен потенциал	0.34	V

2. ЗАДАВАЩИ ИЗТОЧНИЦИ НА ТОК И ТОКОВИ ОГЛЕДАЛА

Идеалните задаващи източници на ток са двуполусници, през които тече постоянен ток, независимо от напрежението върху изводите им.



Фиг. 2-1: Волт-амперна характеристика на реален задаващ източник на ток.

Основните параметри на реалните задаващи източници на ток са онагледени на Фиг. 2-1. Те са [4]:

- стойност на изходния ток I_{out} ;
- минимално напрежение между изводите $V_{out\min}$, при което схемата генерира стабилен ток;

- изходно съпротивление $R_o = \frac{dV_{out}}{dI_{out}}$ (за идеалния случай клони

към безкрайност);

- стабилност на изходните параметри при промяна на температурата, захранването и толерансите на производствения процес.

Токовите огледала осигуряват на изхода си ток, който е пропорционален на тока на еталонен задаващ източник. Двата тока могат да имат само постоянна или постоянна и променлива съставка.

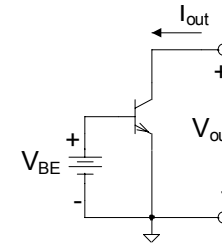
Основният параметър на реалните токови огледала е стойността на мащабния коефициент между изходния ток I_{out} и задаващия ток I_{ref} и неговата стабилност от промяната на температурата, захранването и толерансите на производствения процес. Освен този параметър, за характеризиране на токовите огледала, се използват и параметрите: минимално напрежение на изхода $V_{out\min}$, при което схемата е работоспособна; изходно съпротивление R_o ; абсолютната стойност на изходния ток I_{out} . Тези параметри се дефинират по същия начин както при задаващите източници на ток.

2.1. ЗАДАВАЩИ ИЗТОЧНИЦИ НА ТОК И ТОКОВИ ОГЛЕДАЛА С БИПОЛЯРНИ ТРАНЗИСТОРИ

2.1.1. Основни схеми на задаващи източници на ток

Задаващ източник на ток с транзистор

Опростената схема на задаващ източник на ток с биполярен транзистор е показана на Фиг. 2-2.



Фиг. 2-2:
Задаващ източник на ток с биполярен транзистор.

Като се вземат пред вид условията за работа на транзистора в нормален активен режим и основните зависимости между токовете и напрежението в него (вж. т. 1.2), за параметрите на схемата се получава:

$$(2-1) \quad I_{out} \approx I_S \exp\left(\frac{V_{BE}}{\varphi_T}\right) \left(1 + \frac{V_{out}}{V_{AF}}\right),$$

$$(2-2) \quad V_{out\min} = V_{CESAT} \geq (0.1 \div 0.2)V,$$

$$(2-3) \quad R_o = r_o = \frac{V_{AF}}{I_{out}},$$

където r_o е изходното съпротивление на транзистора.

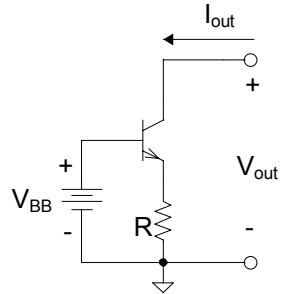
От (2-3) следва, че изходното съпротивление R_o зависи от изходния ток I_{out} . Напр., ако токът $I_{out} = 0.1 \text{ mA}$, а $V_{AF} = 100 \text{ V}$ изходното съпротивление ще бъде $R_o = 1 \text{ M}\Omega$, а $V_{out\min} \geq 0.2 \text{ V}$. Ако токът $I_{out} = 1 \text{ mA}$, а $V_{AF} = 100 \text{ V}$ изходното съпротивление ще бъде $R_o = 100 \text{ k}\Omega$.

Обикновено, в съвременните интегрални схеми, захранващото напрежение рядко надвишава $5 \div 10 \text{ V}$, което определя и ниски стойности (от порядъка на $1 \div 2 \text{ V}$) на напрежението между колектора и емитера на транзисторите V_{CE} . Това позволява, при предварителните изчисления, формула (2-1) да се опрости до (2-4), без да се внесе значителна грешка.

$$(2-4) \quad I_{out} = I_S \exp\left(\frac{V_{BE}}{\varphi_T}\right).$$

Задаващ източник на ток с допълнителен резистор

В тази схема (Фиг. 2-3), за повишаване на изходното съпротивление, към емитера на транзистора се включва допълнителен резистор, който създава ООВ по ток, която стабилизира I_{out} и увеличава изходното съпротивление [23].



Фиг. 2-3:
Задаващ източник на ток с допълнителен резистор.

За основните зависимости в схемата могат да се изведат изразите [4]:

$$(2-5) \quad I_{out} \approx I_S \exp \frac{V_{BE}}{\varphi_T} = I_S \exp \left(\frac{V_{BB} - R I_{out}}{\varphi_T} \right);$$

$$(2-6) \quad V_{out \min} = V_{CESAT} + R I_{out}$$

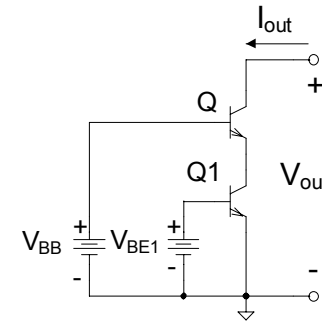
$$(2-7) \quad R_o \approx r_o (1 + g_m R).$$

От (2-7) следва, че изходното съпротивление нараства значително. Напр., ако $I_{out} = 0.1 \text{ mA}$, $V_{AF} = 100 \text{ V}$ и $R = 1 \text{ k}\Omega$, изходното съпротивление на транзистора ще бъде $r_o = 1 \text{ M}\Omega$, стръмността $g_m = 4 \text{ mA/V}$, изходното съпротивление на схемата - $R_o = 5 \text{ M}\Omega$ (ф-ла 2-7), а $V_{out \min} \geq 0.3 \text{ V}$. Ако $I_{out} = 1 \text{ mA}$, $V_{AF} = 100 \text{ V}$ и $R = 1 \text{ k}\Omega$ изходното съпротивление на транзистора ще бъде $r_o = 100 \text{ k}\Omega$, а изходното съпротивление на схемата - $R_o = 4.1 \text{ M}\Omega$. За съжаление, в този случай, силно нараства и минималната стойност на изходното напрежение, при което схемата е работоспособна - $V_{out \min} \geq 1.2 \text{ V}$, което е нежелателно. Ето защо, на практика, приложението на този подход се ограничава само за ниски стойности на резистора R (до 500Ω) и малки токове I_{out} (до $500 \mu\text{A}$).

Задаващ източник на ток с допълнителен транзистор

В схемата на Фиг. 2-4 резисторът R от Фиг. 2-3 е заменен с транзистор $Q1$, работещ в нормален активен режим. Неговото динамично изходно

съпротивление има много високи стойности (минимум няколко десетки $\text{k}\Omega$).



Фиг. 2-4:
Задаващ източник на ток с допълнителен транзистор.

За основните зависимости в схемата е получено [4]:

$$(2-8) \quad I_{out} \approx I_S \exp \left(\frac{V_{BB} - V_{CE1}}{\varphi_T} \right);$$

$$(2-9) \quad V_{out \min} = V_{CESAT} + V_{CESAT1};$$

$$(2-10) \quad R_o = r_o [1 + g_m (r_{o1} || r_i)] \approx r_o (1 + \beta) \approx \beta r_o,$$

където r_{o1} е изходното съпротивление на $Q1$, r_o - изходното съпротивление на Q , а r_i - входното съпротивление на Q .

Например, ако $I_{out} = 1 \text{ mA}$, $V_{AF} = 100 \text{ V}$ и $\beta = 100$, изходното съпротивление на транзистора Q ще бъде $r_o = 0.1 \text{ M}\Omega$, изходното съпротивление на схемата - $R_o = 10.1 \text{ M}\Omega$, а $V_{out \min} \geq 0.4 \text{ V}$. При стойност на тока $I_{out} = 0.1 \text{ mA}$, изходното съпротивление на транзистора Q ще бъде $r_o = 1 \text{ M}\Omega$, изходното съпротивление на схемата - $R_o = 101 \text{ M}\Omega$, а $V_{out \min}$ отново $\geq 0.4 \text{ V}$.

От разгледаните примери може да се направи извода, че схемата от Фиг. 2-4 осигурява най-добри параметри и характеристики на задаващите източници на ток.

2.1.2. Токови огледала с биполярни транзистори

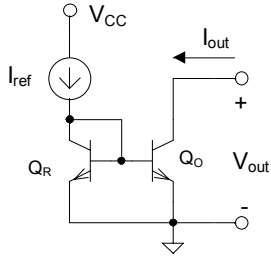
Просто токово огледало

Приблизителен анализ на простото токово огледало (Фиг. 2-5) може да се направи, при условие, че се пренебрегнат базовите токове (обикновено $\beta \geq 100$) и разликите в напреженията V_{CE} на транзисторите Q_0 и Q_R

[15]. Тогава, за отношението между задаващия ток I_{ref} и огледалния ток I_{out} , се получава

$$(2-11) \quad \frac{I_{out}}{I_{ref}} \approx \frac{A_o}{A_R},$$

където A_o и A_R са площите на двата емитерни прехода.



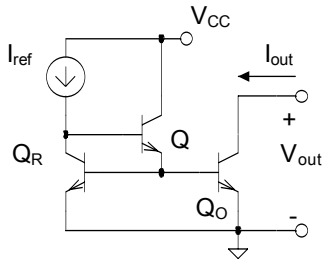
Фиг. 2-5:
Просто токово огледало.

Ако схемата е реализирана с хоризонтални *p-n-p* транзистори, за отношението на токовете се получава [15]:

$$(2-12) \quad \frac{I_{out}}{I_{ref}} \approx \frac{A_o}{A_R} = \frac{L_o}{L_R},$$

където L_o и L_R са дължините на двата емитерни прехода.

Токово огледало с компенсация на базовите токове

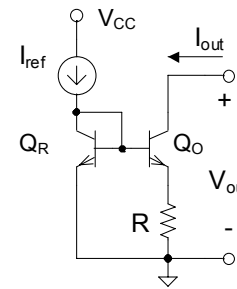


Фиг. 2-6:
Токово огледало с компенсация
на базовите токове.

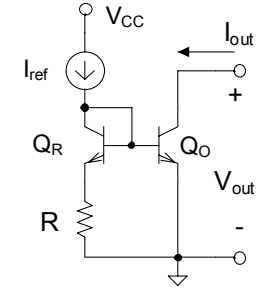
Използва се за повишаване на точността на мащабния коефициент спрямо този при простото токово огледало. Целта на допълнителният транзистор Q е да се намали $(\beta + 1)$ пъти тока, който се отнема от източника I_{ref} . В простото токово огледало този ток е сумата от базовите токове на транзисторите Q_R и Q_O и внася грешка във формулата за мащабянето от 1% до 5%. При огледалото от Фиг. 2-6 тази грешка намалява между 20 и 100 пъти [5].

Токово огледало на Widlar

Простото токово огледало и модификациите му са неподходящи за получаване на отношения между токовете по-големи от 5 и по-малки от 0.2. Тогава площта (и съответния паразитен капацитет) на единия от двата транзистора нараства недопустимо. В такива случаи се препоръчва използването на токовото огледало на Widlar [15].



Фиг. 2-7 а: Схема на Widlar за $\frac{I_{out}}{I_{ref}} \leq 1$



Фиг. 2-7 б: Схема на Widlar за $\frac{I_{out}}{I_{ref}} \geq 1$

За схемата от Фиг. 2-7 а е в сила зависимостта

$$(2-13) \quad I_{out} = \frac{\varphi_T}{R} \ln \frac{I_{ref}}{I_{out}} \frac{A_o}{A_R},$$

а за тази от Фиг. 2-7 б -

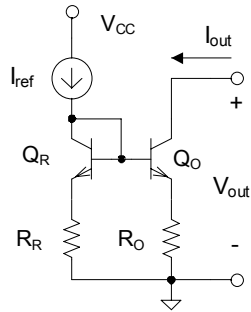
$$(2-14) \quad I_{ref} = \frac{\varphi_T}{R} \ln \frac{I_{out}}{I_{ref}} \frac{A_R}{A_o}.$$

Схемата осигурява получаването на малки (Фиг. 2-7 а) или големи (Фиг. 2-7 б) отношения между I_{out} и I_{ref} дори и при еднакви площи на транзисторите. Обикновено се задават токовете I_{out} и I_{ref} и чрез (2-13) или (2-14) се определя R . Например, при еднакви транзистори и желани стойности на токовете $I_{ref}=500\mu A$ и $I_{out}=50\mu A$ (мащабен коефициент $I_{out}/I_{ref}=0.1$), е необходимо да се избере $R=1200\Omega$. При $I_{out}=800\mu A$ и $I_{ref}=100\mu A$ (мащабен коефициент $I_{out}/I_{ref}=8$) R_o е 536.5Ω .

Токово огледало с два емитерни резистора

При тази схема (Фиг. 2-8) отношението на токовете I_{out} и I_{ref} се задава чрез отношението на двата резистора R_o и R_R [15]:

$$(2-15) \quad \frac{I_{out}}{I_{ref}} = \frac{R_R}{R_o}$$



Фиг. 2-8:
Токово огледало с два резистора.

Трябва да се има пред вид, че формула (2-15) е в сила при условие, че разликата в напреженията върху двата резистора (обусловена от разликата в напреженията V_{BE} на двата транзистора) е много по-малка от пада на напрежението върху тях, т.е.

$$(2-16) \quad \left| \varphi_T \ln \left(\frac{I_{out}}{I_{ref}} \right) \right| \ll \min \{ I_{out} R_o, I_{ref} R_R \}.$$

В противен случай се получава значителна грешка в отношението на двата тока. Например, ако желаното отношение на токовете е 5 ($I_{ref}=100\mu A$ и $I_{out}=500\mu A$), транзисторите са еднакви геометрични размери и се избераат резистори $R_o=100\Omega$ и $R_R=500\Omega$, то реалната стойност на изходния ток ще бъде $I_{out} \approx 306.1\mu A$ (грешка около -40%). Ако при същите условия резисторите се избераат 10 пъти по-големи - $R_o=1000\Omega$ и $R_R=5000\Omega$, стойността на изходния ток ще бъде $I_{out}=461.6\mu A$ (т.е. грешката вече е намалена до -9%). Но пък тогава пада върху резисторите и съответно минималното напрежение V_{outmin} нарастват недопустимо.

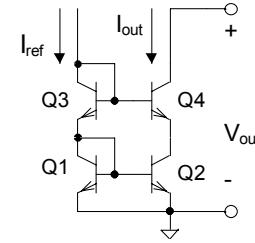
Каскодно токово огледало

Схемата осигурява повишено изходно съпротивление. По аналогия с Фиг. 2-4 стойността му се определя по формулата:

$$(2-17) \quad r_{out} \approx (1 + \beta)r_{o4} \approx \beta r_{o4}.$$

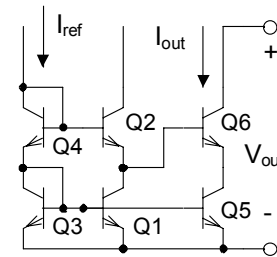
Недостатък на схемата е повишената стойност на минималното изходно напрежение, при което схемата е работоспособна. За да се осигури

работата на транзисторите в активната област от характеристиката е необходимо $V_{outmin} \geq (1.2-1.4)V$. За намаляване на тази стойност се използва схемата, показана на Фиг. 2-10.



Фиг. 2-9:
Каскодно токово огледало.

Модифицирано каскодно токово огледало



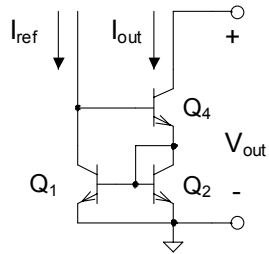
Фиг. 2-10:
Модифицирано каскодно токово огледало.

При тази схема минималната стойност на изходното напрежение V_{outmin} може да се намали до $(0.4-0.6)V$ [4]. За целта, към стандартната каскодна схема Q1-Q4, е добавена двойката транзистори Q5-Q6. Минималното изходно напрежение на Q5 е равно на минималното изходно напрежение на Q1, но понеже базата на Q6 е включена към точка с по-нисък потенциал спрямо базата на Q2, общото напрежение на изхода намалява.

Токово огледало на Wilson

В представената схема, с помощта на допълнителния транзистор Q4, се компенсират базовите токове на Q1 и Q2. Това води до по-висока точност и независимост на мащабния коефициент от толерансите на β на транзисторите. Например, ако площите на транзисторите са еднакви, за отношението на токовете е в сила израза [5]:

$$(2-18) \quad \frac{I_{out}}{I_{ref}} = 1 - \frac{2}{\beta^2 + 2\beta + 2}.$$



Фиг. 2-11:
Токово огледало на Wilson.

Допълнително предимство на схемата е наличието на отрицателна обратна връзка (Q2-Q1), която стабилизира и повишава изходното съпротивление. След заместване в (2-10) за него се получава приблизителната формула

$$(2-19) \quad R_o \approx \frac{\beta r_{o4}}{2}.$$

2.2. ЗАДАВАЩИ ИЗТОЧНИЦИ НА ТОК И ТОКОВИ ОГЛЕДАЛА С MOS ТРАНЗИСТОРИ

В структурно отношение схемите на задаващите източници на ток и токовите огледала с MOS транзистори наподобяват схемите с биполарни транзистори. При всички разгледани по-долу схеми MOS транзисторите трябва да работят в режим на силна инверсия, в областта на насищане на изходните характеристики. За целта е необходимо

$$(2-20) \quad |V_{eff}| = |V_{GS} - V_T| \geq 0.1V \text{ и}$$

$$(2-21) \quad |V_{DS}| \geq |V_{eff}| = |V_{GS} - V_T|.$$

Проверката и осигуряването на изпълнението на тези две изисквания, за всеки един от транзисторите, е първата стъпка при анализа и измерването на схемите на задаващи източници на ток и токови огледала с MOS транзистори. При това, за да се осигури работата на схемите при ниски храняващи напрежения, стойностите V_{eff} и V_{DS} се избират максимално близки до граничните.

2.2.1. Задаващи източници на ток

Задаващ източник на ток с MOS транзистор

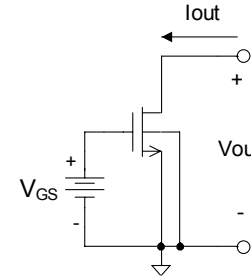
Схемата на най-простия задаващ източник на ток с MOS транзистор е показана на Фиг. 2-12.

За параметрите на източника са в сила изразите:

$$(2-22) \quad I_{out} = \frac{k'}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}),$$

$$(2-23) \quad R_o = r_o = \frac{1}{\lambda I_{out}},$$

$$(2-24) \quad V_{out\ min} \geq V_{DSAT} = V_{GS} - V_T = V_{eff}.$$

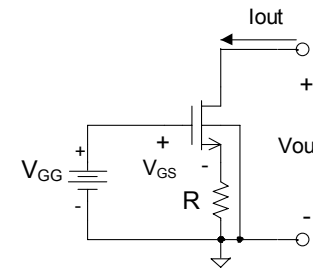


Фиг. 2-12:
Задаващ източник на ток с MOS транзистор.

При $k' = 100 \mu A/V^2$, $V_{eff} = 0.5V$, $W/L = 10$ и $\lambda = 0.05$ за параметрите на огледалото се получава: $I_{out} = 125 \mu A$, $R_o = 160 \text{ k}\Omega$, $V_{out\ min} \geq 0.5V$. Тук при изчислението на I_{out} е пренебрегнато влиянието на напрежението V_{DS} , което при съвременните MOS интегрални схеми обикновено не надвишава $1 \div 2 V$.

Задаващ източник с MOS транзистор и резистор

При тази схема (Фиг. 2-13) източникът е с повишено изходно съпротивление, поради ООБ по ток, реализирана с резистора R. Недостатък е нарастването на $V_{out\ min}$, по подобие на схемата от Фиг. 2-3.



Фиг. 2-13:
Задаващ източник с MOS транзистор и резистор.

За основните зависимости в схемата се извежда:

$$(2-25) \quad I_{out} \approx \frac{k'}{2} \frac{W}{L} (V_{GS} - V_T)^2 = \frac{k'}{2} \frac{W}{L} (V_{GG} - R I_{out} - V_T)^2;$$

$$(2-26) \quad R_o \approx r_o [1 + (g_m + g_{mb})R] \approx r_o (1 + g_m R),$$

където g_{mb} е стръмността на транзистора по отношение на напрежението между подложката и сорса;

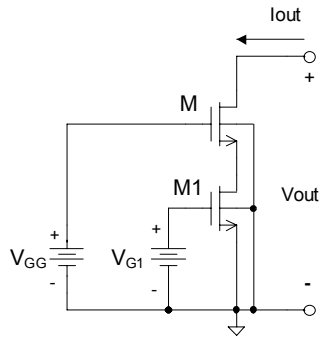
$$(2-27) \quad V_{outmin} \geq V_{DSATmin} + I_{out}R;$$

$$(2-28) \quad V_T \approx V_{TO} + \frac{\sqrt{V_{SB}}}{2}.$$

В случая напрежението между сорса и подложката на транзистора е различно от нула. Това налага, при определяне на модифицираното прагово напрежение, да се използва формулата (2-28). Например, при $k' = 100 \mu A/V^2$, $V_{eff} = 0.5V$; $W/L = 10$, $\lambda = 0.05$, $V_{TO} = 0.9V$, $R = 1 k\Omega$ и ако се пренебрегне g_{mb} за параметрите на огледалото се получава: $I_{out} = 125 \mu A$, $g_m = 0.5 mA/V$, $R_o = 240 k\Omega$, $V_T = 1.077V$, $V_{GG} = 1.702V$, $V_{outmin} \geq 0.625V$.

Задаващ източник на ток с допълнителен транзистор

При тази схема резисторът R е заместен с изходното съпротивление на транзистора $M1$. Така се постига общо нарастване на изходното съпротивление на генератора при минимална стойност на V_{out} .



Фиг. 2-14:
Задаващ източник на ток с допълнителен транзистор.

За основните параметри на задаващия източник се получава:

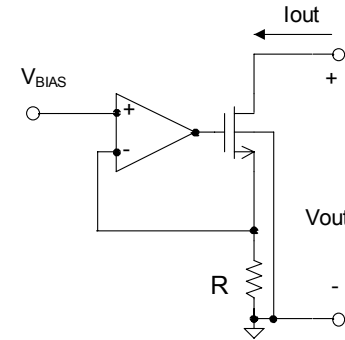
$$(2-29) \quad I_{out} \approx \frac{k' W}{2 L} (V_{GS} - V_T)^2 = \frac{k' W}{2 L} (V_{GG} - V_{DS1} - V_T)^2,$$

$$(2-30) \quad R_o \approx r_o [1 + (g_m + g_{mb})r_{o1}] \approx r_o (1 + g_m r_{o1}) \approx g_m r_o r_{o1},$$

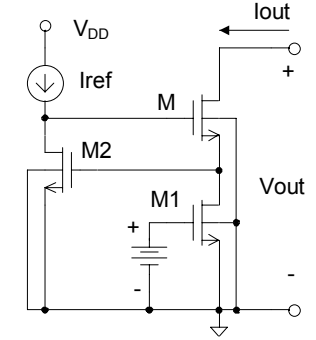
$$(2-31) \quad V_{outmin} \geq V_{DSAT1min} + V_{DSATmin} \geq V_{eff1} + V_{eff},$$

където V_T се определя по формула (2-28).

Задаващ източник на ток с операционен усилвател



Фиг. 2-15:
Задаващ източник с ОУ.



Фиг. 2-16: Практическа реализация на схемата от Фиг. 2-15.

Повишаване на изходното съпротивление може да се постигне и с използването на известната схема на преобразувател напрежение-ток ($I_{out} = \frac{V_{BIAS}}{R}$) с операционен усилвател (Фиг. 2-15) [15]. На Фиг. 2-16 е показана нейната интегрална реализация с MOS транзистори [4].

Изходното съпротивление за Фиг. 2-15 се определя по формулата

$$(2-32) \quad R_o \approx r_o (1 + g_m AR),$$

а за Фиг. 2-16 -

$$(2-32 a) \quad R_o \approx r_o (1 + g_m A r_{o1}),$$

където r_o е изходното съпротивление на транзистора M , r_{o1} е изходното съпротивление на $M1$, а A е коефициента на усилване в обратната връзка. В случая влиянието на подложката е пренебрегнато.

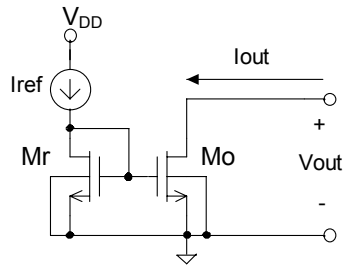
2.2.2. Токови огледала с MOS транзистори

Просто токово огледало

Схемата на простото токово огледало е показана на Фиг. 2-17. След изразяване на двата дрейнови тока с помощта на (1-37) за отношението им се получава

$$(2-33) \quad \frac{I_{out}}{I_{ref}} = \frac{W_o/L_o}{W_r/L_r} \left(\frac{1 + \lambda_o V_{DSo}}{1 + \lambda_r V_{DSr}} \right) \approx \frac{W_o/L_o}{W_r/L_r}.$$

От (2-33) следва, че отношението на токовете зависи само от хоризонталните геометрични размери на каналите на транзисторите. Тези размери се задават от проектанта и се реализират сравнително точно в чипа. Затова този тип токово огледало намира много широко приложение в практиката. Негов недостатък е прекомерното увеличение на площта на транзисторите (а оттам и на паразитните капацитети) при отношения на токовете по-големи от 10-20 (съответно по-малки от 0.05-0.1).



Фиг. 2-17:
Просто токово огледало
с MOS транзистори.

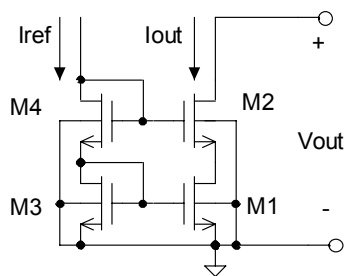
Изходното съпротивление на схемата е равно на изходното съпротивление на M_o , т.е.

$$(2-34) \quad R_o = r_o = \frac{1}{\lambda I_{out}},$$

а минималното напрежение на изхода, при което схемата е работоспособна

$$(2-35) \quad V_{out\min} \geq V_{DSAT} = V_{GS} - V_T = V_{eff}.$$

Каскодно токово огледало



Фиг. 2-18:
Каскодно токово огледало.

Каскодното токово огледало с MOS транзистори (Фиг. 2-18) осигурява повишено изходно съпротивление на схемата. Като се вземат пред вид (1-37) и (2-30), се получават следните формули за оразмеряването ѝ:

$$(2-36) \quad I_{out} = I_{D1} = \frac{k'}{2} \frac{W1}{L1} (V_{GS1} - V_{T1})(1 + \lambda_1 V_{DS1}),$$

$$(2-37) \quad I_{out} = I_{D2} = \frac{k'}{2} \frac{W2}{L2} (V_{GS2} - V_{T2})(1 + \lambda_2 V_{DS2}),$$

$$(2-38) \quad I_{ref} = I_{D3} = \frac{k'}{2} \frac{W3}{L3} (V_{GS1} - V_{T3})(1 + \lambda_3 V_{GS1}),$$

$$(2-39) \quad I_{ref} = I_{D4} = \frac{k'}{2} \frac{W4}{L4} (V_{GS4} - V_{T4})(1 + \lambda_4 V_{GS4}),$$

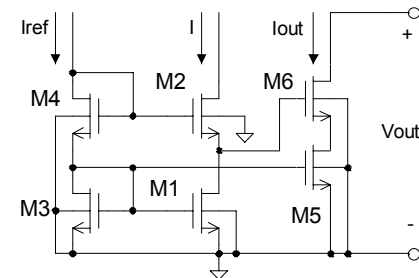
$$(2-40) \quad R_o \approx r_{o2} [1 + (g_{m2} + g_{mb2}) r_{o1}] \approx r_{o2} (1 + g_{m2} r_{o1}) \approx g_{m2} r_{o1} r_{o2},$$

$$(2-41) \quad V_{out\min} = V_{DS1\min} + V_{DS2\min} \geq V_{eff\min} + (2V_T + V_{eff\min}).$$

Модифицирано каскодно токово огледало

Недостатък на каскодната схема е повишеното минимално напрежение на изхода $V_{out\min}$. При стойности на праговото напрежение $V_{TO} = 0.9$ V и при спазване на условието за работа в режим на силна инверсия ($V_{eff\min} > 0.1$ V) за минималното напрежение, при което схемата е работоспособна, се получава $V_{out\min} > 2$ V. За избягване на посочения недостатък се използва схемата на Фиг. 2-19. Действието ѝ е аналогично на схемата от Фиг. 2-10. При нея минималното изходно напрежение се определя с неравенството

$$(2-42) \quad V_{out\min} \geq V_{DS5} + V_{eff6}.$$



Фиг. 2-19:
Модифицирано каскодно
токово огледало.

По долу ще бъде дадено примерно оразмеряване на модифицираното каскодно токово огледало за $I_{ref} = 20$ μ A и $I_{out} = 100$ μ A, при параметри на технологичния процес: $k' = 100$ μ A/V², $V_{TO} = 0.9$ V и $\lambda = 0.05$.

Целта на оразмеряването е да се определят отношенията W/L на всеки от транзисторите в схемата.

Последователността за проектиране включва:

Определяне на потенциалите във възлите на схемата и ефективните напрежения на транзисторите

От условието (2-20) за работа на транзисторите в режим на силна инверсия се избират начални стойности на ефективните напрежения $V_{\text{eff}1} = V_{\text{eff}3} = V_{\text{eff}5} = 0.2 \text{ V}$. С помощта на (1-32) се получава $V_{\text{GS}1} = V_{\text{GS}3} = V_{\text{GS}5} = V_{\text{DS}3} = V_{\text{TO}} + V_{\text{eff}} = 0.9 + 0.2 = 1.1 \text{ V}$.

В съответствие с (2-21) се избира $V_{\text{DS}5} = V_{\text{S}6} = 0.25 \text{ V}$.

Тогава модифицираното прагово напрежение на транзистора М6 ще бъде $V_{\text{T}6} \approx V_{\text{TO}} + \frac{\sqrt{V_{\text{DS}5}}}{2} = 0.9 + \frac{\sqrt{0.25}}{2} = 0.9 + 0.25 = 1.15 \text{ V}$.

Ако се приеме $V_{\text{eff}6} = 0.2 \text{ V}$, за напрежението в гейта на М6 се определя $V_{\text{G}6} = V_{\text{DS}1} = V_{\text{S}2} = V_{\text{S}6} + V_{\text{T}6} + V_{\text{eff}6} = 0.25 + 1.15 + 0.2 = 1.6 \text{ V}$, а мо-

дифицираното прагово напрежение на М2 е - $V_{\text{T}2} = V_{\text{TO}} + \frac{\sqrt{V_{\text{DS}1}}}{2} = 0.9 + \frac{\sqrt{1.6}}{2} = 0.9 + 0.632 = 1.532 \text{ V}$.

Тогава, ако и за М2 се приеме $V_{\text{eff}2} = 0.2 \text{ V}$, за $V_{\text{G}2}$ се изчислява $V_{\text{G}2} = V_{\text{G}4} = V_{\text{DS}1} + V_{\text{T}2} + V_{\text{eff}2} = 1.6 + 1.532 + 0.2 = 3.332 \text{ V}$.

От получения резултат се определя ефективното напрежение на М4

$$V_{\text{eff}4} = V_{\text{G}4} - V_{\text{GS}3} - V_{\text{TO}} - \frac{\sqrt{V_{\text{GS}3}}}{2} = 3.332 - 1.1 - 0.9 - \frac{\sqrt{1.1}}{2} = 0.796 \text{ V}.$$

Определяне на отношенията W/L на транзисторите.

Използва се опростената формула (1-35) за дрейновия ток в областта на насищане на изходните характеристики. В тази формула се заместват: желаната стойност на токовете за всеки един от транзисторите, зададените стойности на технологичните параметри и определените по-горе стойности на ефективните напрежения V_{eff} . На този етап от изчисленията коефициентите на модулация на дължината на канала λ могат да се пренебрегнат. С оглед минимална консумация на схемата токът I се избира равен на I_{ref} .

Тогава за отношенията W/L на транзисторите се получава:

$$\frac{W1}{L1} = \frac{W2}{L2} = \frac{W3}{L3} = \frac{2I_{\text{ref}}}{k'(V_{\text{eff}})^2} = \frac{2 \cdot 20\text{e} - 6}{100\text{e} - 6(0.2)^2} = 10;$$

$$\frac{W5}{L5} = \frac{W6}{L6} = \left(\frac{W3}{L3} \right) \frac{I_{\text{out}}}{I_{\text{ref}}} = 10 \cdot \frac{100\text{e} - 6}{20\text{e} - 6} = 50;$$

$$\frac{W4}{L4} = \frac{2I_{\text{ref}}}{k'(V_{\text{eff}4})^2} = \frac{2 \cdot 20\text{e} - 6}{100\text{e} - 6(0.796)^2} = \frac{5}{8}.$$

Определяне на основните параметри на токовото огледало

В съответствие с приложената процедура за проектиране отношението $I_{\text{out}}/I_{\text{ref}}$ е равно на 5.

Минимално допустимата стойност на изходното напрежение се определя съгласно (2-42) $V_{\text{out} \min} \geq V_{\text{DS}5} + V_{\text{eff}6} = 0.25 + 0.2 = 0.45 \text{ V}$. Тази стойност е значително по-малка от определената за Фиг. 2-18.

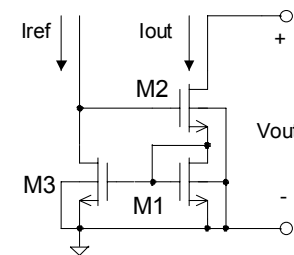
Изходното съпротивление на схемата се определя с помощта на уравнение (2-40)

$$\begin{aligned} R_o &\approx r_{o6}(1 + g_{m6}r_{o5}) = \frac{1}{\lambda I_{\text{out}}} \left(1 + k' \frac{W6}{L6} V_{\text{eff}6} \frac{1}{\lambda I_{\text{out}}} \right) = \\ &= \frac{1}{0.05 \cdot 100\text{e} - 6} \left(1 + 100\text{e} - 6 \cdot 50 \cdot 0.2 \frac{1}{0.05 \cdot 100\text{e} - 6} \right) > 40 \text{ M}\Omega. \end{aligned}$$

Минималното захранващо напрежение на схемата трябва да осигури избрания режим на работа на всички транзистори. На практика, това условие се свежда до $V_{\text{DD}} \geq V_{\text{G}4} + V_{\text{out} \min \text{ref}} \geq V_{\text{G}6} + V_{\text{eff}2} = 3.32 + 0.2 = 3.52 \text{ V}$, където с $V_{\text{out} \min \text{ref}}$ е означено минималното напрежение на източника I_{ref} .

Токово огледало на Wilson

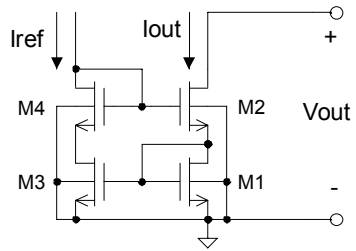
Действието на схемата е аналогично на действието на подобната схема с биполярни транзистори (Фиг. 2-11). Анализът и оразмеряването при нея се осъществяват както при разгледания пример (Фиг. 2-19).



Фиг. 2-20:
Токово огледало на Wilson.

Модифицирано токово огледало на Wilson

При тази схема (Фиг. 2-21), чрез добавянето на M4, се цели да се постигне еднаквост на напреженията V_{DS} на транзисторите, а оттам и отношения I_{out}/I_{ref} , слабо зависещи от модулацията на дължината на канала им.



Фиг. 2-21: Модифицирано токово огледало на Wilson.

3. ВЕРИГИ ЗА УСТАНОВЯВАНЕ НА ПОСТОЯННО-ТОКОВИЯ РЕЖИМ

Разгледаните в гл. 2 схеми на задаващи източници на ток и токови огледала намират широко приложение при реализацията на веригите за установяване на постояннотоковия режим в съвременните интегрални схеми. За стабилната работа на тези възли е необходимо стойностите на работните токове да са независими от хранващите напрежения, температурата и вариациите на технологичния процес. Независимост от толерансите на процеса се получава, чрез използване на корелацията между параметрите на интегралните елементи, разположени върху чипа. За осигуряване на стабилност спрямо хранващите напрежения и температурата е необходимо да се усложнят описаните схемни решения, които да се реализират като автономни възли, независещи от параметрите на външни за тях източници.

Основните параметри на новополучените схеми съвпадат с основните параметри на задаващите източници на ток и токовете огледала от гл. 2. Към тях, като много важен параметър, допълнително трябва да се добави и стойността на минималното хранващо напрежение, при което схемата е работоспособна.

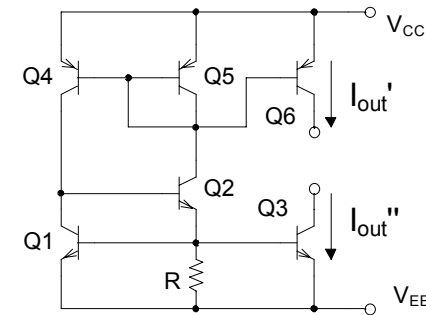
3.1. ВЕРИГИ ЗА УСТАНОВЯВАНЕ НА РЕЖИМА СЛАБО ЗАВИСЕЩИ ОТ ЗАХРАНВАЩОТО НАПРЕЖЕНИЕ

При тези схеми големината на генерирания ток се определя от стойността на някакъв "еталонен източник", включен във веригата. Този "еталонен източник" не зависи (или слабо зависи) от хранващото напрежение. За целта могат да се използват: напрежението върху отпушен *p-n* преход, стойността на топлинния потенциал φ_T , напрежението върху ценеров диод и праговото напрежение на MOS транзистор. По долу ще бъдат разгледани най-често използваните схемни решения от този тип.

3.1.1. Схеми, използващи като еталон напрежението на отпушен *p-n* преход

Вариант на схема от този тип, реализирана с биполярни транзистори, е показана на Фиг. 3-1 [5]. Токоопределящата част на биполярната схема се състои от транзисторите Q1, Q2, Q4 и Q5. С транзисторите Q3 и Q6 е показано как генерираният стабилен ток може да се мултиплицира към отделните стъпала. С Q1 и Q2 е реализиран задаващ източник на ток, чиито изходен ток е колекторният ток на Q2. Неговата стойност е

$$(3-1) \quad I_{C2} \approx \frac{V_{BE1}}{R} \approx \frac{\varphi_T}{R} \ln \left(\frac{I_{C1}}{I_{S1}} \right).$$



Фиг. 3-1:
Схема за стабилизация на режима с използване на V_{BE} .

Анализът на (3-1) показва, че напрежението V_{BE1} и съответно I_{C2} зависят от тока през транзистора Q1. За да се избегне тази зависимост е необходимо I_{C1} да се фиксира към някаква постоянна стойност. За целта, насрещно на източника, е свързано простото токово огледало Q5-Q4. Токът на задаващия източник I_{C2} е входен за огледалото. Ако се пренебрегне базовия ток на Q2, изходният ток на огледалото I_{C4} е приблизително равен на колекторния ток на транзистора Q1. По този начин, в схемата се осъществява 100% ООБ и токът през Q1 се стабилизира, което води до независимост на V_{BE1} от хранващото напрежение.

Съгласно (2-11) отношението на токовете в огледалото Q5-Q4 е :

$$(3-2) \quad \frac{I_{C4}}{I_{C5}} = \frac{A_4}{A_5} = \frac{I_{C1}}{I_{C2}},$$

а за изходните токове I'_{out} и I''_{out} се получава

$$(3-3) \quad I'_{out} = I_{C2} \frac{A_6}{A_5};$$

$$(3-4) \quad I''_{out} = I_{C1} \frac{A_3}{A_1}.$$

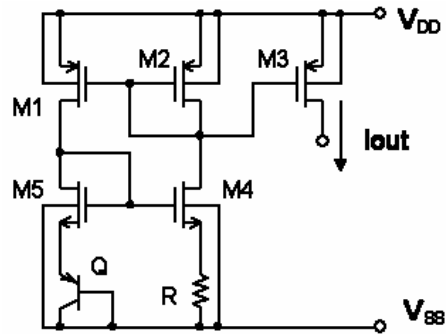
Равенства (3-1) и (3-2) образуват система от две уравнения, която има две двойки решения. Първото е при $I_{C2}=0$ и не представлява практически интерес. Второто е при стойност на $I_{C2} \neq 0$ и е търсеното решение. Например, ако $I_{S1}=0.1$ fA, $R=7,12$ k Ω и $A_4/A_5 = 1$ за токовете в схемата се получава $I_{C2} \approx I_{C2} \approx 100$ μ A.

Минималното захранващо напрежение на схемата трябва да осигури работата на всички транзистори в нормален активен режим. Неговата ориентировъчна стойност може да се определи от израза

$$(3-5) \quad V_{CC} - V_{EE} = V_{BE1} + V_{BE2} + V_{CB2min} + |V_{BE5}| \approx 2.5V.$$

За гарантирано установяване на схемата в работно състояние, в практическите схеми е необходимо да се добавят и допълнителни включващи вериги [4].

На Фиг.3-2 е показана BiCMOS схема за стабилизиране на режима с помощта на напрежението върху отпушения *p-n* преход.



Фиг. 3-2:
BiCMOS схема за стабилизация на режима с използване на V_{BE} .

Ако транзисторите в двойките M1-M2 и M4-M5 са еднакви, за токовете в схемата се получава

$$(3-6) \quad I = I_{D1} = I_{D2} = I_{D4} = I_{D5} = \frac{\varphi_T}{R} \ln\left(\frac{I}{I_S}\right) \quad \text{и}$$

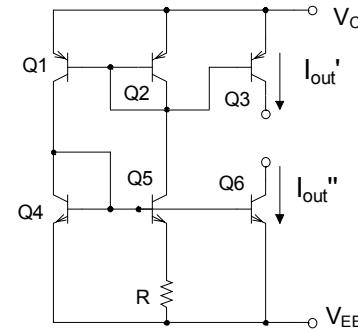
$$(3-7) \quad I_{out} = I \frac{W3/L3}{W2/L2}.$$

Минималното захранващо напрежение трябва да осигури работата на транзисторите в областта на насищане на изходните характеристики в режим на силна инверсия. Ориентировъчната му стойност може да се изчисли по формулата

$$(3-8) \quad V_{DD} - V_{SS} = V_{BE} + V_{eff5} + V_{TO} + \frac{1}{2} \sqrt{V_{BE}} + |V_{DS1min}|.$$

За стандартните BiCMOS технологии минималната стойност на захранващите напрежения се получава около 2.2 ÷ 2.8 V.

3.1.2. Схеми, използващи като еталон топлинния потенциал φ_T



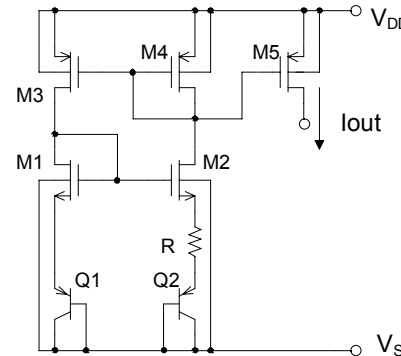
Фиг. 3-3:
Схема за стабилизация на режима, използваща φ_T , с биполарни транзистори.

На Фиг. 3-3 е показана схема за стабилизация на режима, използваща φ_T , реализирана по биполарна технология. Състои се от токово огледало на Widlar (Q4-Q5) и насрещно свързано просто токово огледало (Q2-Q1). Площта на транзистора Q5 е *n* пъти по-голяма от площта на Q4, а Q1 и Q2 са еднакви. Тогава, за токовете в схемата се получава [5]

$$(3-9) \quad I_{C1} = I_{C2} = I_{C4} = I_{C5} = \frac{\varphi_T}{R} \ln(n).$$

На Фиг. 3-4 е показана схема за стабилизация на режима, използваща φ_T , реализирана по BiCMOS технология. По аналогия със схемата от Фиг. 3-2, ако площта на емитерния преход на транзистора Q2 е *n* пъти по-голяма от тази на Q1, а транзисторите M1, M2, M3 и M4 са еднакви

$$(3-10) \quad I_{C1} = I_{C2} = I_{D1} = I_{D2} = I_{D3} = I_{D4} = \frac{\varphi_T}{R} \ln(n).$$



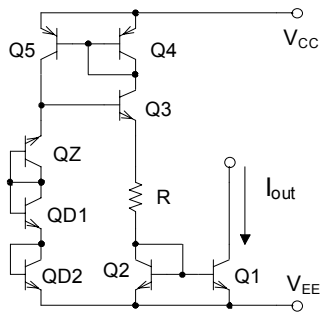
Фиг. 3-4:
BiCMOS схема за стабилизация на режима използваща φ_T .

3.1.3. Схеми, използващи като еталон напрежението на стабилизация на ценеров диод V_Z

В тази схема (Фиг. 3-5) като източник на опорно напрежение се използва напрежението на стабилизация $V_Z \approx (6 - 7)V$ на обратно свързан емитерен преход на интегралния транзистор QZ.

Стойността на изходния ток в схемата се дава с израза

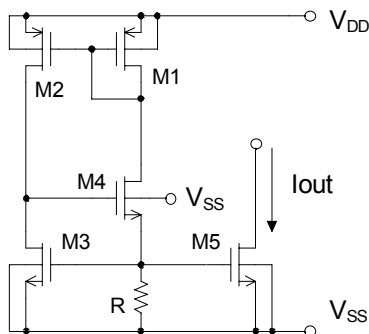
$$(3-11) \quad I_{out} = \frac{A_1}{A_2} \frac{(V_Z + V_{D1} + V_{D2} - V_{BE3} - V_{BE2})}{R} \approx \frac{A_1}{A_2} \frac{V_Z}{R}$$



Фиг. 3-5:
Схема за стабилизация с използване на ценеров диод.

За стабилизиране на тока през ценеровия диод, с цел осигуряване на независимост на напрежението V_Z от захранването, е въведена ООВ с простото токово огледало Q4-Q5. Големината на тока през Q5 се избира така, че да се гарантира стабилната работа на ценеровия диод в областта на лавинния пробив.

3.1.4. Схеми, използващи като еталон праговото напрежение V_T на MOS транзистор



Фиг. 3-6
Схема за стабилизация на режима с използване на праговото напрежение V_T .

Тази схема наподобява схемата от Фиг. 3-1. Токът през резистора R е

$$(3-12) \quad I_R = \frac{V_{GS3}}{R} = \frac{V_{TO} + V_{eff3}}{R} \approx \frac{V_{TO} + \sqrt{\frac{2}{k'_N} \frac{(W2/L2)}{(W1/L1)(W3/L3)} I_R}}{R},$$

а изходният ток -

$$(3-13) \quad I_{out} = \frac{W5/L5}{W3/L3} I_R.$$

При оразмеряването на схемата трябва да се има пред вид, че напрежението между сорса и подложката на транзистора M4 е различно от нула. Ориентировъчната стойност на минималното захранващо напрежение може да се определи по формулата

$$(3-14) \quad \begin{aligned} V_{DD} - V_{SS} &= R I_R + V_{GS4} + V_{DS2} \approx \\ &\approx R I_R + V_{TNO} + \frac{1}{2} \sqrt{R I_R} + \sqrt{\frac{2 I_R}{k'_N (W4/L4)}} + \sqrt{\frac{2 I_R}{k'_P (W2/L2)}}, \end{aligned}$$

където V_{TNO} е праговото напрежение на n-MOS транзистора при $V_{SB}=0$, а k'_N и k'_P - факторите на стръмността.

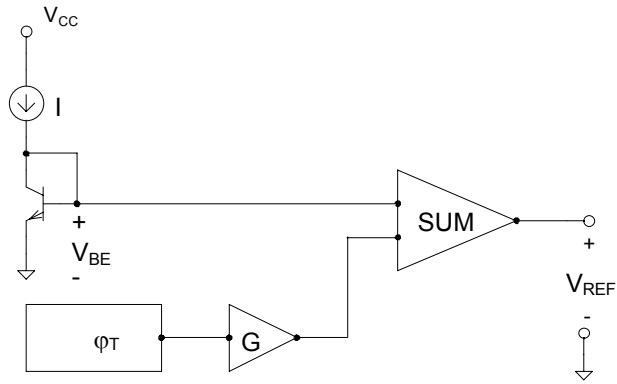
3.2. ВЕРИГИ ЗА УСТАНОВЯВАНЕ НА РЕЖИМА СЛАБО ЗАВИСЕЩИ ОТ ТЕМПЕРАТУРАТА

Едни от най-интересните схемни решения на вериги за установяване на постояннотоковия режим са свързани с използването на т. нар. "band-gap" източници на опорно напрежение. Това са термокомпенсирани източници на напрежение, чиято опростена блокова схема е показана на Фиг. 3-7. Целта е на изхода на схемата да се получи сумата от напрежението V_{BE} върху n-p-n транзистора и умножената G пъти стойност на топлинния потенциал ϕ_T . Следователно стойността на V_{REF} е

$$(3-15) \quad V_{REF} = V_{BE} + G \cdot \phi_T.$$

Понеже напрежението V_{BE} има отрицателен температурен коефициент (около $-2 \text{ mV}/^\circ\text{C}$), а ϕ_T - положителен ($+0.085 \text{ mV}/^\circ\text{C}$) е възможна температурна компенсация. За определяне на условието за възникването ѝ, равенство (3-15) се диференцира спрямо температурата и се приравнява на нула [15]

$$(3-16) \quad \frac{dV_{REF}}{dT} = \frac{dV_{BE}}{dT} + G \frac{d\phi_T}{dT} = 0.$$



Фиг. 3-7: Блокова схема на термостабилизирани източник на опорно напрежение.

В резултат, за коефициента на усилване G се получава

$$(3-17) \quad G = -\frac{dV_{BE}/dT}{d\phi_T/dT} \approx -\frac{-2mV/^\circ C}{0.085mV/^\circ C} \approx 23.53,$$

а за ориентировъчната стойност на изходното напрежение

$$(3-18) \quad V_{REF} = V_{BE} + G \cdot \phi_T \approx 0.65 + 0.61 = 1.26V.$$

Следователно опорното напрежение при тази схема е термостабилно само за една стойност около 1.26V. Понеже тази стойност е близка до широчината на забранената зона (band-gap) на силиция, схемата се нарича "band-gap" източник на опорно напрежение. Подробните анализи, направени в [5], демонстрират още по-ясно връзката между широчината на забранената зона на силиция и напрежението в изхода на схемата.

На Фиг. 3-8 е показана примерната реализация на схемата с операционен усилвател.

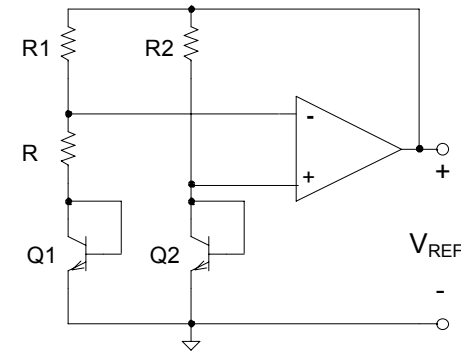
Транзисторите Q1 и Q2 са с еднакви площи на емитерните преходи. Понеже усилвателят има много голям коефициент на усилване, от практическа гледна точка може да се приеме, че потенциалите на двата му входа са еднакви и

$$(3-19) \quad R1 \cdot I_{R1} \approx R2 \cdot I_{R2},$$

$$(3-20) \quad I_{R1} = \frac{\phi_T}{R} \ln\left(\frac{I_{R2} \cdot A1}{I_{R1} \cdot A2}\right) = \frac{\phi_T}{R} \ln\left(\frac{R1}{R2}\right).$$

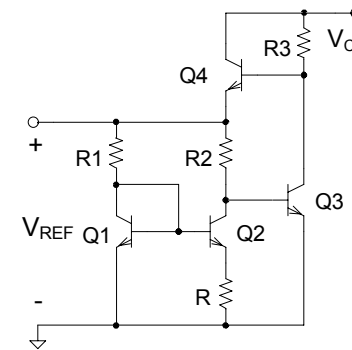
Окончателно за V_{REF} се получава

$$(3-21) \quad V_{REF} = V_{BE2} + R2 \cdot I_{R2} = V_{BE2} + \frac{R1}{R} \phi_T \ln\left(\frac{R1}{R2}\right).$$



Фиг. 3-8: Принципова схема на "band-gap" източник на опорно напрежение с ОУ.

На Фиг. 3-9 е показана схемата на източник на "band-gap" опорно напрежение с биполарни транзистори. В тази схема площите на транзисторите Q1 и Q2 са еднакви. Заедно с резистора R те формират токово огледало на Widlar.



Фиг. 3-9: Източник на "band gap" опорно напрежение с биполарни транзистори.

За зависимостта на изходното напрежение V_{REF} е в сила

$$(3-22) \quad V_{REF} = V_{BE3} + \frac{R2}{R} \phi_T \ln\left(\frac{R2}{R1}\right),$$

а коефициентът на усилване G е

$$(3-23) \quad G = \frac{R2}{R} \ln\left(\frac{R2}{R1}\right).$$

Формулите (3-22) и (3-23) са валидни, ако напреженията

$$(3-24) \quad V_{BE1} = V_{BE3}.$$

От това следва, че за правилната работа на схемата е необходимо

$$(3-25) \quad \varphi_T \ln\left(\frac{I_{C1}}{I_{S1}}\right) = \varphi_T \ln\left(\frac{I_{C3}}{I_{S3}}\right).$$

Окончателно, от (3-24) се получава

$$(3-26) \quad \frac{I_{C1}}{I_{C3}} = \frac{A_1}{A_3}.$$

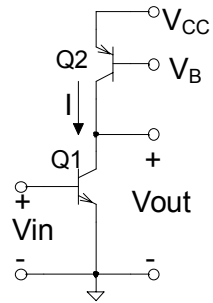
Недостатък на band-gap схемите е, че осигуряват термостабилизация само за една точно определена стойност на изходното напрежение [15].

4. СЪПАЛА С ДИНАМИЧЕН ТОВАР

Използването на транзистори като товар в линейните интегрални схеми позволява да се реализират стъпала с повишено усилване при ниски стойности на захранващото напрежение и малка площ на кристала.

4.1. СЪПАЛА С ДИНАМИЧЕН ТОВАР С БИПОЛЯРНИ ТРАНЗИСТОРИ

Стъпало ОЕ с динамичен товар



Фиг. 4-1:
Стъпало ОЕ с динамичен товар.

В представената на Фиг. 4-1 схема, Q1 е основният (усилващ) транзистор, а Q2 играе ролята на динамичен товар. Коефициентът на усилване по напрежение A_u се определя с израза [4]

$$(4-1) \quad A_u \approx -g_{m1} \frac{r_{o1} \cdot r_{o2}}{r_{o1} + r_{o2}} = -\frac{g_{m1}}{g_{o1} + g_{o2}}.$$

Окончателно, след заместване на g_m и g_o с (1-16) и (1-17), се получава

$$(4-2) \quad A_u = -\frac{\frac{1}{\varphi_T}}{\frac{1}{V_{AF1}} + \frac{1}{V_{AF2}}} = -\frac{\frac{1}{\varphi_T}}{\frac{1}{V_{AF1}} + \frac{1}{V_{AF2}}}.$$

Анализът на (4-2) показва, че коефициентът на усилване на стъпалото не зависи от тока през него. Например, ако $V_{AF1}=100$ V, $V_{AF2}=80$ V, то $A_u \approx 1777$.

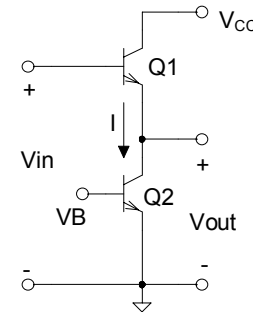
Недостатък на схемата е стеснената честотна лента. Дължи се както на големия еквивалентен входен капацитет (обусловен от големия коефициент на усилване на стъпалото) така и на високото изходно съпротивление R_o . То се определя с формулата

$$(4-3) \quad R_o = \frac{1}{g_{o1} + g_{o2}} = \frac{1}{\frac{1}{V_{AF1}} + \frac{1}{V_{AF2}}}.$$

Входното съпротивление на стъпалото, съвпада с входното съпротивление на обикновеното стъпало ОЕ. Ориентировъчната му стойност е

$$(4-4) \quad R_i = r_i \approx \beta r_e \approx \beta \frac{1}{\varphi_T}.$$

Стъпало ОК с динамичен товар



Фиг. 4-2:
Стъпало ОК с динамичен товар.

За ориентировъчните стойности на основните зависимости в тази схема се получава:

$$(4-5) \quad A_u \approx \frac{g_{m1}}{g_{m1} + g_{o1} + g_{o2}} \approx 1,$$

$$(4-6) \quad R_o \approx \frac{1}{g_{m1}} + \frac{R_S}{\beta} \approx \frac{\varphi_T}{I},$$

$$(4-7) \quad R_i \approx \beta(r_{e1} + r_{o2}) \approx \beta \frac{V_{AF2}}{I},$$

където с R_S е означено вътрешното съпротивление на генератора на сигнали.

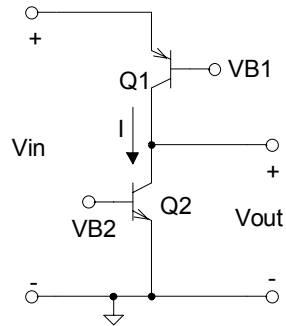
Стъпало ОБ с динамичен товар

Основните параметри на стъпалото могат да се изчислят с помощта на следните ориентировъчни формули [4]:

$$(4-8) \quad R_o \approx r_{o2};$$

$$(4-9) \quad R_i \approx r_{ei} \approx \frac{1}{g_{mi}} \approx \frac{\varphi_T}{I};$$

$$(4-10) \quad A_u = g_{mi} r_{o2} \approx \frac{1}{\varphi_T} \frac{V_{AF2}}{I} = \frac{V_{AF2}}{\varphi_T}.$$



Фиг. 4-3:
Стъпало обща база с динамичен товар.

От (4-10) следва, че и при схема ОБ максималната стойност на коефициента на усилване по напрежение не зависи от режима.

Посочените по-горе формули за коефициентите на усилване по напрежение са в сила при условие, че трите схеми работят при високоомен товар ($r_L \rightarrow \infty$). Това е най-честия случай, при който тези стъпала са част от вътрешната структура на голяма интегрална схема. Ако посоченото условие не е изпълнено, тогава на мястото на съпротивлението r_{o2} ще трябва да се постави еквивалентното съпротивление на паралелно включените r_{o2} и r_L и съответно стойностите на коефициентите на усилване ще са по-малки.

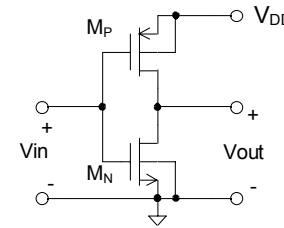
И в трите разгледани схеми динамичните товари са реализирани като задаващи източници на ток с транзистор (Фиг. 2-2). При необходимост от повишаване на стойността на динамичния товар, могат да се използват и схемите от Фиг. 2-3 (с допълнителен резистор) и Фиг. 2-4 (с допълнителен транзистор). Това ще доведе до по-високи стойности на коефициентите на усилване по-напрежение.

4.2. СТЬПАЛА С ДИНАМИЧЕН ТОВАР С MOS ТРАНЗИСТОРИ

4.2.1. Схеми с CMOS транзистори

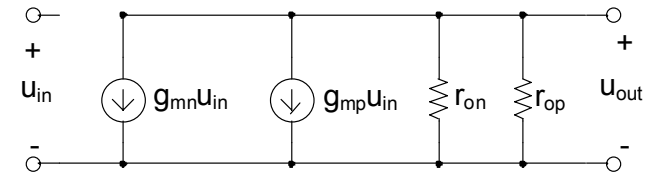
CMOS усилвател с динамичен товар и паралелен вход

На Фиг. 4-4 е показана една от най-често използваните схеми на CMOS усилвател с динамичен товар. При нея усилването на сигналите се осъществява и от двата транзистора.



Фиг. 4-4: CMOS усилвател с динамичен товар и паралелен вход.

На Фиг. 4-5 е представена еквивалентната схема на стъпалото по променлив ток.



Фиг. 4-5: Еквивалентна схема по променлив ток на CMOS усилвателя от Фиг. 4-4.

Въз основа на нея, за коефициента на усилване по напрежение се получава

$$(4-11) \quad A_u = -\frac{g_{mn} + g_{mp}}{g_{on} + g_{op}} \approx \frac{\sqrt{2k'_N(Wn/Ln)} + \sqrt{2k'_P(Wp/Lp)}}{(\lambda_n + \lambda_p)I} = \frac{\sqrt{2k'_N(Wn/Ln)} + \sqrt{2k'_P(Wp/Lp)}}{(\lambda_n + \lambda_p)\sqrt{I}}$$

където с I е означен токът в работната точка на транзисторите.

Изходното съпротивление е

$$(4-12) \quad R_o \approx \frac{1}{g_{on} + g_{op}} \approx \frac{1}{(\lambda_n + \lambda_p)I}.$$

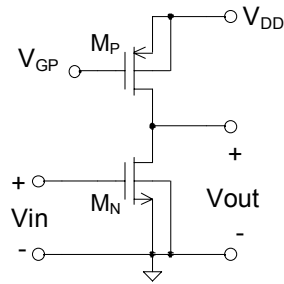
Формула (4-12) е в сила за всички MOS схеми с динамичен товар.

Коефициентът на усилване при разглежданата схема е значително по-малък от коефициента на усилване при схемата с биполярни транзистори. Например, ако $k'_N = 100 \mu A/V^2$, $k'_P = 40 \mu A/V^2$, $\lambda_N = 0.01$, $\lambda_P = 0.02$, $Wn/Ln = 50$, $Wp/Lp = 125$ и $I = 0.1 \text{ mA}$ от горните зависимости се получава $A_u = 666$ и $R_o = 333 \text{ k}\Omega$.

Друг недостатък на схемата е, че при нея трудно се установява постояннотоковия режим, което налага задължителното ѝ използване заедно с верига на обратна връзка [4].

На Фиг. 4-6, Фиг. 4-7 и Фиг. 4-8 са показани три схеми на CMOS усилватели с динамичен товар. Характерно и за трите схеми е, че при тях транзисторите работят в областта на насищане на изходните характеристики (активната област). По този начин се осигуряват високи стойности на стръмността на усилващия транзистор и на променливотоковото съпротивление на динамичните товари.

Стъпало общ сорс с динамичен товар

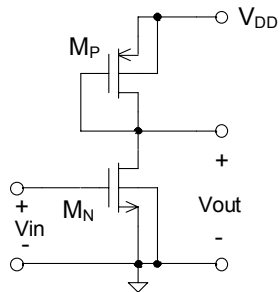


Фиг. 4-6:
Стъпало общ сорс с динамичен товар.

В представената на Фиг. 4-6 схема транзисторът M_N е основен (усилващ), а транзисторът M_P играе ролята на динамичен товар. По аналогия с усилвателя от Фиг. 4-4 за коефициента на усилване на стъпалото с общ сорс се получава

$$(4-13) \quad A_u = -\frac{g_{mn}}{g_{on} + g_{op}}.$$

Стъпало общ сорс с активен товар



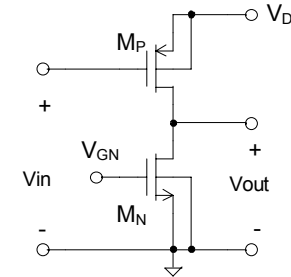
Фиг. 4-7:
Стъпало общ сорс с активен товар.

При тази схема като товар се използва p-MOS транзистор, с гейт и дрейн свързани на късо. Това намалява стойността на динамичния товар,

но води до независимост на коефициента на усилване по напрежение от тока през транзисторите. По подобие със схемата от Фиг. 4-4 лесно може да се изведе, че

$$(4-14) \quad A_u = -\frac{g_{mn}}{g_{on} + g_{op} + g_{mp}} \approx -\frac{g_{mn}}{g_{mp}} = -\frac{k'_n(W_N/L_N)}{k'_p(W_P/L_P)}.$$

Стъпало общ сорс с товарен n-MOS транзистор



Фиг. 4-8:
Стъпало общ сорс с товарен n-MOS транзистор.

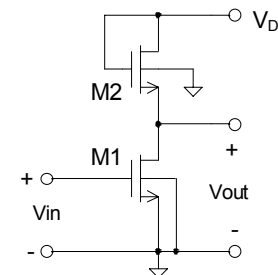
Схемата от Фиг. 4-8 е подобна на схемата от Фиг. 4-6 с тази разлика, че при нея усилващ е p-MOS транзистора, а ролята на товар се изпълнява от n-MOS транзистора. Следователно, коефициентът на усилване по напрежение е

$$(4-15) \quad A_u = -\frac{g_{mp}}{g_{on} + g_{op}}.$$

Изходното съпротивление и на трите схеми се определя с помощта на формула (4-12).

4.2.2. Стъпала с еднотипни транзистори

Стъпало общ сорс с еднотипни транзистори



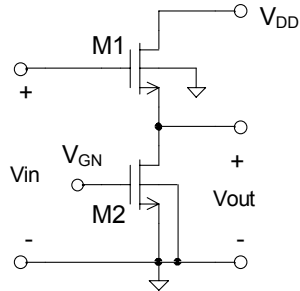
Фиг. 4-9:
Стъпало общ сорс с еднотипни транзистори.

Коефициентът на усилване и изходното съпротивление на схемата се определят с формулите [4, 15]:

$$(4-16) \quad A_u \approx -\frac{g_{m1}}{g_{m2} + g_{mb2}} \approx -\frac{g_{m1}}{g_{m2}} = -\sqrt{\frac{W1/L1}{W2/L2}},$$

$$(4-17) \quad R_o \approx \frac{1}{g_{m2} + g_{mb2}}.$$

Сорсов повторител с еднотипни транзистори



Фиг. 4-10:
Сорсов повторител с еднотипни транзистори.

Ориентировъчните уравнения за схемата, представена на Фиг. 4-10 са [7]:

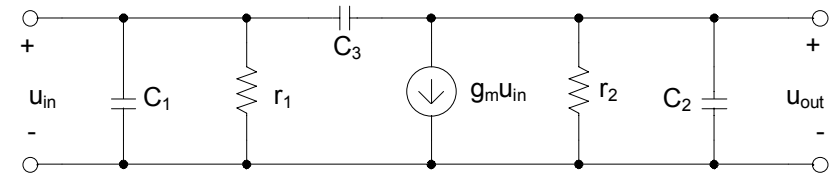
$$(4-18) \quad A_u \approx \frac{g_{m1}}{g_{m1} + g_{mb1}} \approx 1$$

$$(4-19) \quad R_o \approx \frac{1}{g_{m1} + g_{mb1}}.$$

4.3. АНАЛИЗ НА СТЬПАЛАТА С ДИНАМИЧЕН ТОВАР ПРИ ВИСОКИ ЧЕСТОТИ

На Фиг. 4-11 е представен обобщения малосигнален модел на стъпалата с динамичен товар [4]. В тази схема с r_1 и r_2 са означени съответно входното и изходното съпротивление, а g_m е стръмността на стъпалото. C_1 и C_2 представляват всички капацитети, свързани съответно към входа и изхода на схемата, а C_3 е обобщен проходен капацитет.

Разглежданата схема има два полюса, които определят и две гранични честоти - f_1 и f_2 . Първата гранична честота се определя от входната верига, а втората от изходната.



Фиг. 4-11: Обобщен малосигнален модел на стъпалата с динамичен товар.

Като се вземе пред вид, че, съгласно ефекта на Милер, проходният капацитет C_3 се явява на входа, умножен с единица плюс абсолютната стойност на коефициента на усилване на стъпалото, за граничната честота f_1 се получава следната опростена формула:

$$(4-20) \quad f_1 \approx \frac{1}{2\pi(r_1 \| r_s)(C_1 + |A_u|C_3)} \approx \frac{(g_1 + g_s)g_2}{2\pi g_m C_3}$$

където g_s е вътрешната проводимост на източника на сигнал, коефициентът на усилване $|A_u| = g_m r_2 \gg 1$, а $C_1 \ll |A_u|C_3$.

За граничната честота f_2 се получава

$$(4-21) \quad f_2 \approx \frac{g_2}{2\pi(C_2 + C_3)}.$$

Следователно, честотните характеристики на усилвателите се определят от две гранични честоти - f_1 и f_2 . Стойностите на тези честоти зависят от структурата на анализирания схемно решение, избрания постоянен режим и вътрешното съпротивление на генератора на входен сигнал. Обикновено едната от тях е значително по-малка от другата и именно тя определя широчината на честотната лента на стъпалото.

За схемата от Фиг. 4-1, за най-често срещания случай на вертикален NPN и хоризонтален PNP транзистори, се получава:

$$(4-22) \quad C_1 = C_{b'e1},$$

$$(4-23) \quad C_2 = C_{cs1} + C_{b'e2} + C_L,$$

$$(4-24) \quad C_3 = C_{b'c1},$$

$$(4-25) \quad g_1 \approx \frac{1}{r_{i1}} = g_{i1},$$

$$(4-26) \quad g_2 = g_{o1} + g_{o2},$$

$$(4-27) \quad g_m = g_{m1}.$$

Във формула (4-23) с C_L е означен товарният капацитет на стъпало-то.

След заместване на (4-22) ÷ (4-27) в (4-20) и (4-21) окончателно се получават изразите

$$(4-28) \quad f_1 = \frac{(g_{i1} + g_s)(g_{o1} + g_{o2})}{2\pi g_{m1} C_{b'c1}},$$

$$(4-29) \quad f_2 = \frac{g_{o1} + g_{o2}}{2\pi(C_{b'c1} + C_{cs1} + C_{b'c2} + C_L)}.$$

Формули (4-28) и (4-29) се използват за определяне на честотната лента на стъпалото от Фиг. 4-1. Например, ако токът в работната точка е $I=1$ mA, $\beta=100$, напреженията на Ерли са съответно $V_{AFN}=200$ V, $V_{AFP}=80$ V, паразитните капацитети - $C_{b'c1}=0.2$ pF, $C_{cs1}=0.35$ pF, $C_{b'c2}=0.2$ pF, товарният капацитет $C_L=1$ pF, а $g_s=0.001$ S, съгласно горните формули се получава: $g_{m1}=I/\varphi_T \approx 40$ mS, $g_{o1}=I/V_{AFN} \approx 5$ μ S, $g_{o2}=I/V_{AFP} \approx 12.5$ μ S, $g_{i1}=I/\beta\varphi_T \approx 0.4$ mS, $f_1 \approx 487$ kHz, $f_2 \approx 1.6$ MHz. Следователно, честотната лента на стъпалото ще се определя от първия полюс и ще бъде около 487 kHz.

По аналогичен начин за CMOS схемата от Фиг. 4-4 се получава:

$$(4-30) \quad C_1 = C_{gsn} + C_{gsp},$$

$$(4-31) \quad C_2 = C_{bdn} + C_{bdp} + C_L$$

$$(4-32) \quad C_3 = C_{gdn} + C_{gdp},$$

$$(4-33) \quad g_1 \approx 0,$$

$$(4-34) \quad g_2 = g_{on} + g_{op},$$

$$(4-35) \quad g_m = g_{mn} + g_{mp}.$$

Окончателно

$$(4-36) \quad f_1 = \frac{g_s(g_{on} + g_{op})}{2\pi(g_{mn} + g_{mp})(C_{gdn} + C_{gdp})}$$

$$(4-37) \quad f_2 = \frac{g_{on} + g_{op}}{2\pi(C_{bdn} + C_{bdp} + C_{gdn} + C_{gdp} + C_L)}.$$

Например, ако $g_{mn} \approx 100$ μ S, $g_{mp} \approx 100$ μ S, $g_{on} \approx 4$ μ S, $g_{op} \approx 6$ μ S, $C_{gdn} = 4$ fF, $C_{gdp} = 10$ fF, $C_{bdn} = 5$ fF, $C_{bdp} = 10$ fF, $g_s \approx 0.1$ mS и $C_L = 2$ pF се получава: $f_1 \approx 56.9$ MHz, $f_2 \approx 784.4$ kHz. Следователно, в този случай честотната лента ще се определя от стойността на втория полюс и ще бъде около 784.4 kHz.

Разгледаният подход е универсален. С него могат да се определят честотните зависимости на всякакви усилвателни CMOS и биполярни схеми.

Въз основа на разгледаните примери, формулата за граничната честота f_1 може да се обобщи по следния начин:

$$(4-38) \quad f_1 \approx \frac{(g_i + g_s)(g_{o1} + g_{o2})}{2\pi g_m \sum C_i}$$

където:

- g_i е входната проводимост на схемата;
- g_s е вътрешната проводимостта на източника на сигнал;
- g_{o1} и g_{o2} са изходните проводимости на усилващия и товарния транзистор;
- g_m е стръмността на усилващия транзистор;
- $\sum C_i$ е сумата на капацитетите на кондензаторите, свързани между входа и изхода на схемата.

Като се вземе пред вид, че обикновено изходните капацитети на интегралните транзисторите не надвишават 100-200 fF, а стойността на товарния капацитет C_L обикновено е над 1 pF, формулата за f_2 може да се опрости до израза

$$(4-39) \quad f_2 \approx \frac{g_{o1} + g_{o2}}{2\pi C_L}.$$

Обикновено при началните анализи и оразмерявания на схемите се използват формули (4-38) и (4-39). Отчитането на влиянието на пренебрегнатите паразитни капацитети става автоматично при последващата симулация. Например, за разгледания по-горе случай на CMOS усилвател, по ф-ла (4-39) се определя стойност на полюсната честота $f_2 \approx 796.2$ kHz, която е много близка до изчислената по ф-ла (4-37) и за нуждите на предварителните изчисления е напълно задоволителна като точност. Увеличаването на товарния капацитет повишава точността при изчисленията по опростената ф-ла (4-39).

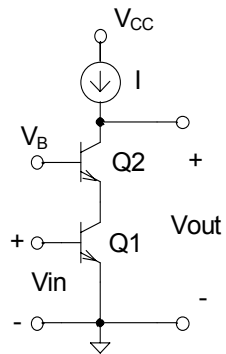
5. КАСКОДНИ УСИЛВАТЕЛНИ СЪПАЛА

Каскодните схеми се използват за да увеличат усилването и разширят честотната лента на усилвателните стъпала в интегралните схеми.

5.1. КАСКОДНИ СЪПАЛА С БИПОЛЯРНИ ТРАНЗИСТОРИ

На Фиг. 5-1 и Фиг. 5-2 са показани схемите на двете най-често използвани каскодни усилвателни стъпала с биполярни транзистори.

Каскодна схема ОЕ-ОБ



Фиг. 5-1: Каскодна схема ОЕ-ОБ.

В схемата на Фиг. 5-1 транзисторът Q1 е свързан по схема ОЕ, а Q2 - по ОБ [4]. Коефициентът на усилване на стъпалото е равен на произведението от коефициентите на усилването на двете стъпала. Като се вземат предвид резултатите от гл. 4 за коефициента на усилване се получава

$$(5-1) \quad A_u = A_{u1}A_{u2} = -\frac{g_{m1}}{g_{o1} + g_{m2}} \frac{g_{m2}}{g_{o2} + g_o} \approx -\frac{g_{m1}}{g_o},$$

където с g_o е означено изходното съпротивление на генератора на ток I.

В окончателно получената формула е отчетено, че $g_{m2} \gg g_{o1}$ и че $g_o \gg g_{o2}$. Следователно, коефициентът на усилване на разглежданото стъпало е по-голям от коефициента на усилване на стъпалото общ емитер с динамичен товар (вж. Фиг. 4-1 и ф-ла (4-1)).

Изходното съпротивление на схемата е приблизително равно на изходното съпротивление на генератора на ток I, а входното съпротивление може да се определи по формулата (4-4).

Схемата притежава значително по-широка честотна лента от обикновеното стъпало общ емитер с динамичен товар (Фиг. 4-1). Както беше показано в т. 4.3, върху честотната лента на това стъпало оказва влияние

полюсът, който се определя от входната верига. Този полюс има по-ниска стойност на граничната честота, което се дължи на увеличението на входния капацитет $(1 + |A_u|)$ пъти, поради ефекта на Милер. В разглеждания случай, обаче, поради ниското входно съпротивление на транзистора Q2, коефициентът на усилване в колектора на Q1 е $A_u \approx -g_{m1} / g_{m2} \approx -1$. Анализът на каскодната схема с динамичен товар, направен с прилагане на подхода от т. 4.3, води до следните приблизителни изрази за граничните честоти на стъпалото [4]:

$$(5-2) \quad f_1 \approx \frac{g_{i1}}{2\pi(C_{b'e1} + 2C_{b'c1})};$$

$$(5-3) \quad f_2 \approx \frac{g_{m2}}{2\pi C_{b'e2}};$$

$$(5-4) \quad f_3 \approx \frac{g_o}{2\pi(C_{b'c2} + C_o + C_L)} \approx \frac{g_o}{2\pi C_L}.$$

където с C_o е означен паразитният кондензатор между изхода и земя, дължащ се на задаващия източник на ток I.

Първата честота f_1 се определя от входната верига, втората честота f_2 - от паразитните капацитети и входното съпротивление $r_{e2} = 1/g_{m2}$ на стъпалото обща база (Q2), а третата честота f_3 - от изходната верига. Стойностите на тези честоти се намират в следното съотношение [4]

$$(5-5) \quad f_3 < f_1 \ll f_2.$$

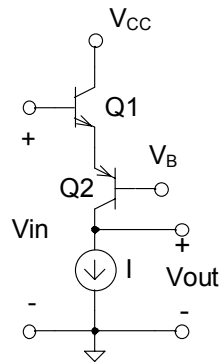
Следователно честотната лента на каскодния усилвател се определя от честотата f_3 , която надвишава честотата f_2 при обикновеното стъпало с динамичен товар (вж. ф-ла (4-29)).

Каскодна схема ОК-ОБ

Схемата (Фиг. 5-2) се характеризира с много високо входно съпротивление и широка честотна лента [5].

Като се вземе пред вид, че товарното съпротивление на стъпалото ОК е равно на входното съпротивление на стъпалото ОБ, за коефициента на усилване по напрежение се получава

$$(5-6) \quad A_u \approx \frac{g_{m2}}{2g_o}.$$



Фиг. 5-2: Каскодна схема ОК-ОБ.

Входното съпротивление на схемата може да се определи по формулата

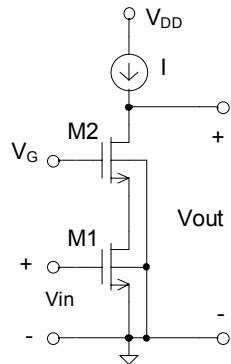
$$(5-7) \quad R_i \approx \beta(r_{e1} + r_{e2}) \approx 2\beta \frac{\Phi_T}{I},$$

а понеже $f_1 = \frac{g_i + g_s}{2\pi(0.5C_{b'e1} + C_{b'c1})} \gg f_3$, честотната лента е

$$(5-8) \quad f_{(-3dB)} \approx f_3 \approx \frac{g_o}{2\pi C_L}.$$

5.2. КАСКОДНИ СТЬПАЛА С MOS ТРАНЗИСТОРИ

Каскодна схема общ сорс - общ гейт



Фиг. 5-3:
Каскодна схема общ сорс - общ гейт
с CMOS транзистори.

Структурата на схемата е подобна на тази от Фиг. 5-1. Коэффициентът на усилване се определя от приблизителната формула

$$(5-9) \quad A_u \approx -\frac{g_{m1}}{g_o} \approx -\frac{\sqrt{2k'(W1/L1)I}}{\lambda I} = -\frac{\sqrt{2k'(W1/L1)}}{\lambda\sqrt{I}},$$

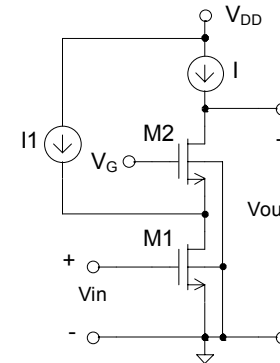
където g_{m1} е стръмността на транзистора M1, а g_o е изходната проводимост на генератора на ток. Ако $k'=100 \mu\text{A}/\text{V}^2$, $W1/L1=50$, $\lambda \approx 0.02$ и $I=100 \mu\text{A}$ за коэффициента на усилване се получава $A_u \approx 500$.

Честотната лента се определя по формулата

$$(5-10) \quad f_{(-3dB)} \approx \frac{g_o}{2\pi C_L}.$$

При оразмеряването на схемата трябва да се осигури работата на всички транзистори в режим на силна инверсия, в областта на насищане на изходните характеристики.

Каскодна схема общ сорс-общ гейт с повишено усилване

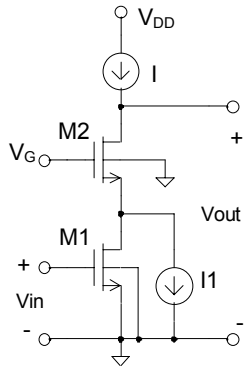


Фиг. 5-4:
Каскодна схема общ сорс - общ гейт с
повишено усилване.

Схемата от Фиг. 5-4 е вариант на стъпалото от Фиг. 5-3. С допълнителния източник I1 се повишава тока и следователно стръмността g_{m1} на транзистора M1, без да се променя изходното съпротивление $1/g_o$. В резултат, коэффициента на усилване нараства [8], но също се увеличават консумацията и площта на схемата.

Каскодна схема общ сорс-общ гейт с понижено на усилване

При тази схема (Фиг. 5-5), с допълнителния източник I1, част от тока на стъпалото се отнема от транзистора M1. В резултат, стръмността g_{m1} на транзистора M1 намалява, което води и до намаление на коэффициента на усилване на схемата.



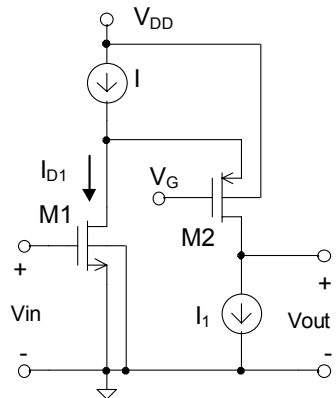
Фиг. 5-5:
Каскодна схема общ сорс - общ гейт
с понижено усилване.

Прегънат каскод

В разгледаните до тук конфигурации, получаваният променлив ток е общ за всички транзистори и тече между положителното хранващо напрежение и земя. В схемата от Фиг. 5-6 променливият ток тече през двата транзистора без да преминава през положителното хранващо напрежение. Променливата съставка на тока през транзистора M1 е еднаква, но противоположна на променливата съставка на тока през транзистора M2. Схемата е подходяща за използване във вериги с ниско хранващо напрежение. При оразмеряването ѝ е необходимо да се осигури изпълнението на условието

$$(5-11) \quad I = I_1 + I_{D1}$$

където I_{D1} е тока през транзистора M1.

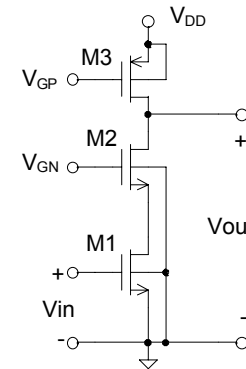


Фиг. 5-6:
Прегънат каскод с CMOS транзистори.

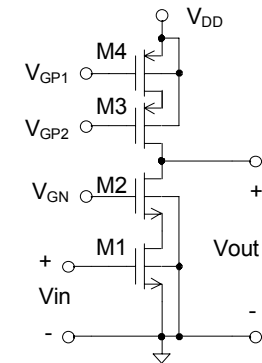
Каскод с активен товар

Една от възможните реализации на схемата от Фиг. 5-3 е показана на Фиг. 5-7. В нея, задаващият източник на ток е изпълнен с p-MOS транзистора M3. Коефициентът на усилване по напрежение на схемата се дава с израза (5-1), в който изходната проводимост на задаващия източник g_o се замества с g_{o3} (изходната проводимост на M3), т. е.

$$(5-12) \quad A_u = -\frac{g_{m1}}{g_{o3}}$$



Фиг. 5-7: CMOS каскод с активен товар.



Фиг. 5-8: CMOS симетричен каскод.

Симетричен каскод

Възможност за повишаване на изходното съпротивление и съответно коефициента на усилване на схемата е използването на каскоден активен товар, чието изходно съпротивление е значително по-голямо от това на M3 от Фиг. 5-7. В резултат се получава

$$(5-13) \quad A_u \approx -\frac{g_{m1}g_{m2}}{2g_{o1}g_{o2}}$$

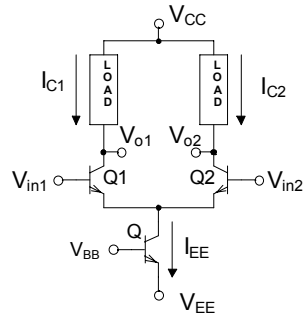
Поради нарастването на изходното съпротивление, увеличението на коефициента на усилване се съпътства с намаление на честотната лента [8]

$$(5-14) \quad f_{(-3dB)} \approx \frac{g_{o1}g_{o2}}{\pi g_{m2}C_L}$$

Всички разгледани варианти на CMOS каскодите (Фиг. 5-4 ÷ Фиг. 5-8) могат да се реализират и с биполарни транзистори. Основните анализи при тях ще бъдат аналогични на представените за CMOS стъпалата.

6. ДИФЕРЕНЦИАЛНИ УСИЛВАТЕЛИ

6.1. ДИФЕРЕНЦИАЛНИ УСИЛВАТЕЛИ С БИПОЛЯРНИ ТРАНЗИСТОРИ



Фиг. 6-1:
Обобщена схема на диференциален усилвател с биполярни транзистори.

Обобщената схема на диференциалния усилвател с биполярни транзистори е показана на Фиг. 6-1. Q1 и Q2 са двойка еднакви транзистори, на чиито бази се подава входното диференциално напрежение. С транзистора Q е реализиран генератор на ток I_{EE} . Между колекторите и захранващото напрежение V_{CC} са свързани два еднакви товара LOAD. Обикновено, в интегрално изпълнение, тези товари са активни. При условие, че транзисторите в схемата работят в нормален активен режим и ако се пренебрегне ефекта на Ерли, за поведението на усилвателя при голям входен сигнал са в сила равенствата

$$(6-1) \quad V_{id} = V_{in1} - V_{in2} \approx \varphi_T \ln \left(\frac{I_{C1}}{I_{C2}} \right)$$

$$(6-2) \quad I_{EE} = I_{C1} + I_{C2}.$$

След решаването на системата спрямо I_{C1} и I_{C2} се получава:

$$(6-3) \quad I_{C1} = \frac{I_{EE}}{1 + \exp(-V_{id}/\varphi_T)},$$

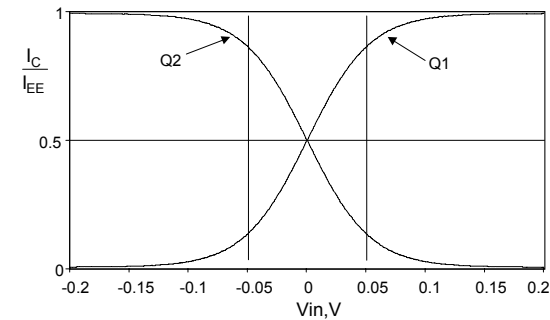
$$(6-4) \quad I_{C2} = \frac{I_{EE}}{1 + \exp(V_{id}/\varphi_T)}.$$

Анализът на (6-3) и (6-4) показва, че I_{C1} и I_{C2} са независими от синфазните сигнали и характеристиките на товара. На Фиг. 6-2 е показана графиката на нормализираните колекторни токове във функция от V_{id} . Об-

ластта на линейност е за стойности $|V_{id}| \leq 2\varphi_T$, т.е. под $\pm 50\text{mV}$. При $|V_{id}| \geq 2\varphi_T$ транзисторите Q1 и Q2 работят като ненаситени токови ключове.

Като се има пред вид, че схемата е симетрична спрямо входа и изхода, за стръмността g_m на всяко от рамената ѝ се получава

$$(6-5) \quad g_m \approx \frac{I_{C1}}{\varphi_T} \approx \frac{I_{C2}}{\varphi_T} = \frac{I_{EE}}{2\varphi_T}.$$



Фиг. 6-2:
Нормализирани колекторни токове във функция от V_{id} .

На Фиг. 6-3 е показана практическа схема на диференциален усилвател със симетричен изход. С резистора R и транзисторите Q6 и Q7 се генерира задаващия ток, който чрез простите токови огледала Q7-Q3-Q4 и Q6-Q5 осигурява постояннотоковия режим на усилвателя.

Коефициентът на усилване по напрежение за диференциалните сигнали е

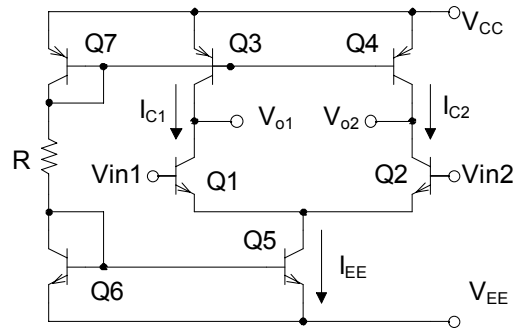
$$(6-6) \quad A_{ud} = \frac{u_{o1} - u_{o2}}{u_{id}} \approx - \frac{\left(\frac{g_{m1}}{g_{o1} + g_{o3}} + \frac{g_{m2}}{g_{o2} + g_{o4}} \right) \cdot u_{id}}{u_{id}}.$$

Като се вземе пред вид симетрията на схемата

$$(6-7) \quad A_{ud} \approx - \frac{g_{m1}}{g_{o1} + g_{o3}} \approx - \frac{g_{m2}}{g_{o2} + g_{o4}}.$$

След заместване с (1-16) и (1-17) и преобразуване, окончателно се получава

$$(6-8) \quad A_{ud} \approx - \frac{(I_{EE}/2\varphi_T)}{(I_{EE}/2V_{AF1}) + (I_{EE}/2V_{AF3})} = - \frac{(1/\varphi_T)}{(1/V_{AF1}) + (1/V_{AF3})}.$$



Фиг. 6-3:
ДУ със симетричен изход
и активен товар.

Коефициентът на усилване на синфазния сигнал при несиметричен изход е [4]

$$(6-9) \quad A_{ucm} \approx -\frac{g_{m1}r_{o3}}{1+2g_{m1}r_{o5}} \approx -\frac{r_{o3}}{2r_{o5}} = -\frac{g_{o5}}{2g_{o3}} \approx -\frac{I_{EE}}{2\frac{I_{EE}}{2V_{AF3}}} = -\frac{V_{AF3}}{V_{AF5}},$$

а коефициентът на усилване на синфазния сигнал на идеалния усилвател, при симетричен изход, е равен на нула.

Въз основа на резултатите в [23] за входните съпротивления за диференциалните и синфазните сигнали се получава

$$(6-10) \quad R_{id} \approx 2r_{i1} \approx 2\beta r_{e1} \approx \frac{2\beta}{g_{m1}} \approx \frac{2\beta\varphi_T}{I_{EE}} = \frac{4\beta\varphi_T}{I_{EE}},$$

$$(6-11) \quad R_{icm} \approx \beta(r_{e1} + 2r_{o5}) \approx \beta\left(2\frac{\varphi_T}{I_{EE}} + 2\frac{V_{AF5}}{I_{EE}}\right) \approx 2\beta\frac{V_{AF5}}{I_{EE}}.$$

Изходното съпротивление на усилвателя за диференциални сигнали се определя с формулата

$$(6-12) \quad R_{od} \approx \frac{1}{g_{o1} + g_{o3}} + \frac{1}{g_{o2} + g_{o4}} \approx \frac{2}{g_{o2} + g_{o4}} = \frac{4}{\frac{I_{EE}}{V_{AF2}} + \frac{I_{EE}}{V_{AF4}}},$$

а за синфазните -

$$(6-13) \quad R_{ocm} \approx r_{o4} = \frac{1}{g_{o4}} = 2\frac{V_{AF4}}{I_{EE}}.$$

Коефициентът на дискриминация K_F е

$$(6-14) \quad K_F = \frac{A_{ud}}{A_{ucm}} = \frac{g_{m1}}{g_{o1} + g_{o3}} \approx \frac{2g_{m1}g_{o3}}{(g_{o1} + g_{o3})g_{o5}} \approx \frac{2g_{m1}r_{o5}}{1 + \frac{g_{o1}}{g_{o3}}} \approx \frac{V_{AF5}}{1 + \frac{V_{AF3}}{V_{AF1}}}.$$

Съгласно т. 4.3 честотната лента на усилвателя ще се определя с приблизителната формула

$$(6-15) \quad f_{(-3dB)} \approx \frac{g_{o1} + g_{o3}}{2\pi 2C_{out}} \approx \frac{\left(\frac{I_{EE}}{2V_{AF1}} + \frac{I_{EE}}{2V_{AF3}}\right)}{4\pi C_{out}} = \frac{I_{EE}}{8\pi C_{out}} \left(\frac{1}{V_{AF1}} + \frac{1}{V_{AF3}}\right),$$

а за честотата на единично усилване се получава

$$(6-16) \quad f_T = |A_{ud}|f_{(-3dB)} = \frac{g_{m1}}{g_{o1} + g_{o3}} \frac{g_{o1} + g_{o3}}{2\pi 2C_{out}} = \frac{g_{m1}}{4\pi C_{out}} = \frac{I_{EE}}{8\pi\varphi_T C_{out}},$$

където C_{out} е капацитета между двата изхода, равен на сумата от паразитните и товарния капацитети на схемата.

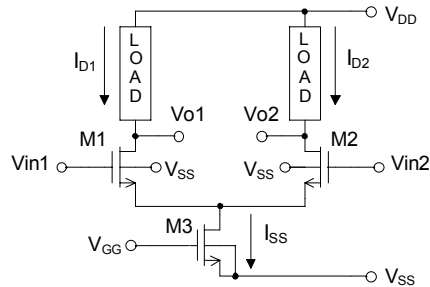
Анализът на получените зависимости показва, че основните параметри на разгледания диференциален усилвател зависят от параметрите на технологичния процес (V_{AFN} , V_{AFP} , φ_T и β), избрания режимен ток I_{EE} и еквивалентния изходен капацитет C_{out} . Това означава, че параметрите, които зависят само от технологичния процес (A_{ud} , A_{ucm} и K_F) имат фиксирани стойности на празен ход, които не могат да се задават от проектанта. Обикновено товарният капацитет C_L се дава в заданието и е много по-голям от паразитните капацитети на схемата така, че $C_{out} \approx C_L$, а токът I_{EE} се определя във връзка с желаната честотна лента или параметъра GBW . Последният се дефинира като произведение от стойностите на честотната лента $f_{(-3dB)}$ и коефициента на усилване по напрежение при ниски честоти A_{ud} . При оразмеряването на схемата трябва да се имат пред вид и изискванията за работата на транзисторите в нормален активен режим.

В Табл. 6-1 са показани резултатите от определянето на параметрите на схемата при ток $I_{EE}=100 \mu A$, напрежение на Ерли за $n-p-n$ транзисторите - $V_{AFN}=100 V$, напрежение на Ерли за $p-n-p$ транзисторите - $V_{AFP}=50 V$, $\beta=100$, $C_L=10 pF$. В скоби са показани номерата на уравненията, по които е извършено изчислението. Резултатите са потвърдени с PSpice симулации.

Таблица 6-1

Параметър на схемата	Фактори влияещи върху параметъра	Уравнение	Стойност
A_{ud}	$V_{AFN}, V_{AFP}, \varphi_T$	(6-8)	1292
A_{ucm}	V_{AFN}, V_{AFP}	(6-9)	0.5
R_{id}	β, φ_T, I_{EE}	(6-10)	100 k Ω
R_{icm}	V_{AFN}, β, I_{EE}	(6-11)	200 M Ω
R_{od}	V_{AFN}, V_{AFP}, I_{EE}	(6-12)	1.33 M Ω
R_{ocm}	V_{AFP}, I_{EE}	(6-13)	1 M Ω
K_F	$V_{AFN}, V_{AFP}, \varphi_T$	(6-14)	68 dB
$f_{(-3dB)}$	$V_{AFN}, V_{AFP}, I_{EE}, C_{out}$	(6-15)	12 kHz
f_T	$\varphi_T, I_{EE}, C_{out}$	(6-16)	15.5 MHz

6.2. ДИФЕРЕНЦИАЛНИ УСИЛВАТЕЛИ С MOS ТРАНЗИСТОРИ



Фиг. 6-4: Обобщена схема на диференциален усилвател с MOS транзистори.

Обобщената схема на диференциален усилвател с MOS транзистори е показана на Фиг. 6-4. M1 и M2 са двойка транзистори, с еднаква геометрия ($W_1 = W_2 = W$ и $L_1 = L_2 = L$). Между гейтовете им се подава входното диференциално напрежение. С транзистора M3 е реализиран генератора на ток I_{SS} . Между дрейновете на M1 и M2 и захранващото напрежение V_{DD} са свързани два еднакви товара. Обикновено, в интегрално изпълнение, тези товари са активни. При условие, че транзисторите в схемата работят в режим на силна инверсия и в областта на насищане на изходните характеристики, ако се пренебрегне ефекта на модулация на дължината на канала и ако се приеме, че праговите напрежения на транзисторите са еднакви ($V_{T1} = V_{T2}$), за описание на работата на схемата при голям диференциален входен сигнал може да се използва системата от две уравнения

$$(6-17) \quad I_{SS} = I_{D1} + I_{D2},$$

$$(6-18) \quad V_{id} = V_{in1} - V_{in2} = V_{GS1} - V_{GS2} \approx \sqrt{\frac{2I_{D1}}{k'(W/L)}} - \sqrt{\frac{2I_{D2}}{k'(W/L)}}.$$

След решаването ѝ спрямо I_{D1} и I_{D2} се получава [4]

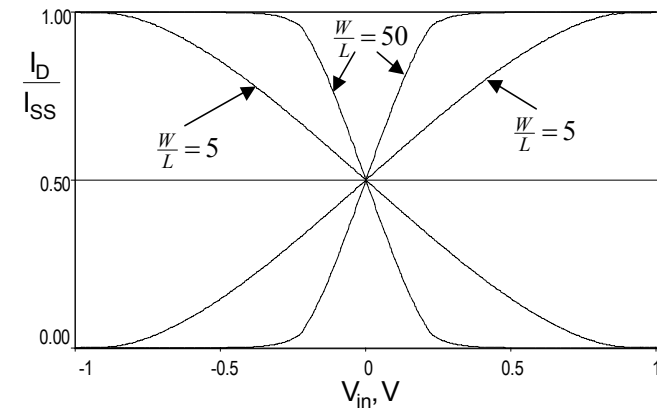
$$(6-19) \quad I_{D1} = \frac{I_{SS}}{2} + \frac{I_{SS}}{2} \sqrt{\frac{k'(W/L)}{I_{SS}} V_{id}^2 - \frac{(k'(W/L))^2}{4I_{SS}^2} V_{id}^4},$$

$$(6-20) \quad I_{D2} = \frac{I_{SS}}{2} - \frac{I_{SS}}{2} \sqrt{\frac{k'(W/L)}{I_{SS}} V_{id}^2 - \frac{(k'(W/L))^2}{4I_{SS}^2} V_{id}^4}.$$

Получените зависимости са в сила само при условие, че

$$(6-21) \quad |V_{ID}| \leq \sqrt{\frac{2I_{SS}}{k'(W/L)}}$$

Като се вземат пред вид характеристиките на активния товар, с помощта на (6-19), (6-20) и (6-21) могат да се определят предавателните характеристики на усилвателя при големи входни сигнали.



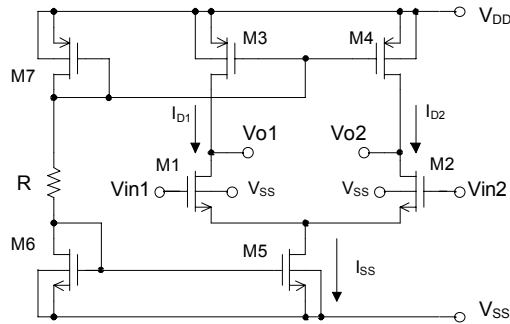
Фиг. 6-5: Характеристики на ДУ с MOS транзистори при голям входен сигнал.

На Фиг. 6-5 са показани характеристиките на нормализираните спрямо I_{SS} дрейнови токове за две отношения на размерите на транзисторите. Вижда се, че при MOS диференциалните усилватели линейната област на предавателните характеристики зависи от отношенията на размерите на транзисторите.

Стръмността G_m на схемата е равна на стръмността на всяко от рамената ѝ

$$(6-22) \quad G_m = g_{m1} = g_{m2} \approx \sqrt{2k' \frac{W}{L} I_D} = \sqrt{k' \frac{W}{L} I_{SS}}.$$

На Фиг. 6-6 е показана практическа схема на CMOS диференциален усилвател със симетричен изход. С резистора R и транзисторите M6 и M7 се генерира задаващия ток, който чрез простите токови огледала M7-M3-M4 и M6-M5 осигурява постоянноотоковия режим на усилвателя.



Фиг. 6-6:
CMOS ДУ със симетричен изход.

С помощта на (6-6) и (6-7), за коефициента на усилване по напрежение при диференциален входен сигнал се получава

$$(6-23) \quad A_{ud} \approx - \frac{\sqrt{k' \frac{W1}{L1} I_{SS}}}{\frac{\lambda_1 I_{SS}}{2} + \frac{\lambda_3 I_{SS}}{2}} = - \frac{2\sqrt{k' \frac{W1}{L1}}}{(\lambda_1 + \lambda_3)\sqrt{I_{SS}}}.$$

Коефициентът на усилване на синфазните сигнали е

$$(6-24) \quad A_{ucm} \approx - \frac{r_{o3}}{2r_{o5}} = - \frac{g_{o5}}{2g_{o3}} \approx - \frac{\lambda_5 I_{SS}}{2\lambda_3 (I_{SS}/2)} = - \frac{\lambda_5}{\lambda_3}.$$

Изходното съпротивление за диференциални сигнали е

$$(6-25) \quad R_{od} \approx \frac{1}{g_{o1} + g_{o3}} + \frac{1}{g_{o2} + g_{o4}} \approx \frac{2}{g_{o1} + g_{o3}} = \frac{4}{(\lambda_1 + \lambda_3) I_{SS}},$$

а за синфазни -

$$(6-26) \quad R_{ocm} \approx r_{o4} = \frac{1}{g_{o4}} = \frac{2}{\lambda_4 I_{SS}}.$$

За K_F се получава

$$(6-27) \quad K_F = \frac{|A_{ud}|}{|A_{ucm}|} = \frac{\frac{g_{m1}}{g_{o1} + g_{o3}}}{\frac{g_{o5}}{2g_{o3}}} \approx \frac{2g_{m1}g_{o3}}{(g_{o1} + g_{o3})g_{o5}} \approx \frac{2g_{m1}r_{o5}}{1 + \frac{g_{o1}}{g_{o3}}} \approx \frac{2\sqrt{k'(W1/L1)}}{\lambda_5 \sqrt{I_{SS}} \left(1 + \frac{\lambda_1}{\lambda_3}\right)}.$$

Честотната лента на усилвателя се определя с приблизителната формула

$$(6-28) \quad f_{(-3dB)} \approx \frac{g_{o1} + g_{o3}}{2\pi 2C_{out}} \approx \frac{(\lambda_1 + \lambda_3) I_{SS}}{8\pi C_{out}},$$

а честотата на единично усилване е

$$(6-29) \quad f_T = |A_{ud}| f_{(-3dB)} = \frac{g_{m1}}{g_{o1} + g_{o3}} \frac{g_{o1} + g_{o3}}{2\pi 2C_{out}} = \frac{g_{m1}}{4\pi C_{out}} = \frac{\sqrt{k' \frac{W1}{L1} I_{SS}}}{4\pi C_{out}},$$

където C_{out} е изходния кондензатор, равен на сумата от паразитните и товарния кондензатор на схемата.

Анализът на получените зависимости показва, че, както при биполарните схеми, основните параметри на MOS ДУ зависят от параметрите на технологичния процес (λ_N , λ_P , k'_N , k'_P), избрания постоянноотоков режим и товарния кондензатор C_{out} . Допълнителен фактор е отношението на размерите W/L на входната диференциална двойка. Това отношение, както и размерите на останалите транзистори в схемата, най-често се определят във връзка с осигуряване на постоянноотоковия режим - работа на транзисторите в силна инверсия, в областта на насищане на изходните характеристики. Обикновено изходният кондензатор C_{out} е приблизително равен на товарния C_L , а токът I_{SS} се определя във връзка с желаната честотна лента или площ на усилването.

В Табл. 6-2 са показани стойностите на параметрите на схемата при ток $I_{SS} = 100 \mu A$, $\lambda_N = 0.01 V^{-1}$, $\lambda_P = 0.03 V^{-1}$, $k'_N = 100 \mu A/V^2$, $k'_P = 40 \mu A/V^2$, $W1/L1 = 1$ и $C_{out} = 1 pF$. В скоби са дадени номерата на уравнението, по което е направено съответното изчисление. Получените резултати са потвърдени с PSpice симулации.

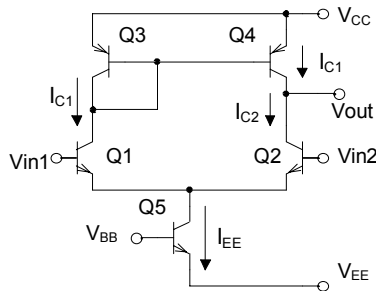
Таблица 6-2

Параметър на схемата	Аргументи при определянето на параметъра	Зависимост	Стойност
A_{ud}	$\lambda_N, \lambda_P, k'_N, I_{SS}, W1/L1$	(6-23)	50
A_{ucm}	λ_N, λ_P	(6-24)	0.333
R_{od}	$\lambda_N, \lambda_P, I_{SS}$	(6-25)	1 MΩ
R_{ocm}	λ_P, I_{SS}	(6-26)	660 kΩ
K_F	$\lambda_N, \lambda_P, k'_N, I_{SS}, W1/L1$	(6-27)	44 dB
$f_{(-3dB)}$	$\lambda_N, \lambda_P, I_{SS}, C_{out}$	(6-28)	150 kHz
f_T	$k'_N, W1/L1, I_{SS}, C_{out}$	(6-29)	8.2 MHz

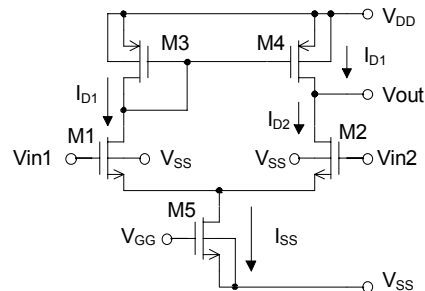
6.3. ВАРИАНТИ НА СХЕМАТА НА ДИФЕРЕНЦИАЛНИЯ УСИЛВАТЕЛ

6.3.1. ДУ с несиметричен изход и удвоено усилване

Недостатък на разгледаните практически схеми на диференциални усилватели с несиметричен изход е двукратното намаление на коефициента на усилване на диференциалния сигнал. За избягване на посочения недостатък се използват схемите с несиметричен изход и удвоено усилване показани на Фиг. 6-7 и Фиг. 6-8. Известни са още като схеми с управляем динамичен товар или фазосумиращи схеми. При тях токът върху товара се формира от разликата между токовете в двете рамена на схемите. Понеже променливотоковите съставки в двете рамена са противофазни, след изваждането, изходният ток е сумата от тях.



Фиг. 6-7: ДУ с несиметричен изход с биполарни транзистори.



Фиг. 6-8: CMOS ДУ с несиметричен изход.

При тези схеми, формулите за коефициентите на усилване, входните съпротивления и изходните съпротивления за синфазните сигнали са същите както при схемите със симетричен изход от Фиг. 6-3 и Фиг. 6-6. Из-

ходното съпротивление за диференциалните сигнали е равно на половината от съпротивлението определено с (6-12) и (6-25), а честотната лента е два пъти по-голяма. Недостатък на стъпалото е понижения коефициент на дискриминация, което се дължи на несиметрията в двете му рамена.

6.3.2. ДУ с понижено захранващо напрежение

Недостатък на разгледаните схеми на диференциални усилватели е ограничената стойност на минималния синфазен сигнали, при работа с ниски захранващи напрежения. Например, при схемата от Фиг. 6-3 минималната стойност на синфазното напрежение е

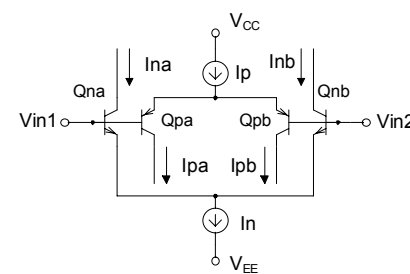
$$(6-30) \quad V_{CMIN} = V_{EE} + V_{CESAT5} + V_{BE1}.$$

Ако захранващите напрежения на схемата са $\pm 1.5V$, напрежението на насищане на транзистора Q5 е $V_{CESAT5} = 0.3V$ и напрежението върху отпушения преход база-емитер на Q1 е $V_{BE1} = 0.7V$, то за минималната стойност на синфазното напрежение на входа се получава $V_{CMIN} = -0.5V$.

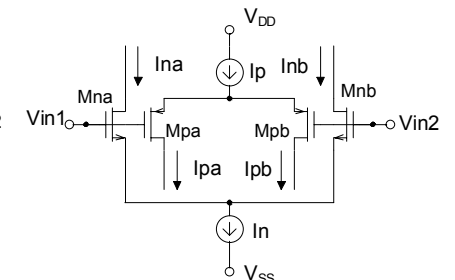
Подобен е проблема и при MOS схемите. За схемата от Фиг. 6-6 минималната стойност на синфазното напрежението е

$$(6-31) \quad V_{CMIN} = V_{SS} + V_{DSAT5} + V_{GS1} \approx V_{SS} + V_{DSAT5} + V_{eff} + V_{TO} + \frac{\sqrt{V_{DSAT5}}}{2}.$$

Ако захранващите напрежения на схемата са $\pm 1.5V$, минималното напрежение $V_{DSAT5} = 0.25V$, $V_{eff} = 0.1V$ и $V_{TO} = 0.8V$, то за V_{CMIN} се получава $V_{CMIN} = -0.1V$.



Фиг. 6-9: ДУ с понижено захранващо напрежение и биполарни транзистори.



Фиг. 6-10: CMOS ДУ с понижено захранващо напрежение.

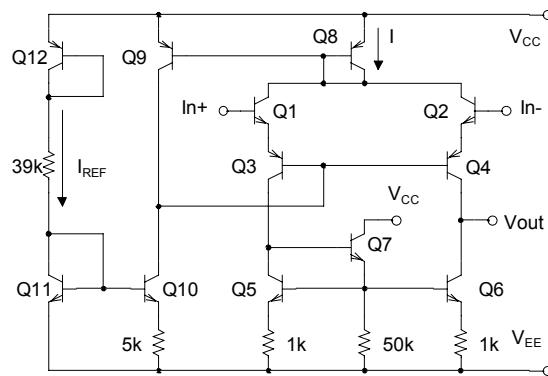
На Фиг. 6-9 [3] и Фиг. 6-10 [10] са показани две схеми за разширение на обхвата на входните синфазни сигнали на диференциалните усилватели. За целта се използват по две разнотипни диференциални двойки, при което едната от тях винаги е в работно състояние. За горния пример с биполарни

транзистори, *n-p-n* двойката ще работи при напрежения от $V_{C_{MIN}} = -0.5V$ до $V_{CC} = +1.5V$. Двойката *p-n-p* транзистори ще работи от $V_{EE} = -1.5V$ до $V_{C_{MAX}} = +0.5V$. В резултат, схемата ще бъде работоспособна в целия диапазон на захранващите напрежения ($-1.5V \div +1.5V$). По подобен начин *p-MOS* двойката ще работи в диапазона от $-0.1V$ до $+1.5V$, а *p-MOS* двойката - от $-1.5V$ до $+0.1V$. Следователно и тази схема ще бъде работоспособна в диапазона $-1.5V \div +1.5V$.

6.3.3. Варианти на ДУ с биполярни транзистори

Каскодно диференциално стъпало

На Фиг. 6-11 е показана схемата на каскодно диференциално стъпало, използвано като входно стъпало на операционния усилвател $\mu A 741$.



Фиг. 6-11:
Каскодно диференциално стъпало.

Входът на стъпалото е реализиран по схема ОК-ОБ (Q1-Q3, Q2-Q4) с динамичен товар (Q5, Q6). Това повишава входното съпротивление на стъпалото и осигурява високо изходно съпротивление. За удвояване на усиляването, при запазване на симетрията на двете рамена, се използва транзистора Q7. Чрез комбинацията от *n-p-n* (Q1, Q2) и *p-n-p* (Q3, Q4) транзисторите се осигурява автоматично отместване на постояннотоковото ниво в отрицателна посока. Постояннотоковият режим се задава с веригата Q12-Q11-39k. При захранващи напрежения $\pm 15V$ токът I_{REF} е около $730\mu A$. Този ток е задаващ за токовото огледало на Widlar (Q11-Q10-5k), на чийто изход се получава огледален ток $I_{Q10} \approx 19\mu A$. Чрез простото токово огледало Q9-Q8, се осъществява ООБ за синфазните сигнали, така че във всяко от рамената на схемата да протича ток по $9.5\mu A$. Стръмността на стъпалото по отношение на диференциалните входни сигнали е

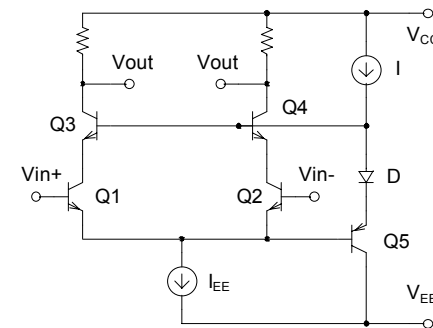
$$(6-32) \quad G_m = \frac{g_{m1}}{2} \approx 0.185 \mu A/V,$$

а изходното му съпротивление R_o е $6.8 M\Omega$.

Тези стойности осигуряват възможност за постигане на големи коефициенти на усиляване по напрежение. Например, при операционния усилвател $\mu A 741$, чието входно стъпало има подобна структура, при входно съпротивление на следващото стъпало $5.7 M\Omega$, за коефициента A_u се получава 574 [5].

Диференциални усилватели със супербета транзистори

На Фиг. 6-12 е показана схемата на диференциален усилвател със супербета транзистори. Поради малките входни токове схемата се характеризира с повишено входно съпротивление по променлив ток. Недостатък на супербета транзисторите Q1 и Q2 е тяхното ниско пробивно напрежение V_{CE} . Поради това, с помощта на следящата отрицателна обратна връзка (Q3, Q4, D и Q5), се осигурява постояннотоков режим, при който напрежението между колектора и емитера на Q1 и Q2 не надвишава $0.7V$. Транзисторите Q3 и Q4 са високоволтови. Заедно с входните транзистори Q1 и Q2 те изграждат каскоди ОЕ-ОБ, които са еквивалентни на транзистори с малък базов ток и нормално пробивно напрежение.

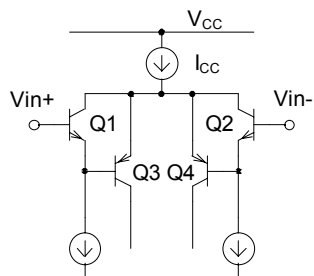


Фиг. 6-12:
Диференциален усилвател със супербета транзистори.

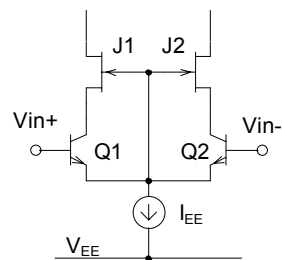
На Фиг. 6-13 и Фиг. 6-14 са показани два варианта на схеми за защита от пренапрежение на входните транзистори Q1 и Q2 [22].

В схемата с биполярни транзистори (Фиг. 6-13) входното стъпало е реализирано с помощта съставни транзистори (*p-n-p* и *n-p-n*). По този начин напрежението между колектора и емитера на супербета транзисторите Q1 и Q2, не надвишава напрежението на отпушения *p-n* преход на Q3 и Q4. В схемата на Фиг. 6-14 за регулиране на напрежението между колектора и

емитера на супербета транзисторите се използва полеви транзистор с p - n преход и n канал.

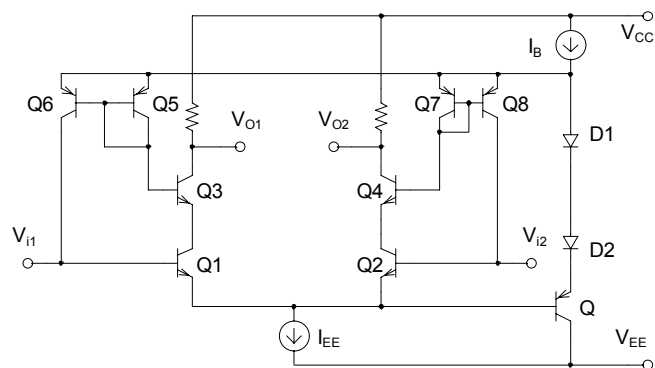


Фиг. 6-13: Защита на Q1 и Q2 с биполярни транзистори.



Фиг. 6-14: Защита на Q1 и Q2 с полеви транзистори.

ДУ с компенсация на входните токове



Фиг. 6-15: Диференциален усилвател с минимален входен ток.

Схемата на диференциален усилвател с компенсация на входните токове е показана на Фиг. 6.15. Транзисторът Q заедно с диодите D1 и D2 служат за осигуряване на постояннотокския режим. В резултат, потенциала в емитерите на Q6 и Q8 е с $3V_{BE}$ по-висок от потенциала в емитерите на Q1 и Q2. Диодите Q7 и Q5 са свързани в права посока и през тях текат базовите токове на Q3 и Q4, чиито бази са с $2V_{BE}$ по-положителни от емитерите на Q1 и Q2. По този начин напрежението между колектора и емитера на Q1 и Q2 е равно на $V_{BE} \approx 0.6-0.7V$. Чрез токовите огледала Q5-Q6 и Q7-Q8 базовите токове на Q3 и Q4 се подават към базите на Q1 и Q2 и компенсират част от входните им токове. В резултат, постоянните токове, консумирани от източниците на сигнал, намаляват 15-20 пъти.

7. ИЗХОДНИ СЪПАЛА НА ИНТЕГРАЛНИТЕ СХЕМИ

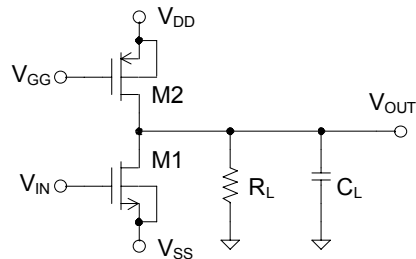
Изходните стъпала на аналоговите интегрални схеми осигуряват необходимия размах на изходното напрежение, ток или мощност върху външния товар. Изискванията към тях могат да бъдат разделени на статични и динамични [4]. Статичните изисквания са свързани с възможността изходното стъпало да осигурява размах на напрежението близък до стойността на захранващите източници при зададен товарен резистор. Това означава, че стъпалото трябва да притежава ниско изходно съпротивление. Динамичните изисквания са свързани със способността на схемата да зарежда и разрежда товарния кондензатор до стойностите на захранващите напрежения. Това изискване е свързано главно с параметъра скорост на нарастване на изходния сигнал. За изпълнението му е необходимо да се осигури голям изходен ток, без да се поставя императивно изискването за ниско изходно съпротивление. При големите интегрални схеми това е най-често срещаният се случай.

Съществуват два основни подхода за реализация на изходните стъпала - чрез схеми с високо изходно съпротивление и чрез схеми с ниско изходно съпротивление.

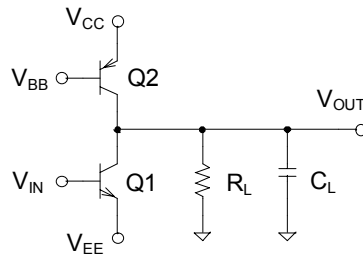
7.1. ИЗХОДНИ СЪПАЛА С ВИСОКО ИЗХОДНО СЪПРОТИВЛЕНИЕ

Изходни стъпала клас А с високо изходно съпротивление

На Фиг.7-1 и Фиг.7-2 са показани две основни схеми на изходни стъпала клас А с динамичен товар.



Фиг. 7-1: CMOS изходно стъпало клас А с високо изходно съпротивление.



Фиг. 7-2: Изходно стъпало клас А с високо изходно съпротивление с БТ.

В гл. 4 беше разгледано подробно поведението на представените схеми по отношение на малките входни сигнали. За оценка на работата им като изходни стъпала на интегралните схеми е необходимо те да бъдат анализирани при голям входен сигнал. Целта е да се получат изрази за

максималната амплитуда на изхода и за зависимостта на скоростта на нарастване на изходния сигнал от стойностите на елементите на схемите.

В схемата на CMOS стъпалото от Фиг. 7-1 транзисторът M2 е динамичен товар, който работи в областта на насищане на изходните характеристики. Тогава максимално възможната стойност на изходния сигнал V_{OUT}^+ ще се определя от условието (1-34)

$$(7-1) \quad |V_{OUT}^+ - V_{DD}| = |V_{DS2}| \geq |V_{GS2} - V_{T2}| = |V_{eff2}|.$$

След преобразуване на (7-1) се получава

$$(7-2) \quad V_{OUT}^+ \leq V_{DD} - |V_{eff2}|.$$

Понеже в този случай транзисторът M1 е на границата на запусване, токът през M2 ще тече изцяло през товара и

$$(7-3) \quad I_{OUT}^+ = \frac{V_{OUT}^+}{R_L} = \frac{K_P'}{2} \frac{W2}{L2} (V_{eff2})^2.$$

Анализът на (7-2) и (7-3) показва, че стойността на максималното напрежение на изхода е функция на товара R_L , размерите на транзистора $W2/L2$ и големината на ефективното напрежение V_{eff2} . Колкото понискоомно е товарното съпротивление и колкото желаната стойност на изходното напрежение е по-близко до захранващото напрежение V_{DD} , толкова по-голяма е стойността на отношението $W2/L2$. Изследването на областта на възможните решения на тези две уравнения води до извода, че стойности на V_{OUT}^+ , близки до захранващото напрежение, могат да се постигнат само при високи стойности на товара R_L . Например, ако $V_{DD} = +3V$, $W2/L2 = 100$, $K_P' = 40 \mu A/V^2$ и $V_{eff} = -0.35 V$ при $R_L = 10 k\Omega$ се изчислява $V_{OUT}^+ \leq 2.65 V$ и $I_{OUT}^+ = 265 \mu A$, а при $R_L = 1 k\Omega$ - $V_{OUT}^+ \leq 250 mV$.

Минималната стойност на изходното напрежение V_{OUT}^- се получава при работа на транзистора M1 в линейната област на изходните характеристики, при което

$$(7-4) \quad V_{DS1} \leq V_{IN} - V_{TN},$$

$$(7-5) \quad V_{OUT}^- = V_{SS} + V_{DS1}.$$

Токът през M1 I_{D1} ще бъде равен на сумата от тока през товара I_{OUT}^- и тока през транзистора M2 (той всъщност е I_{OUT}^+ от ф-ла (7-3)), т.е.

$$(7-6) \quad I_{D1} = k'_n \frac{W1}{L1} \left(V_{GS1} - V_{TN} - \frac{V_{DS1}}{2} \right) V_{DS1} = I_{OUT}^+ + I_{OUT}^-,$$

където

$$(7-7) \quad I_{OUT}^- = \frac{|V_{OUT}^-|}{R_L}.$$

Обикновено, за да се получи минимално възможната стойност на напрежението на изхода, на входа V_{IN} се подава напрежение близко до положителното захранване, т.е.

$$(7-8) \quad V_{IN} \approx V_{DD}.$$

Тогава

$$(7-9) \quad V_{GS1} = V_{IN} - V_{SS} = V_{DD} - V_{SS} \gg V_{DS1}$$

и следователно

$$(7-10) \quad \begin{aligned} I_{D1} &= k'_n \frac{W1}{L1} \left(V_{GS1} - V_{TN} - \frac{V_{DS1}}{2} \right) V_{DS1} \approx \\ &\approx k'_n \frac{W1}{L1} (V_{DD} - V_{SS} - V_{TN}) (V_{OUT}^- - V_{SS}) \end{aligned}$$

След заместване на (7-3) и (7-7) в (7-6) се получава

$$(7-11) \quad I_{D1} = \frac{k'_P}{2} \frac{W2}{L2} (V_{eff})^2 + \frac{|V_{OUT}^-|}{R_L}.$$

Формули (7-10) и (7-11) дават връзката между размерите $W1/L1$ на транзистора M1, големината на товарното съпротивление R_L и минималното напрежение на изхода V_{OUT}^- . За горния пример, при $V_{SS} = -3V$, $k'_n = 100 \mu A/V^2$, $V_{TN} = +1V$, $W1/L1 = 4.5$ и $RL = 10k\Omega$, се получава $V_{OUT}^- \leq -2.74V$. При $RL = 1k\Omega$ се получава $V_{OUT}^- \leq -1.9V$.

Динамичните условия за работата на схемата са свързани с изискванията за достигане на зададена скоростта на нарастване SR на изходния сигнал. За удовлетворяването им е необходимо да се изпълни условието

$$(7-12) \quad |I_{OUT}| \geq C_L S_R = C_L \left| \frac{dV_{OUT}}{dt} \right|.$$

От него се определят стойностите на I_{OUT}^+ и I_{OUT}^- . По-нататък размерите на транзисторите M1 и M2 се определят с помощта на (7-3) и (7-11).

Особеност на схемата е, че при нея обикновено скоростта на нарастване SR^+ е значително по-малка от скоростта на спадане SR^- . Дължи се на факта, че през по-голяма част от времето на разреждане на кондензатора от V_{DD} до V_{SS} , транзисторът M1 работи в областта на насищане на изходните характеристики, което обуславя много по-големи токове от изчислените по ф-ла (7-10). Затова, в този случай, е по-подходящо, за тока през M1 да се използва формула (1-35). За горния пример, при $C_L = 50 pF$, чрез изчисление се получава $SR^+ = 5.2 V/\mu s$ и $SR^- = 112 V/\mu s$, а чрез симулация - $SR^+ = 6 V/\mu s$ и $SR^- = 88 V/\mu s$.

Подобно е действието и на схемата с биполярни транзистори от Фиг. 7-2. При нея максималната и минималната стойност на изходното напрежение се определят от условията за работата на транзисторите Q1 и Q2 в нормален активен режим. Основните уравнения са [4]:

$$(7-13) \quad V_{OUT}^+ \leq V_{CC} - |V_{CE2SAT}| \approx V_{CC} - 0.2V,$$

$$(7-14) \quad I_{OUT}^+ = \frac{V_{OUT}^+}{R_L} = I_{S2} \exp \left[\frac{V_{CC} - V_{BB}}{\varphi_T} \right],$$

$$(7-15) \quad V_{OUT}^- \geq V_{EE} + V_{CE1SAT} \approx V_{EE} + 0.2V,$$

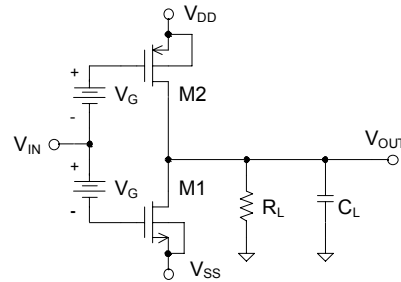
$$(7-16) \quad I_{OUT}^- = I_{C1} - I_{OUT}^+ = \left[\frac{V_{IN} - V_{EE} - V_{BE1}}{R_{IN}} \right] \beta_1 - I_{S2} \exp \left[\frac{V_{CC} - V_{BB}}{\varphi_T} \right].$$

В разглежданата схема токът през Q2 (съответно напрежението в базата му V_{BB}) се задават най-често с токово огледало, а R_{IN} е еквивалентното изходно съпротивление в източника на входен сигнал V_{IN} .

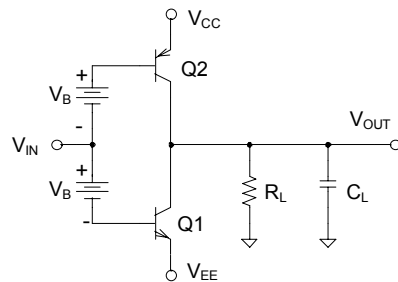
Двухактни (противоактни) изходни стъпала с високо изходно съпротивление

Недостатък на разглежданите схеми, работещи в клас А, е малкият им коефициент на полезно действие (под 25%). Затова по-широко приложение са получили, т. нар. двухактни изходни стъпала (Фиг. 7-3 и Фиг. 7-4), работещи в клас АВ или В. При тези схеми, транзисторите M1 и M2 (Q1 и Q2) са свързани по схема общ сорс (общ емитер), което определя голямото им изходно съпротивление. В работно състояние е отпушен само един от транзисторите, което облекчава изискванията към размерите им. Предимство на CMOS схемата е възможността транзистора M2 да работи в линейната област, което повишава максималната стойност на напрежението на

изхода V_{OUT}^+ . Анализът на схемите може да се извърши както в предишния случай.

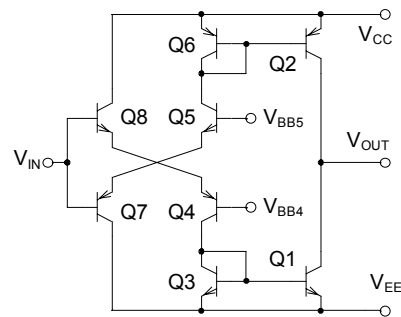


Фиг. 7-3: Двухактно изходно стъпало с CMOS транзистори.

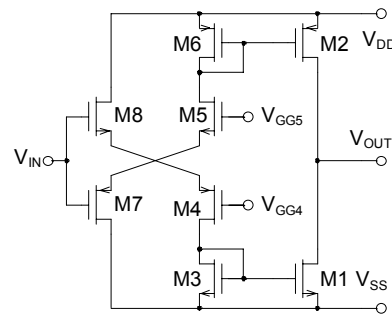


Фиг. 7-4: Двухактно изходно стъпало с биполарни транзистори.

На Фиг. 7-5 и Фиг. 7-6 са показани практически схеми на двухактни изходни стъпала. За да се облекчи изчертаването и възприемането на схемата от Фиг. 7-6 са използвани опростени символни означения на MOS транзисторите, в които не са включени подложките им. Такива опростени означения се използват много често в научната и учебна литература. В този случай, ако изрично не е оказано друго, се приема, че подложките на n-MOS транзисторите са включени към най-отрицателния потенциал, а подложките на p-MOS транзисторите - към най-положителния.



Фиг. 7-5: Практическа схема на прототовактно стъпало с биполарни транзистори.



Фиг. 7-6: Практическа схема на CMOS противотактно стъпало.

Схемите работят в клас АВ или В в зависимост от стойностите на напреженията V_{GG4} и V_{GG5} (V_{BB4} и V_{BB5}). Когато входното напрежение е положително, токът през M8 (Q8) нараства, а токът през M7 (Q7) намалява и ако схемата работи в клас В, M7 (Q7) се запушва. Увеличението на тока през M8 (Q8) се предава през токовото огледало към M1 (Q1). Когато V_{IN}

намалява започва да работи долната половина на схемата и транзисторът M2 (Q2) става активен.

Честотните характеристики на разгледаните усилватели се определят от еквивалентното съпротивление и паралелния кондензатор на изхода.

$$(7-17) \quad f_{(-3dB)} = \frac{G_o + G_L}{2\pi(C_{out} + C_L)},$$

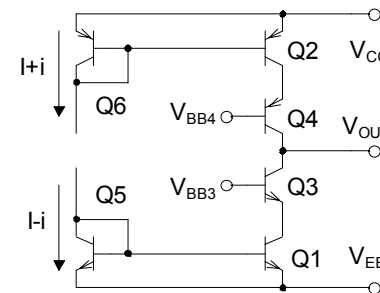
В случаите когато към стъпалото е включен външен товарен резистор, неговото съпротивление $R_L = 1/G_L$ е много по-малко от изходното съпротивление $R_o = \frac{1}{G_o} = \frac{1}{g_{o1} + g_{o2}}$ на паралелно свързаните M1 и M2 (Q1 и Q2), а товарният кондензатор C_L е много по-голям от паразитните кондензатори C_{out} в изхода на схемата. Тогава изразът за честотната лента може да се опрости

$$(7-18) \quad f_{(-3dB)} \approx \frac{1}{2\pi R_L C_L}.$$

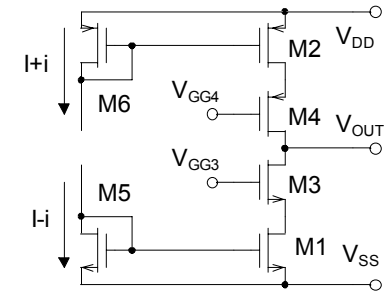
Когато изходното стъпало е елемент от вътрешната структура на интегрална схема, товарното съпротивление на следващото стъпало (особено при MOS схемите) е много голямо. Тогава уравнение (7-17) се модифицира

$$(7-19) \quad f_{(-3dB)} = \frac{G_o}{2\pi(C_{out} + C_L)}.$$

На Фиг. 7-7 и Фиг. 7-8 са показани каскодни схеми на изходни стъпала.



Фиг. 7-7: Касодно изходно стъпало с биполарни транзистори.



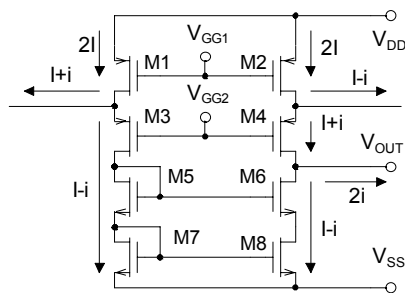
Фиг. 7-8: Касодно изходно стъпало с CMOS транзистори.

При тях, в резултат от добавянето на допълнителните транзистори Q3 и Q4 (M3 и M4), се получава многократно нарастване на изходното

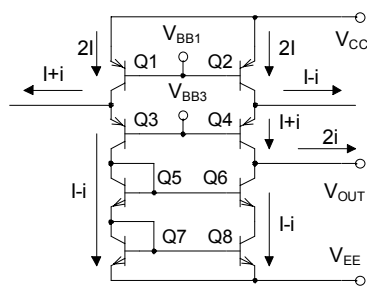
съпротивление (вж. Фиг. 2-4 и Фиг. 2-14), а от там и усилването по напрежение. Стъпалата са с диференциален вход, с ниско входно съпротивление ($\approx 1/g_m$), което позволява включването и управлението им по ток от изходите на преходен диференциален усилвател. Чрез простите токови огледала Q6-Q2 и Q5-Q1 (M6-M2 и M5-M1) токовете $I+i$ и $I-i$ се прехвърлят в изхода на стъпалото с мащабен коефициент n . В резултат, за изходния ток на стъпалото се получава

$$(7-20) \quad i_o = I_{C2} - I_{C1} = n(I+i) - n(I-i) = 2ni.$$

На фиг. 7-9 и Фиг. 7-10 са показани модифицирани каскодни схеми.



Фиг. 7-9: CMOS изходно стъпало с прегънат каскод и удвоено усилване.



Фиг. 7-10: Изходно стъпало с прегънат каскод и удвоено усилване с БТ.

Реализирани са с прегънат каскод с динамичен товар и удвоено усилване. Стъпалата отново са с диференциален вход, което позволява управлението им директно от изходите на диференциален усилвател. На фигурите са показани посоките на токовете в схемата и са означени примерните стойности на постоянните и променливите им съставки. Токовете в изходите на диференциалния усилвател се изваждат от токовете $2I$, които текат през транзисторите M1 и M2 (Q1 и Q2). В резултат през транзистора M4 (Q4) тече ток $I+i$, а през лявото рамо M3, M5, M7 (Q3, Q5, Q7) - $I-i$. Понеже транзисторите M5÷M8 (Q5÷Q8) съставляват каскодно токово огледало, токът $I-i$ тече и през транзисторите M6 и M8 (Q6 и Q8). В резултат, на изхода на схемата се получава удвоената променливотокова съставка $2i$. Тя тече през изходното съпротивление на стъпалото $R_o = 1/G_o$, което се получава от паралелно свързаните еквивалентни съпротивления на двата клона M2-M4 (Q2-Q4) и M6-M8 (Q6-Q8). Следователно, изходното напрежение V_{out} ще бъде

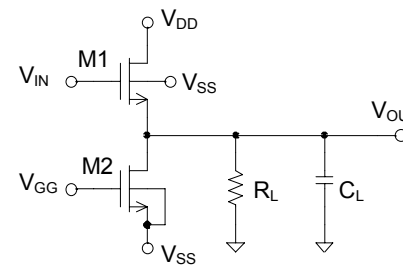
$$(7-21) \quad V_{out} = \frac{2i}{G_o} = \frac{2i}{g_{o4-2} + g_{o6-8}}.$$

Коефициентът на полезно действие на двуктактните изходни стъпала достига до 75%. Техен недостатък е сравнително по-високият коефициент на нелинейни изкривявания от схемите, работещи в клас А.

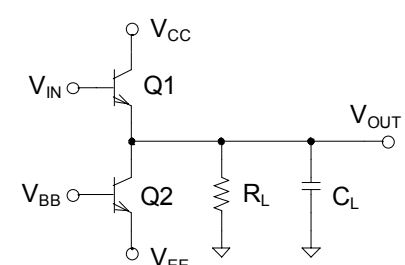
7.2. ИЗХОДНИ СЪПАЛА С НИСКО ИЗХОДНО СЪПРОТИВЛЕНИЕ

Изходни стъпала клас А с ниско изходно съпротивление

Характеризират се намалено изходно съпротивление и следователно възможност за работа при нискоомен товар. Най-простите реализации на такива схеми са сорсовия и емитерния повторители, показани на Фиг. 7-11 и Фиг. 7-12.



Фиг. 7-11: Сорсов повторител клас А.



Фиг. 7-12: Емитерен повторител клас А.

Тези повторители, освен с ниското си изходно съпротивление, се характеризират и с голям коефициент на усилване по ток. Недостатък на сорсовия повторител е зависимостта на праговото напрежение V_T на транзистора M1 от напрежението в изхода на схемата. Дължи се на "ефекта на подложката" и е причина максималното изходно напрежение да бъде значително по-ниско от $V_{DD} - V_{TO}$. Максималната стойност на напрежението в изхода на емитерния повторител се ограничава от вътрешните съпротивления на транзистора и от необходимостта да се осигурят много големи базови токове при нискоомен товар. И за двата типа повторители минималната стойност на изхода се определя от тока на динамичния товар. Обикновено за MOS схемата тази стойност е $V_{SS} + V_{eff2}$, а за биполярната - $V_{EE} + V_{CESAT2}$ [4].

Коефициентът на предаване по напрежение на сорсовия повторител се определя с израза [5].

$$(7-22) \quad A_u \approx \frac{g_{m1}}{g_{m1} + g_{mb1} + G_L} \approx 1,$$

а изходното съпротивление -

$$(7-23) \quad R_o \approx \frac{1}{g_{m1} + g_{mb1}} \approx \sqrt{\frac{1}{2k'_N(W1/L1)_{D1}}}.$$

Съответно за емитерния повторител са в сила:

$$(7-24) \quad A_u \approx \frac{g_{m1}}{g_{m1} + G_L} \approx 1,$$

$$(7-25) \quad R_o \approx \frac{1}{g_{m1}} \approx \frac{\varphi_T}{I_{C1}}.$$

Недостатък на разглежданите стъпала, подобно на стъпалата от клас А с високо изходно съпротивление, са нееднаквите максимални изходни токове I_{OUT}^+ и I_{OUT}^- . За MOS стъпалото токът I_{OUT}^+ зависи от максимално възможното напрежение в гейта на M1, отношението на размерите $W1/L1$ и стойността на товарния резистор R_L . При биполярната схема стойността на I_{OUT}^+ се определя от максималния базов ток, който може да се осигури от драйвера, както и от стойностите на вътрешните съпротивления на интегралните транзистори. Токовете I_{OUT}^- и за двата случая са равни на тока в работната точка на схемата и се определят главно от параметрите на товарния транзистор M2 (Q2).

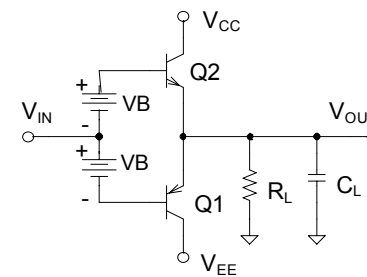
Друг недостатък на разглежданите схеми е ниския им коефициент на полезно действие (около 25%).

Двухактни (противоактни) изходни стъпала с ниско изходно съпротивление

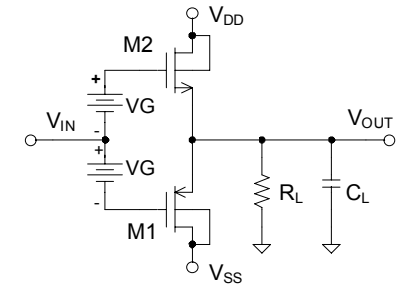
На Фиг. 7-13 и Фиг. 7-14 са показани двухактни изходни стъпала с комплементарни биполярни и MOS транзистори, работещи в клас В.

Понеже транзисторите са свързани по схема общ колектор (общ дрейн) изходните съпротивления на двете стъпала са малки. Максималният им коефициент на полезно действие е около 78%. Съществено предимство на схемите е, че те се характеризират с еднакви стойности на максималния и минималния изходни токове I_{OUT}^+ и I_{OUT}^- . Максималната и минималната стойност на амплитудата на изходния сигнал се ограничават от нарастването на праговото напрежение V_T при MOS схемата и от необходимостта

да се осигури достатъчно голяма стойност на базовия ток на биполярните транзистори.

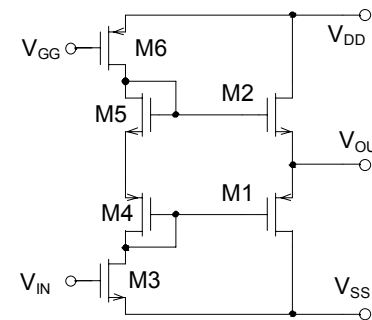


Фиг. 7-13: Двухактно изходно стъпало с БТ с ниско изходно съпротивление.

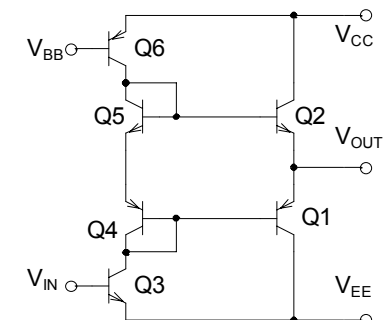


Фиг. 7-14: Двухактно изходно стъпало с CMOS транзистори.

На Фиг. 7-15 и Фиг. 7-16 са показани практически реализации на противоактни изходни стъпала с ниско изходно съпротивление.



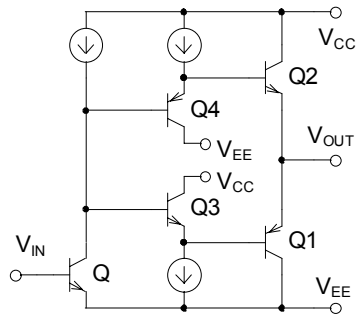
Фиг. 7-15: Практическа реализация на CMOS изходно стъпало.



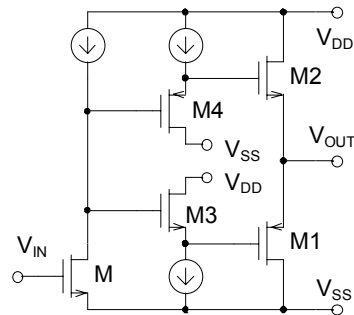
Фиг. 7-16: Практическа реализация на изходно стъпало с БТ.

В тези схеми постояннотоковото отместване V_B е реализирано с транзисторите M4 и M5 (Q4 и Q5). В зависимост от тока през тях се определя режима на работа (клас В или клас АВ) на стъпалото. Входният сигнал се подава на драйверно стъпало общ сорс (общ дрейн) с динамичен товар M6 (Q6). За съжаление и при тези схеми получаването на максимален размах на изходния сигнал е ограничено. Например, максималното изходно напрежение в схемата от Фиг. 7-15 е приблизително $V_{GG} + |V_{TO6}| - V_{T2}$, а минималното е $V_{SS} + |V_{T1}|$. При това V_{T2} и V_{T1} са значително по-големи от нормалните стойности на праговите напрежения поради "ефекта на подложката".

Друг начин за реализация на изходно стъпало с ниско изходно съпротивление е показан на Фиг. 7-17 и Фиг. 7-18. В тези схеми изходните комплементарни транзистори се управляват от емитерни (сорсови) повторители. С тяхна помощ се осигурява постояннотокотоовото отместване и се определя режима на работа клас В или клас АВ.



Фиг. 7-17: Изходно стъпало с биполярни транзистори.



Фиг. 7-18: Изходно стъпало с CMOS транзистори.

Поради ниското изходно съпротивление на разгледаните стъпала, тяхната честотна лента ще се определя главно от входното им съпротивление и паразитен капацитет. Последното определя и изискването входните транзистори на тези усилватели да бъдат реализирани с възможно най-малките размери.

8. ОПЕРАЦИОННИ УСИЛВАТЕЛИ

Операционните усилватели са универсални функционални елементи, намиращи широко приложение в аналоговите и импулсни схеми и устройства.

В практиката като *стандартни операционни усилватели (OU)* се означават схеми с диференциален вход и несиметричен изход. Характеризират се с много висок коефициент на усилване по напрежение A_u , безкрайно голямо входно съпротивление R_i и много ниско изходно съпротивление R_o . Наричат се още *усилватели с обратна връзка по напрежение (VFA)*.

Напоследък, за реализацията на различни блокове за обработка на сигнали в големите интегрални схеми, се използват *операционни усилватели на проводимост (OTA)*. Дефинират се като източници на ток, управлявани от напрежение. По структура наподобяват стандартните операционни усилватели. Характеризират се с високо входно R_i и изходно R_o съпротивления и стръмност G_m , променяща се в широки граници.

В редица случаи (напр. при обработката на сигнали от фотодиоди) се използват *операционни усилватели на ток (OCA)*. Те представляват управляеми източници на ток управлявани от ток. Характеризират се с ниско входно R_i и високо изходно R_o съпротивления и коефициент на усилване по ток A_i .

За реализацията на електронни схеми, чиято честотна лента слабо зависи от коефициента на усилване по напрежение, се използват *операционни усилватели с обратна връзка по ток (CFA)*. Положителният вход на тези усилватели е с високо входно съпротивление, а отрицателният - с ниско. Схемата се характеризира с ниско изходно съпротивление.

По-долу ще бъдат разгледани основните схемни решения на различните видове интегрални операционни усилватели.

8.1. ОУ НА ПРОВОДИМОСТ (ОТА)

Структурата на най-често използваните операционни усилватели на проводимост включва входен диференциален усилвател и изходно стъпало с високо изходно съпротивление. В литературата са описани три основни типа схеми от този клас [4], [8].

Двустъпални ОТА.

На Фиг. 8-1 и Фиг. 8-2 са показани схемите на двустъпалните операционни усилватели на проводимост с CMOS и биполярни транзистори [4]. Състоят се от входен диференциален усилвател с несиметричен изход и удвоено усилване M1-M4, M7 (Q1-Q4, Q7) и изходно стъпало общ сорс

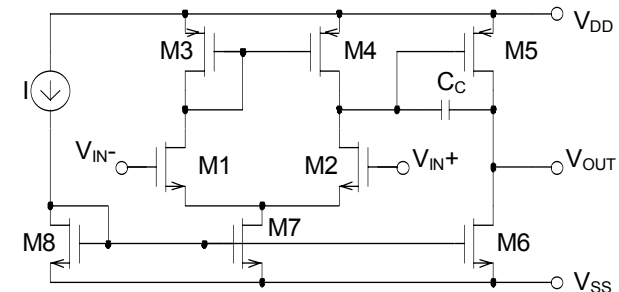
(общ емитер) с динамичен товар M5-M6 (Q5-Q6). Постояннотоковият режим се установява със задаващия източник I и токовете огледала M8-M7 (Q8-Q7) и M8-M6 (Q8-Q6). Кондензаторът C_c е за честотна компенсация. Поради ефекта на Милер, неговата стойност се привежда към изхода на диференциалния усилвател умножена с коефициента на усилване по напрежение на второто стъпало и на практика определя честотната лента на схемата. Разгледаните конфигурации могат да се инвертират, т.е. стъпалата, реализирани с n-MOS (n-p-n) транзистори да се реализират с p-MOS (p-p) транзистори и обратно.

Основните параметри на двустъпалните операционни усилватели на проводимост могат да се получат на базата на резултатите от анализите на отделните стъпала, дадени в гл. 6 и гл. 7.

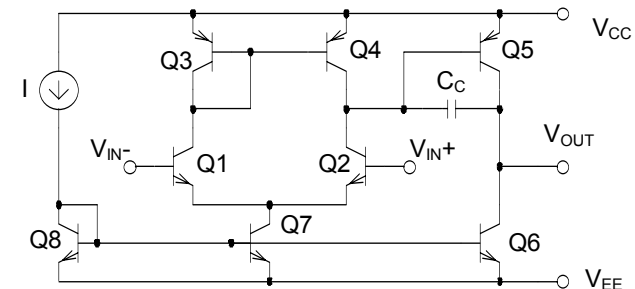
Въз основа на (4-15) и (6-7) за коефициента на усилване по напрежение A_u се получава

$$(8-1) \quad A_u = A_{u1}A_{u2} \approx \left(-\frac{g_{m1}}{g_{o2} + g_{o4} + g_{i5}} \right) \left(-\frac{g_{m5}}{g_{o5} + g_{o6}} \right),$$

където A_{u1} и A_{u2} са коефициентите на усилване по напрежение на двете стъпала, а g_{i5} е входното съпротивление на второто стъпало.



Фиг. 8-1:
Двустъпален ОТА с CMOS транзистори.



Фиг. 8-2:
Двустъпален ОТА с биполярни транзистори.

От (8-1), след заместване и отчитане, че $g_{i5} \ll (g_{o2} + g_{o4})$, за коефициента на усилване на CMOS усилвателя се получава

$$(8-2) \quad A_u = \frac{\sqrt{2k'_N \frac{W1}{L1} I_{D1}} \sqrt{2k'_P \frac{W5}{L5} I_{D5}}}{(\lambda_2 + \lambda_4) I_{D1} (\lambda_5 + \lambda_6) I_{D5}} \approx \frac{1}{2\lambda^2} \sqrt{\frac{k'_N k'_P}{I_{D1} I_{D5}} \frac{W1}{L1} \frac{W5}{L5}},$$

а за усилвателя с биполярни транзистори (при него $g_{i5} \gg (g_{o2} + g_{o4})$) -

$$(8-3) \quad A_u \approx \frac{g_{m1} g_{m5} r_{i5}}{g_{o5} + g_{o6}} = \frac{\beta_5 / \varphi_T}{(1/V_{AFN}) + (1/V_{AFP})} \left(\frac{I_{C1}}{I_{C5}} \right).$$

Стръмността (проходната проводимост) на усилвателите е

$$(8-4) \quad G_m = \frac{A_u}{R_{o2}} = A_u (g_{o5} + g_{o6}),$$

където с R_{o2} е означено изходното съпротивление на второто стъпало.

От (8-4) за CMOS усилвателя се получава

$$(8-5) \quad G_m = \frac{g_{m1} g_{m5}}{g_{o2} + g_{o4}} \approx \frac{1}{\lambda} \sqrt{k'_N k'_P \frac{W1}{L1} \frac{W5}{L5} \frac{I_{D5}}{I_{D1}}},$$

а на усилвателя с биполярни транзистори -

$$(8-6) \quad G_m = g_{m1} g_{m5} r_{i5} = \beta \frac{I_{C1}}{\varphi_T} = \beta \frac{I_{EE}}{2\varphi_T}.$$

Обобщената формула за граничната честота $f_{(-3dB)}$ на усилвателите е

$$(8-7) \quad f_{(-3dB)} = \frac{1}{2\pi R_e A_{u2} C_C},$$

където с R_e е означено еквивалентното съпротивление на входа на второто стъпало.

От (8-7) за граничните честоти $f_{(-3dB)}$ и f_T при CMOS усилвателя се получава

$$(8-8) \quad f_{(-3dB)} \approx \frac{(g_{o2} + g_{o4})(g_{o5} + g_{o6})}{2\pi g_{m5} C_C},$$

$$(8-9) \quad f_T \approx A_u f_{(-3dB)} = \frac{A_{u1} A_{u2}}{2\pi R_e A_{u2} C_C} = \frac{g_{m1}}{2\pi C_C} = \frac{\sqrt{2k'_N (W1/L1) \cdot I_{D1}}}{2\pi C_C},$$

а за усилвателя с биполярни транзистори -

$$(8-10) \quad f_{(-3dB)} \approx \frac{g_{i5}(g_{o5} + g_{o6})}{2\pi g_{m5} C_C},$$

$$(8-11) \quad f_T \approx A_u f_{(-3dB)} \approx \frac{g_{m1} g_{m5} r_{i5}}{g_{o5} + g_{o6}} \frac{g_{i5}(g_{o5} + g_{o6})}{2\pi g_{m5} C_C} = \frac{g_{m1}}{2\pi C_C} = \frac{I_{C1}}{2\pi \varphi_T C_C}.$$

Скоростта на нарастване на изходния сигнал SR е

$$(8-12) \quad SR = \frac{I}{C_C}$$

където с I е означен по-малкият от двата тока $2I_{D1}$ и I_{D5} ($2I_{C1}$ и I_{C5}).

От получените уравнения може да се направи извода, че докато основните параметри на биполярните ОТА зависят само от избрания режим, параметрите на CMOS ОТА зависят и от геометрията (размерите на канала) на транзисторите.

Като пример ще бъдат определени основните параметри на двустъпален CMOS ОТА с размери на транзисторите: $W1/L1 = W2/L2 = 4$, $W3/L3 = W4/L4 = 0.45$, $W5/L5 = 4.5$, $W6/L6 = 1$, $W7/L7 = 0.2$ и $W8/L8 = 1$. Токът на източника е $I = 50 \mu A$, кондензаторът за честотна корекция $C_C = 5$ pF, а параметрите на CMOS транзисторите са - $V_{TNO} = 0.8$ V, $V_{TPO} = -0.8$ V, $k'_N = 100 \mu A/V^2$, $k'_P = 40 \mu A/V^2$, $\lambda_N = 0.01$ V⁻¹, $\lambda_P = 0.03$ V⁻¹.

Най напред се определят токовете и ефективните напрежения за всеки транзистор. След прилагане на правилото (2-33) за определяне на токовете в простото токово огледало и условието за баланс на диференциалния усилвател се получава: $I_{D8} = I = 50 \mu A$, $I_{D7} = (W7/L7)I_{D8}/(W8/L8) = 10 \mu A$, $I_{D1} = I_{D2} = I_{D3} = I_{D4} = 5 \mu A$, $I_{D6} = I_{D5} = (W6/L6)I_{D8}/(W8/L8) = 50 \mu A$.

От (1-35) се определят стойностите на ефективните напрежения: $V_{eff8} = V_{eff7} = V_{eff6} = 1$ V, $V_{eff1} = V_{eff2} = 0.158$ V, $|V_{eff3}| = |V_{eff4}| = |V_{eff5}| = 0.745$ V. Понеже всяко от тези напрежения е по-голямо от 0.1 V, транзисторите работят в режим на силна инверсия.

След това, чрез (1-43) се определят стръмностите на двете стъпала - $g_{m1} = 63.24 \mu A/V$ и $g_{m5} = 134.165 \mu A/V$.

От (1-45) за изходните съпротивления се получава $R_{o1} = 5$ MΩ и $R_{o5} = 0.5$ MΩ.

За коефициентите на усилване по напрежение се получава: $A_{u1} = 316 \approx 50$ dB (φ-ла (6-23)), $A_{u2} = 65 \approx 36.5$ dB (φ-ла (4-15)), $A_u = 20540 \approx 86.5$ dB.

Стръмността на усилвателя е $G_m = 42.35$ mA/V (φ-ла (8-5)).

Честотната лента е $f_{(-3dB)} \approx 100 \text{ Hz}$ (ф-ла (8-8)), а транзитната честота - $f_T \approx 2 \text{ MHz}$ (ф-ла (8-9)).

От (8-10), за минималната скорост на нарастване на изходния сигнал се получава $SR \approx 2 \text{ V}/\mu\text{S}$.

С помощта на посочените формули може да се извърши началното (ориентирано) проектиране на разгледаните схеми. Следващата стъпка е, с помощта на симулатор (напр. Pspice [19, 34]), да се извършат анализи и да се получат резултати, които да позволят на проектанта да оцени всички ефекти, неотчетени в използваните опростени модели от първи ред, както и зависимостта на параметрите на операционните усилватели от вариациите на процеса. Тази стъпка е изключително важна, понеже тя дава на проектанта възможност за осмисляне на работата на схемата и с помощта на компютъра, в интерактивен режим, да намери оптималното проектно решение.

Основен недостатък на разгледаната двустъпална архитектура е наличието на два възела с висок импеданс, които се намират в изходите на всяко от стъпалата. За да се осигури стабилността на схемата се налага използването на кондензатора C_C [8], с чиято помощ полюсът в изхода на диференциалния усилвател става доминантен, а полюсът в изхода на усилвателя се измества извън лентата на единично усилване. Но ако в изхода на усилвателя се включи голям капацитивен товар, полюсът в изхода ще се върне към началната си стойност и ще предизвика влошаване на запаса по фаза. За избягване на посочения недостатък може да се използва схемата на каскодния операционен усилвател на проводимост.

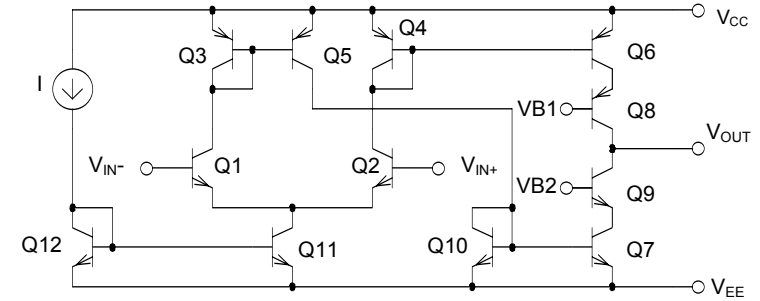
Каскодни ОТА

На Фиг. 8-3 и Фиг. 8-4 са показани схемите на каскодните биполярни и CMOS операционни усилватели на проводимост [4]. Структурата им включва диференциален усилвател и изходен каскод, изпълнен по схемата от Фиг. 7-7 (Фиг. 7-8). Характерно за този клас усилватели е наличието в тях само на една точка с висок импеданс - изхода на схемата. При показаното свързване, високият импеданс в изхода на диференциалния усилвател е шунтиран от ниското входно съпротивление ($1/g_m$) на транзисторите Q3 и Q4 (M3 и M4). Това води до увеличаване на полюсната честота в тази точка. Полюсът е висок и поради ниската стойност на входния капацитет на изходното стъпало. По този начин честотната компенсация се осигурява от товарния капацитет в изхода на ОТА.

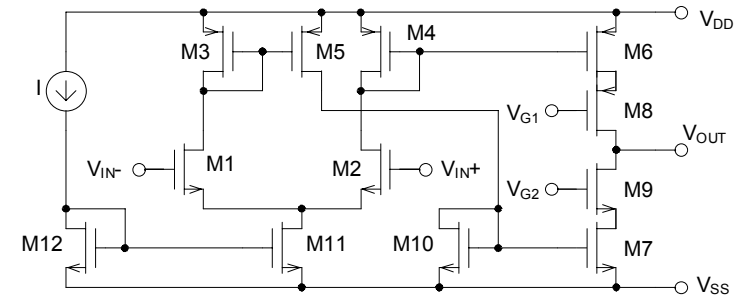
За изходният ток на усилвателите е в сила израза

$$(8-13) \quad i_o = I_8 - I_9 = nI_4 - nI_{10} = n(I_4 - I_3) = n(I_1 - I_2) = 2ni = ng_{m1}u_i,$$

където с I_j са означени токовете през съответните транзистори, n е мащабния коефициент на токовете огледала Q4-Q6 и Q10-Q7 (M4-M6 и M10-M7), а g_{m1} е стръмността на входните транзистори.



Фиг.8-3: Каскоден ОТА с биполярни транзистори.



Фиг.8-4: Каскоден ОТА с CMOS транзистори.

Стръмността (проходната проводимост) на схемите е

$$(8-14) \quad G_m = ng_{m1}.$$

Изходното съпротивление R_o на двете схеми се определя като еквивалентно съпротивление на двете паралелно включени рамена Q8-Q6 (M8-M6) и Q9-Q7 (M9-M7)

$$(8-15) \quad R_o = \frac{1}{g_{o8-6} + g_{o9-7}},$$

където изходната проводимост (g_{o8-6} и g_{o9-7}) на всяко от двете рамена може да се определят с помощта на формули (2-10) и (2-30).

Честотната лента на усилвателя се определя от товарния капацитет C_L

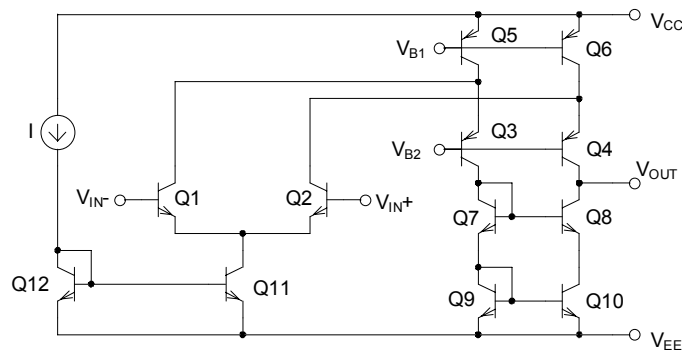
$$(8-16) \quad f_{(-3dB)} = \frac{1}{2\pi R_o C_L}.$$

Скоростта на нарастване на изходния сигнал зависи от стойността на изходния ток I , при работа на усилвателя в ключов режим, и големината на товарния кондензатор

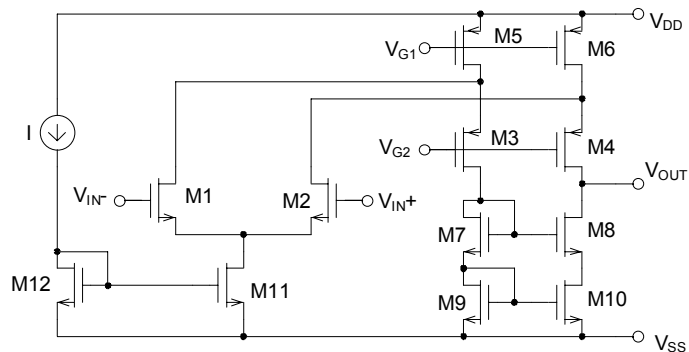
$$(8-17) \quad SR = \frac{I}{C_L}.$$

ОТА с прегънат каскод

На Фиг. 8-5 и Фиг. 8-6 са показани схемите на биполярен и CMOS операционни усилватели на проводимост с прегънат каскод [4]. Състоят се от диференциален усилвател и изходно стъпало с модифицирана каскодна схема (Фиг. 7-9, Фиг. 7-10). Характеризират с възможност за получаване на широк обхват на входните синфазни напрежения.



Фиг. 8-5:
Биполярен
ОТА с
прегънат
каскод.



Фиг. 8-5:
CMOS ОТА с
прегънат
каскод.

Стръмността (проходната проводимост) G_m на усилвателите е равна на стръмността на диференциалния усилвател g_{m1} .

Изходното съпротивление R_o на двете схеми се определя като еквивалентното съпротивление на двете паралелно включени рамена - Q8-Q10 (M8-M10) и Q4-Q6-Q2 (M4-M6-M2). Те могат да се определят с помощта на (2-10) и (2-30). След заместване и опростяване на получените изрази за съпротивленията се получават приблизителните формули [8]:

$$(8-18) \quad g_{o8-10} = \frac{g_{o8}g_{o10}}{g_{m8}},$$

$$(8-19) \quad g_{o4-6-2} = \frac{g_{o4}(g_{o6} + g_{o2})}{g_{m4} + g_{mb4}},$$

$$(8-20) \quad R_o = \frac{1}{g_{o8-10} + g_{o4-6-2}}.$$

Коефициентът на усилване по напрежение е

$$(8-21) \quad A_u = G_m R_o = \frac{g_{m1}}{g_{o8-10} + g_{o4-6-2}}.$$

И при този клас схеми единствената точка с високо съпротивление е изхода. Следователно и тук честотната лента се определя от големината на кондензивния товар C_L , т.е.

$$(8-22) \quad f_{(-3dB)} \approx \frac{g_{o8-10} + g_{o4-6-2}}{2\pi C_L},$$

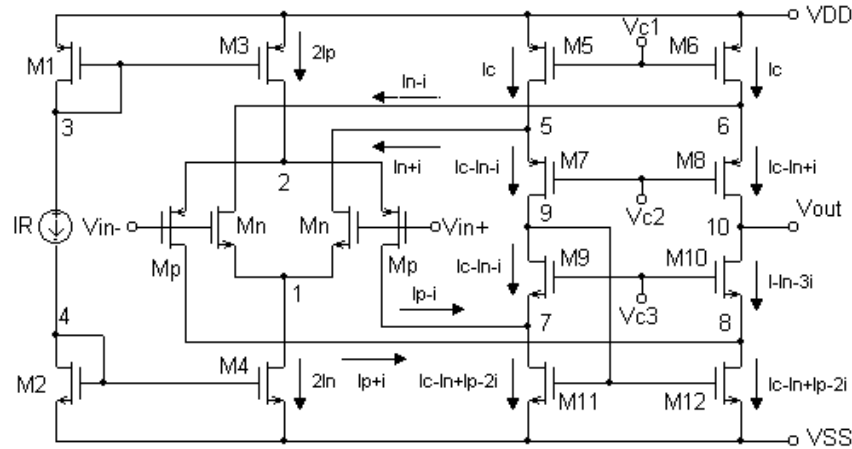
$$(8-23) \quad f_T = \frac{g_{m1}}{2\pi C_L}.$$

CMOS ОТА с понижено захранващо напрежение

Напоследък широко приложение в свръхголемите интегрални схеми (VLSI) намират схемите, работещи при понижени захранващи напрежения (около 3 V). Такава е схемата на операционния усилвател на проводимост (ОТА), показана на Фиг. 8-11 [10].

Входът на схемата е изграден от две диференциални двойки (n-MOS транзистори M_n и p-MOS транзистори M_p). Съвместното им действие беше описано в т. 6. Двойката транзистори M_n работи при синфазни входни напрежения V_{CM} в диапазона от $V_{SS} + V_{DS4} + V_{GSn}$ до V_{DD} , а двойката

V_{DS3} - от V_{SS} до $V_{DD} - V_{SD3} - V_{SGp}$. В представените изрази с V_{SS} и V_{DD} са означени захранващите напрежения, с V_{DS4} - напрежението между изводите на дрейна и сорса на транзистора M4, с V_{GSn} - напрежението между гейта и сорса на входните n-MOS транзистори, с V_{SD3} - напрежението между сорса и дрейна на транзистора M3 и с V_{SGp} - напрежението между сорса и гейта на входните p-MOS транзистори. В резултат от припокриването на двете области схемата е работоспособна в целия диапазон на захранващите напрежения - от V_{SS} до V_{DD} .



Фиг. 8-11: CMOS OTA с понижено захранващо напрежение.

Дрейновите токове на четирите входни транзистора се обединяват от прегънатия каскод M5 - M12, при което на изхода му се появява сумата от променливотоковите им съставки. За установяване на постоянноотоковия режим се използва веригата M1 - IR - M2. Токовото огледало M2 - M4 осигурява тока в сорса на n-MOS транзисторната двойка, а M1 - M3 - на p-MOS.

По-долу ще бъде направен подробен анализ на схемата и ще бъде представена процедура за нейното начално оразмеряване [25].

Анализ на схемата на CMOS OTA

- основни постоянноотокови зависимости

Приема се, че всички транзистори работят в областта на насищане на изходните си характеристики, в режим на силна инверсия, т. е.

$$(8-24) \quad 0.1V < |V_{eff}| = |V_{GS} - V_T| \leq |V_{DS}|.$$

По този начин се осигурява максимално усилване на входния сигнал. Тогава за дрейновите токове в схемата е в сила израза

$$(8-25) \quad I_D = \frac{k' W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}),$$

където факторът на стръмността k' , модифицираното прагово напрежение V_T и коефициентът на модулация на дължината на канала λ са технологичните параметри, описани в гл. 1. Широчината W и дължината L на канала са конструктивните параметри, определяни от проектанта.

В горните формули с V_T са означени модифицираните стойности на праговете напрежения на MOS транзисторите при стойности на напреженията между сорса и подложката V_{SB} различни от нула. В случая те ще бъдат изчислявани по опростените формули:

$$(8-26) \quad V_{Tn} = V_{TOn} + \frac{1}{2} \sqrt{V_{SB}} \quad (\text{при n-MOS транзисторите}) \text{ и}$$

$$(8-27) \quad V_{Tp} = V_{TOp} - \frac{1}{2} \sqrt{V_{BS}} \quad (\text{при p-MOS транзисторите}).$$

По-долу са изведени изрази за стойностите на захранващите напрежения V_{DD} и V_{SS} и потенциалите във възлите на схемата, при условие че те са с противоположни стойности ($V_{DD} = -V_{SS}$) и двата входа на усилвателя са свързани към земя (т. е. синфазното напрежение $V_{CM} = 0V$). Представените резултати лесно могат да бъдат трансформирани за $V_{DD} \neq -V_{SS}$ и синфазно напрежение $V_{CM} = (V_{DD} + V_{SS})/2$.

При горните условия ($V_{DD} = -V_{SS}$ и $V_{CM} = 0V$), за стойностите на захранващите напрежения V_{DD} и V_{SS} се получава:

$$(8-28) \quad V_{SS} \leq -(V_{DS4} + V_{Tn} + V_{effn});$$

$$(8-29) \quad V_{DD} \geq -(V_{DS3} + V_{Tp} + V_{effp}),$$

а за потенциалите във възлите 1, 2, 3 и 4 се определя:

$$(8-30) \quad V_1 = V_{SS} + V_{DS4} = -V_{effn} - V_{Tn};$$

$$(8-31) \quad V_2 = V_{DD} - |V_{DS3}| = -V_{effp} - V_{Tp};$$

$$(8-32) \quad V_3 = V_{DD} - |V_{eff3}| - |V_{TOp}|;$$

$$(8-33) \quad V_4 = V_{SS} + V_{eff4} + V_{TOp}.$$

Като се вземе пред вид симетрията в схемата, т. е. $V_5 = V_6$, $V_7 = V_8$ и $V_9 = V_{10}$, се получава:

$$(8-34) \quad V_5 = V_6 = V_{DD} - |V_{DS5}|;$$

$$(8-35) \quad V_{C1} = V_{DD} - |V_{eff5}| - |V_{TOP}|;$$

$$(8-36) \quad V_{C2} = V_5 - |V_{TP7}| - |V_{eff7}|.$$

От условието, че $V_{DD} = -V_{SS}$, следва

$$(8-37) \quad V_9 = V_{10} = \frac{V_{DD} + V_{SS}}{2} = 0.$$

Въз основа на (8-37) и от условието (8-24), приложено за транзисторите M11 и M12, за V_7 , V_8 и V_{C3} се определя:

$$(8-38) \quad V_7 \geq -V_{TON}; \quad V_8 \geq -V_{TON};$$

$$(8-39) \quad V_{C3} = V_7 + V_{TN9} + V_{eff9}.$$

На фигурата са показани токовете в схемата при подадени $V_{CM} \approx (V_{DD} + V_{SS})/2$ и входен променлив сигнал $V_{in} \neq 0$.

В случай че V_{CM} е близо до V_{DD} , токовете през транзисторите на р-MOS диференциалната двойка са нула, а в зависимост от полярността на диференциалния сигнал токовете през транзисторите на п-MOS двойката се променят противофазно между 0 и $2I_n$, като сумата им остава постоянна, равна на $2I_n$.

В случай че V_{CM} е близо до V_{SS} , токовете през транзисторите на п-MOS диференциалната двойка са нула, а в зависимост от диференциалния сигнал, токовете през транзисторите на р-MOS двойката се променят противофазно между 0 и $2I_p$, като сумата им остава постоянна, равна на $2I_p$.

- основни променливотокови зависимости в схемата

Съгласно анализите в т. 6, за стръмността G_{mmax} на усилвателя при подаване на малък входен сигнал V_{in} и $V_{CM}=0$ V, се получава

$$(8-40) \quad G_{mmax} = \frac{i_o}{u_i} = \frac{4i}{u_i} = g_{mn} + g_{mp}.$$

В горната формула с i_o е означен изходният ток на усилвателя, а с g_{mn} и g_{mp} - стръмностите на всяка от двете входни диференциални двойки. В случая, когато входният синфазен сигнал е близо до захранващото нап-

режение V_{DD} , ще работи само п-MOS двойката, а когато V_{CM} е близо до V_{SS} - р-MOS двойката.

Осигуряването на еднакво усилване на сигнала и в двата края на диапазона на входните синфазните сигнали изисква стръмностите g_{mn} и g_{mp} да бъдат равни, т. е. $g_{mn} = g_{mp}$. Така, ако синфазният входен сигнал е близо до едно от захранващите напрежения, G_m ще се дължи само на една от двете диференциални двойки и стойността му ще се определя и съгласно (1-43)

$$(8-41) \quad G_m = \frac{G_{mmax}}{2} = g_{mn} \approx \frac{2I_n}{V_{effn}} \quad \text{или}$$

$$(8-42) \quad G_m = \frac{G_{mmax}}{2} = g_{mp} \approx \frac{2I_p}{|V_{effp}|}.$$

Коефициентът на усилване по напрежение A_u е равен на

$$(8-43) \quad A_u = G_m R_o$$

където R_o е стойността на изходното съпротивление на усилвателя.

Понеже единствената точка с голямо вътрешно съпротивление в схемата е изходът на усилвателя, то честотната му лента ще се определя от изходното съпротивление R_o и товарния капацитет C_L :

$$(8-44) \quad f_{(-3dB)} \approx \frac{1}{2\pi R_o C_L}.$$

Честотата на единично усилване ще бъде

$$(8-45) \quad f_T \approx A_u f_{(-3dB)} = \frac{A_u}{2\pi R_o C_L} = \frac{G_m}{2\pi C_L}.$$

Процедура за проектиране

Проектирането на операционния усилвател на проводимост се извършва на няколко етапа. Най-напред, въз основа на техническите изисквания и представените по-горе формули, се определят начални (ориентировъчни) стойности на потенциалите в отделните възли на схемата. Търсените напрежения трябва да гарантират работата на транзисторите в режим на силна инверсия и в областта на насищане на изходните характеристики, както и да осигурят изискванията за минимални захранващи напрежения и консумирана мощност. По-нататък, въз основа на зададената честота на единично усилване, се определят токовете в схемата. От тях, с помощта на формула

(8-25), се определят размерите на транзисторите. При необходимост, изчислените стойности се доуточняват с последователни симулации.

По-долу е представена процедура за проектиране на нисковолтов CMOS OTA с максимален размах на входния сигнал при зададени честота на единично усилване f_T и товарен капацитет C_L . Всяка стъпка на процедурата е онагледена с примерното изчисление на конкретен усилвател с $f_T > 1$ MHz и товарен капацитет $C_L = 10$ pF. При изчисленията е използван модел на интегрални CMOS транзистори с основни параметри:

$V_{TOP} = -0.7613$ V; $k'_p = 18.019$ μ A/V²; $V_{TON} = 0.8819$ V; $k'_n = 50.81$ μ A/V². Стойностите на коефициентите на модуляция на дължината на канала λ_n и λ_p на този начален етап са приети равни на нула.

- определяне на стойностите на захранващите напрежения и потенциалите във възлите на схемата

Използват се изразите получени при анализа на схемата. Първоначално, за да се гарантира изпълнението на условието за работа в режим на силна инверсия, в областта на насищане на изходните характеристики, се предполага, че стойностите V_{eff} и V_{DS} на всички транзистори са равни на: $|V_{GS} - V_T| = |V_{eff}| \approx 0.2$ V и $|V_{DS}| \approx 0.25$ V. В процеса на изчисления, тези ориентировъчни стойности могат да се намалят или увеличат. Но, във всички случаи, е задължително да се изпълнява условието (8-24).

1. При $V_{effn} = 0.2$ V и $V_{SBN} = V_{DS4} = 0.25$ V $\geq V_{eff4}$, от (8-26), (8-28) и (8-30) се получава: $V_{Tn} \approx 1.132$ V, $V_1 = -1.332$ V и $V_{SS} < -1.582$ V.

При $V_{effp} = -0.2$ V и $V_{SBP} = V_{DS3} = -0.25$ V $\leq V_{eff3}$, от (8-27), (8-29) и (8-31) се изчислява: $V_{Tp} \approx -1.011$ V, $V_2 = 1.211$ V и $V_{DD} > 1.461$ V.

Въз основа на горните изчисления, захранващите напрежения се избират: $V_{DD} = 1.5$ V и $V_{SS} = -1.5$ V. Това ще доведе до промяна в предварително избраните стойности на ефективните напрежения. Окончателно се определя: $V_{effn} = 0.118$ V и $V_{effp} = -0.239$ V, $V_1 = -1.25$ V, $V_2 = 1.25$ V.

2. От (8-32) при $V_{eff3} = -0.2$ V се получава $V_3 = 0.54$ V.

От (8-33) при $V_{eff4} = 0.2$ V се изчислява $V_4 = -0.42$ V.

3. От (8-34) при $V_{DS5} = -0.25$ V се определя $V_5 = V_6 = 1.25$ V.

4. От (8-35) при $V_{eff5} = -0.2$ V се получава $V_{C1} = 0.54$ V, т. е. гейтовете на M5 и M6 могат да се свържат към гейтовете на M1 и M3.

5. От (8-36) при $V_{eff7} = -0.2$ V се изчислява $V_{C2} \approx 0.04$ V. Избира се $V_{C2} = 0.00$ V и тогава окончателно $V_{eff7} = -0.239$ V.

6. От (8-38) следва, че $V_7 = V_8 > -0.8819$ V. Избира се $V_7 = V_8 = -0.75$ V.

7. От (8-39) при $V_{eff9} = 0.2$ V и $V_{SB9} = V_{DS7} = 0.75$ V, се получава $V_{C3} = 0.765$ V.

Избира се $V_{C3} = 0.75$ V и тогава $V_{eff9} = 0.186$ V, а $V_{eff11} = 0.618$ V.

- определяне на токовете I_n , I_p , I_R и I_C

За определяне на токовете I_n и I_p се използват формулите (8-45), (8-41) и (8-42). За случая $V_{CM} \approx V_{DD}$, когато работи само n-MOS двойката, след заместване в (8-45) и (8-41) с $f_T = 1$ MHz, $C_L = 10$ pF и $V_{effn} = 0.118$ V, се получава $I_n = 3.71$ μ A. По същия начин, когато работи само p-MOS двойката ($V_{CM} \approx V_{SS}$), при $f_T = 1$ MHz, $C_L = 10$ pF и $V_{effp} = -0.239$ V, от (8-45) и (8-42) се определя $I_p = 7.5$ μ A. За да се гарантира желаната стойност на f_T в целия обхват, се избират $I_n = 5$ μ A и $I_p = 10$ μ A. За да се осигури стабилната работа на транзисторите M7 - M8 в усилвателен режим, токът I_C на прегънатия каскод (M5 - M12) трябва да бъде по-голям от $2I_n$ - избира се $I_C = 15$ μ A. Токът I_R се определя от съображенията за минимална консумация на схемата и предавателни отношения на простите токови огледала близки до 1. В случая е избрано $I_R = 10$ μ A.

- определяне на размерите W и L на транзисторите в схемата

С помощта на формула (8-25), въз основа на максимално възможните стойности на токовете през транзисторите и уточнените по-горе абсолютни стойности на ефективните напрежения V_{eff} , за отношенията на размерите на отделните транзистори се получават резултатите от Табл. 8-1.

Таблица 8-1

	I_{DMAX}	$ V_{eff} $	W/L		I_{DMAX}	$ V_{eff} $	W/L
Mp	20 μ A	0.239 V	≈ 39	Mn	10 μ A	0.118 V	≈ 28.2
M1	10 μ A	0.2 V	≈ 27.7	M2	10 μ A	0.2 V	≈ 9.8
M3	20 μ A	0.2 V	≈ 55.5	M4	10 μ A	0.2 V	≈ 9.8
M5, M6	15 μ A	0.2 V	≈ 41.6	M9, M10	15 μ A	0.186 V	≈ 17.2
M7, M8	15 μ A	0.239 V	≈ 29.2	M11, M12	35 μ A	0.618 V	≈ 3.6

Резултати от симулацията на схемата

В Табл. 8-2 са обобщени резултатите от симулацията с PSpice на проектирания операционен усилвател на проводимост.

Таблица 8-2

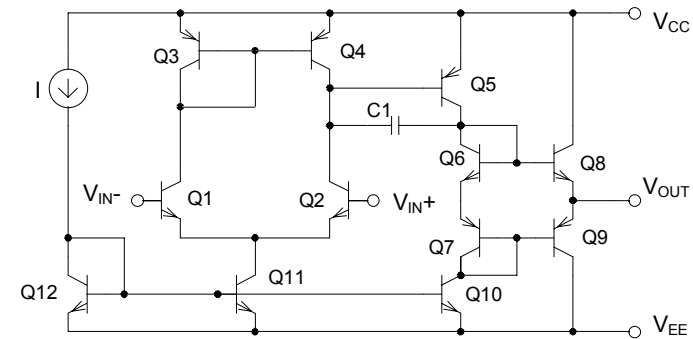
Параметър	Условия	Резултати
Коефициент на усилване - A_u , dB	$V_{CM} = -1.5$ V	>77
	$V_{CM} = 0$ V	>82
	$V_{CM} = +1.5$ V	>78
Честота на единично усилване - f_T , MHz	$V_{CM} = -1.5$ V	>1.85
	$V_{CM} = 0$ V	>3.2
	$V_{CM} = +1.5$ V	>1.6
Запас по фаза - PM, deg	$V_{CM} = -1.5$ V	>79
	$V_{CM} = 0$ V	>70
	$V_{CM} = +1.5$ V	>79
Обхват на линейност на изходното напрежение - V	$V_{in} = (-1.5 \div +1.5)$ V	-1.1÷+1.3
Нелинейни изкривявания - THD, при $f=10$ kHz	$V_{in} = 0.5$ V	0.003 %
	$V_{in} = 1.0$ V	0.145 %
	$V_{in} = 1.5$ V	3.21 %
Консумирана мощност - P, μ W	$V_{CM} = 0$ V	175

8.2. СТАНДАРТНИ ОПЕРАЦИОННИ УСИЛВАТЕЛИ (VFA)

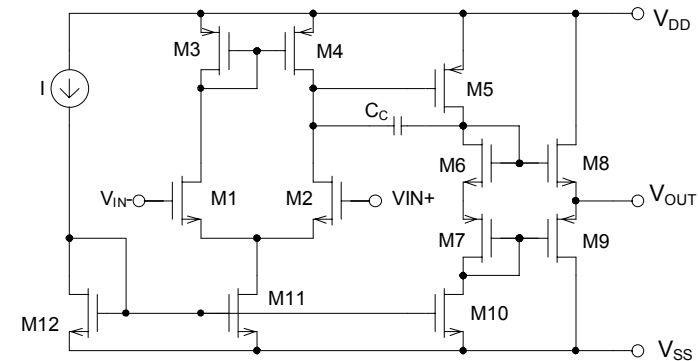
При този клас операционни усилватели изходното стъпало е с ниско изходно съпротивление - от типа на стъпалата описани в т. 7.2. На Фиг. 8-7 и Фиг. 8-8 е показана реализацията с биполярни и CMOS транзистори на една от най-често използваните структури.

Структурата на представените схеми може да се разглежда като двустъпален ОТА, подобен на тези от Фиг. 8-1 и Фиг. 8-2, и допълнително противотактно изходно стъпало с отрицателна обратна връзка и изградено с транзисторите Q8-Q9 (M8-M9). Следователно, основните формули за параметрите и характеристиките на двете схеми съвпадат с формулите използвани при анализа на съставящите ги стъпала в т. 7.2 и т. 8.1.

Различни схемни решения на този клас усилватели са разгледани и анализирани подробно в [5, 15, 16, 22, 23 и др.].



Фиг. 8-7: Стандартен операционен усилвател с биполярни транзистори.



Фиг. 8-8: Стандартен CMOS операционен усилвател.

8.3. ОПЕРАЦИОННИ УСИЛВАТЕЛИ НА ТОК (ОСА)

На Фиг. 8-9 и Фиг. 8-10 са показани схемите на операционните усилватели на ток с CMOS и биполярни транзистори [8].

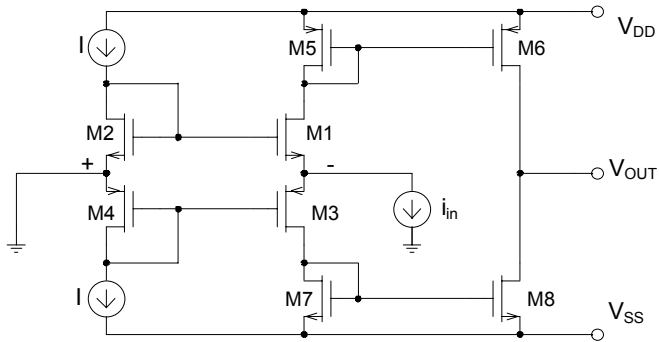
Принципът на действие на двете схеми е един и същ. Съдържат по два задаващи клона - I-Q2 (I-M2) и I-Q4 (I-M4). Чрез токовите огледала Q2-Q1 (M2-M1) и Q4-Q3 (M4-M3) токът от задаващите клонове се прехвърля умножен K -пъти във входната верига Q5-Q1-Q3-Q7 (M5-M1-M3-M7), а от там, чрез огледалата M5-M6 (Q5-Q6) и M7-M8 (Q7-Q8), се подава усилен M -пъти на изхода.

На входа на схемата (транзистори Q1 и Q3 (M1 и M3)) се подава входния ток i_{in} . Ако посоката му съвпада с означената на схемите, през транзисторите Q3 и Q7 (M3 и M7) ще тече ток $Ki - i_{in}$, а през Q1 и Q5 (M3 и M5) - съответно $Ki + i_{in}$. Чрез токовите огледала Q5-Q6 (M5-M6) и Q7-Q8 (M7-M8), тези токове се прехвърлят в изходната верига Q6-Q8 (M6-M8)

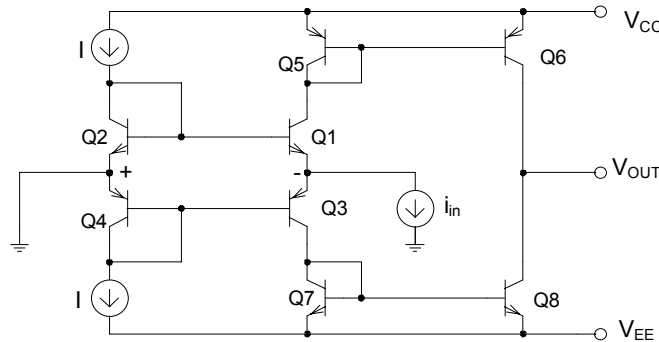
умножени M -пъти. Тогава изходният ток ще бъде равен на разликата между тока през Q_6 (M_6) и Q_8 (M_8) и е

$$(8-46) \quad i_o = Mi_i.$$

Обикновено k е между 1 и 10, а M - между 5 и 10 [8].



Фиг. 8-9: CMOS операционен усилвател на ток.



Фиг. 8-10: Операционен усилвател на ток с биполарни транзистори.

Изходното R_o и проходното A_R съпротивления на схемата са съответно:

$$(8-47) \quad R_o = \frac{1}{g_{o6} + g_{o8}} \approx \frac{1}{(\lambda_6 + \lambda_8)kMI},$$

$$(8-48) \quad A_R = \frac{V_{out}}{i_i} = \frac{i_o R_o}{i_i} = \frac{1}{(\lambda_6 + \lambda_8)kI}.$$

Входното съпротивление на операционния усилвател на ток и честотната му лента се определят с формулите:

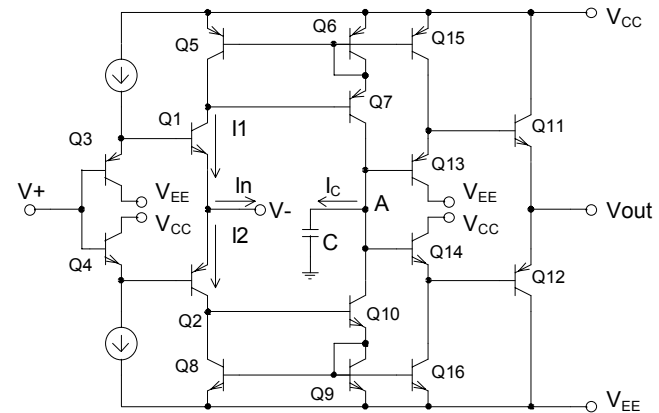
$$(8-49) \quad R_i = \frac{1}{2g_{m1}} = \frac{1}{2g_{m3}},$$

$$(8-50) \quad f_{(-3dB)} = \frac{g_{o6} + g_{o8}}{2\pi C_L}.$$

8.4. ОПЕРАЦИОННИ УСИЛВАТЕЛИ С ОТРИЦАТЕЛНА ОБРАТНА ВРЪЗКА ПО ТОК (CFA)

Съществен недостатък на стандартните (VFA) операционни усилватели е зависимостта на честотната им лента от стойността на избора, чрез външни елементи, коефициент на усилване по напрежение [2]. Друг недостатък е, че за осигуряване на висока скорост на нарастване на изходния сигнал, е необходимо да се зададат големи стойности на генератора на ток на входния диференциален усилвател [11]. Например, най-широко разпространения операционен усилвател $\mu A 741$ има коефициент на усилване по напрежение при ниски честоти $A_o \approx 200000$, полюс в честотната характеристика $f_{(-3dB)} \approx 5 \text{ Hz}$, честота $f_T = A_o f_{(-3dB)} \approx 1 \text{ MHz}$, ток на генератора на входното диференциално стъпало $I = 20 \mu A$ и кондензатор за честотна корекция $C_C = 30 \text{ pF}$. В резултат, честотната лента на усилвателя при усилване $A_U = 100$ е $f \approx 10 \text{ kHz}$, а при усилване $A_U = 10 - f \approx 100 \text{ kHz}$. Скоростта на нарастване на изходния сигнал $SR = I/C_C = 0.67 \text{ V}/\mu s$.

За избягване на посочените недостатъци в практиката се използват операционни усилватели с отрицателна обратна връзка по ток (CFA) [1,2, 11]. Схемата на усилвател от този тип е показана на фиг. 8-11 [2].

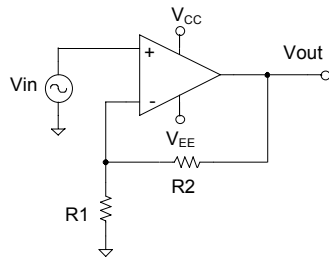


Фиг. 8-11: Принципно схема на ОУ с отрицателна обратна връзка по ток.

Входното стъпало (Q1-Q4) е реализирано с широколентовия буфер с усилване единица [26, 32]. Токът $I_p = I_1 - I_2$ е пропорционален на напрежението на входа V^+ . С помощта на токовите огледала на Wilson (Q5-Q7 и Q8-Q10), този ток се трансформира в I_C и формира в т.А напрежение, пропорционално на входното. С помощта на буфера Q11-Q16, това напрежение се предава на изхода на усилвателя.

Поради малката стойност на капацитета на кондензатора C и понеже коефициентът на усилване по напрежение на изходния буфер е единица, получаваната честотната лента е много по-широка от тази при стандартните операционни усилватели. Схемата се характеризира и с повишената скорост на нарастване на изходния сигнал, при сравнително ниска консумация и понижено захранващо напрежение.

На Фиг. 8-12 е показано стандартното свързване на операционен усилвател с отрицателна обратна връзка по ток (CFA) като неинвертиращ усилвател.



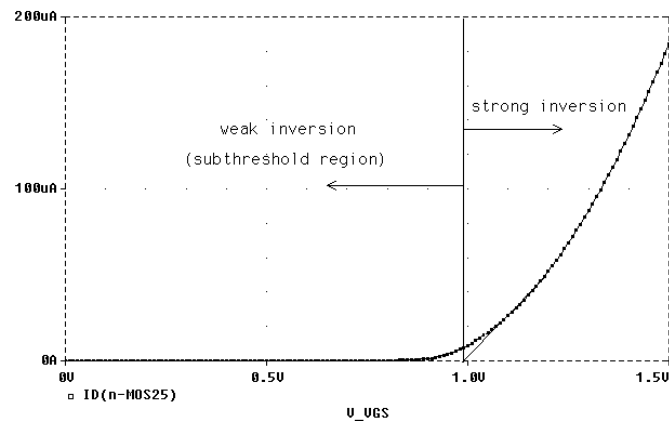
Фиг. 8-12:
Свързване на ОУ с ООВ по ток като неинвертиращ усилвател.

Коефициентът на усилване в тази схема се дава с известната формула $(1+R_2/R_1)$, а широчината на честотната лента е обратно пропорционална на стойността на резистора R_2 и не зависи от R_1 [1, 2]. Това дава възможност за реализация на усилватели с една и съща честотна лента, при различни стойности на коефициента на усилване.

9. РАБОТА НА MOS ТРАНЗИСТОРИТЕ В РЕЖИМ НА СЛАБА ИНВЕРСИЯ (ПОДПРАГОВА ОБЛАСТ)

Ефективен начин за намаляване на захранващите напрежения и консумацията на съвременните аналогови свръхголеми интегрални схеми е използването на транзистори, работещи в подпраговата област.

Подпраговата област (*subthreshold region*) на MOS транзисторите се намира в началния участък от предавателната характеристика, където напрежението между гейта и сорса е по-малко или близко до праговото. На Фиг. 9-1 е показана ориентировъчната граница между двете работни области - на силна инверсия (*strong inversion*) и на слаба инверсия (*weak inversion*).



Фиг. 9-1: Проходна характеристика на MOS транзистор с означение на областите на силна и слаба инверсия.

Работата на MOS транзисторите в подпраговата област се описва с аналитичния модел [4, 6, 9]

$$(9-1) \quad I_D = S I_{DO} [1 - \exp(-\frac{V_{DS}}{\phi_T})] \exp\left(\frac{V_{GS} - V_T}{n\phi_T}\right) \exp\left(\frac{(n-1)V_{BS}}{n\phi_T}\right),$$

където V_{GS} , V_{BS} и V_{DS} са напреженията между гейта и сорса, подложката и сорса, и дрейна и сорса; токът I_{DO} и факторът на наклона n са свързани с технологичния процес; $S = W/L$ е отношението между геометричните размери (широчина W и дължина L) на канала на транзистора; V_T е праговото напрежение; ϕ_T е топлинния потенциал.

Разгледаният модел намира широко приложение при анализа, проектирането и оразмеряването на интегрални схеми с MOS транзистори, рабо-

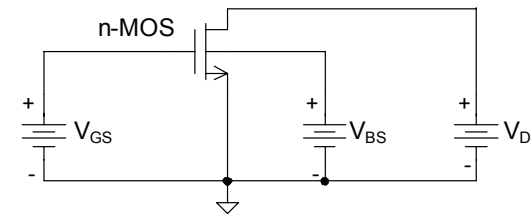
тещи в областта на слаба инверсия. За целта е необходимо да са известни стойностите на параметрите I_{DO} и n , максималната стойност на тока $I_{D_{MAX}}$, при който транзисторите работят на границата между областите на силна и слаба инверсия и минималната стойност $I_{D_{MIN}}$, при която е в сила горната формула.

Обикновено, при проектирането на MOS интегрални схеми, се задават PSpice моделите на използваните транзистори. В тези модели, параметрите I_{DO} , n , $I_{D_{MAX}}$ и $I_{D_{MIN}}$ не се включват директно. Те могат да се изчислят от технологичните параметри по сложни формули [4, 8] или да се определят от симулираните волт-амперни характеристики [28]. Вторият начин може да се приложи и при експериментално снети характеристики на транзисторите.

9.1. ОПРЕДЕЛЯНЕ НА ПАРАМЕТРИТЕ НА МОДЕЛА В РЕЖИМ НА СЛАБА ИНВЕРСИЯ

Схема за изследване

На Фиг. 9-2 е показана схемата за тестване на характеристиките на n-MOS транзистор, работещ в подпраговата област. Под него са дадени и параметрите на използвания PSpice модел. Параметърът, който отчита специфичните особености на MOS транзисторите в подпраговата област, е NFS [4, 8].



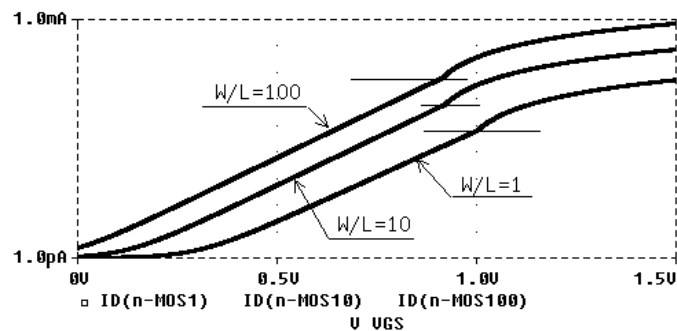
Фиг. 9-2: Схемата за симулационно тестване на MOS транзисторите в подпраговата област.

MODEL NMOS (LEVEL=2 LD=0.2045U TOX=394.0000E-10 NSUB=2.174E+16 VTO=0.8819 KP=5.081000E-05 GAMMA=0.9693 PHI=0.6 UO=579.8 UEXP=0.1531 UCRIT=81740 DELTA=7.67 VMAX=66140.0 XJ=0.20000U LAMBDA=2.2660E-02 NFS=3.91E+11 NEFF=1 TPG=1.000 RSH=21.8300 CGDO=2.6885E-10 CGSO=2.6885E-10 CGBO=3.8386E-10 CJ=3.9770E-04 MJ=0.4410 CJSW=4.2372E-10 MJSW=0.338141 PB=0.80000)

Определяне на максималния ток $I_{D_{MAX}}$

На Фиг. 9-3 са показани, получените чрез симулация, предавателни характеристики $I_D = f(V_{GS})$ при параметри 1, 10 и 100, работа на транзис-

тора в областта на насищане на изходните характеристики ($V_{DS} = 1 \text{ V}$) и $V_{BS} = 0 \text{ V}$.



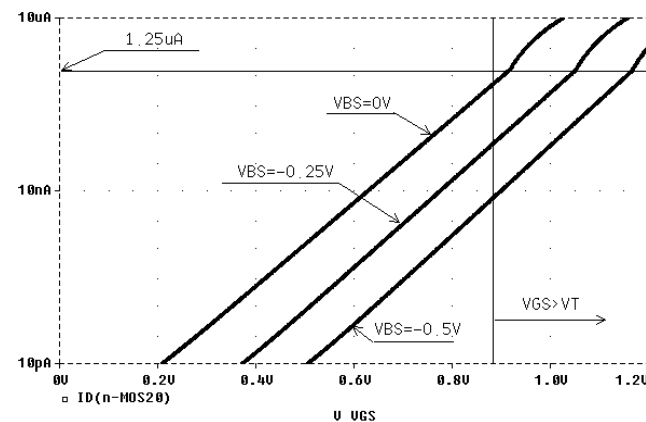
Фиг. 9-3: Предавателни характеристики при различни стойности на параметъра W/L .

Понеже скалата по оста Y е логаритмична, подпороговата област (участъка, където зависимостта на дрейновия ток от напрежението между гейта и сорса е експоненциална) се изобразява с права линия. Максималните стойности на тока $I_{D\text{MAX}}$ за трите случая са маркирани с къси отсечки. Това са стойностите, в които се осъществява смяната на наклона на характеристиките (от експоненциални зависимости стават квадратични). С несъществени отклонения, токовете $I_{D\text{MAX}}$ са пропорционални на отношението W/L на транзисторите. Например: при $W/L = 1$, $I_{D\text{MAX}} \approx 63.1 \text{ nA}$; при $W/L = 10$, $I_{D\text{MAX}} \approx 630 \text{ nA}$ и при $W/L = 100$, $I_{D\text{MAX}} \approx 6.3 \mu\text{A}$. Стойностите на напреженията V_{GS} , при които се получават тези токове са съответно: 1.00045 V , 0.92214 V , 0.913945 V . Посочените разлики в стойностите на напреженията се дължат на зависимостта на праговото напрежение V_T от размерите W и L .

Наблюденията върху характеристиките от Фиг. 9-3 водят до извода, че съществува и долна граница на тока (и напрежението V_{GS}), под която експоненциалната зависимост (9-1) не е валидна. В случая $I_{D\text{MIN}}$ е около 10 pA , а напреженията V_{GS} са: $\sim 440 \text{ mV}$ при $W/L = 1$; $\sim 210 \text{ mV}$ при $W/L = 10$; $\sim 100 \text{ mV}$ при $W/L = 100$.

На Фиг. 9-4 са показани получените, чрез симулация, предавателни характеристики $I_D = f(V_{GS})$ при параметър $V_{BS} = 0 \text{ V}$, -0.25 V и -0.5 V , работа на транзистора в областта на насищане ($V_{DS} = 1 \text{ V}$) и $W/L = 20$. Точките от характеристиките, в които става смяната на наклона, са свързани с хоризонтална линия, която пресича ординатната ос при стойност

$I_{D\text{MAX}} \approx 1.25 \mu\text{A}$. Следователно, стойността на $I_{D\text{MAX}}$ практически не зависи от напрежението между подложката и сорса V_{BS} .



Фиг. 9-4: Предавателни характеристики при различни стойности на параметъра V_{BS} .

Определяне на коефициентите I_{D0} и n

За определяне на фактора на наклона n , от предавателната характеристика на Фиг. 9-3, се отчитат напреженията V_{GS1} и V_{GS2} за два тока (I_{D1} и I_{D2}), намиращи се в двата края на подпороговата област. След заместване на тези стойности в (9-1) се получават система от две уравнения с решение

$$(9-2) \quad n = \frac{V_{GS1} - V_{GS2}}{\phi_T \ln(I_{D1}/I_{D2})}.$$

За конкретния случай, от характеристиката на Фиг. 9-3, при $W/L = 10$, се определят $I_{D1} = 602.322 \text{ nA}$ при $V_{GS1} = 0.919 \text{ V}$ и $I_{D2} = 14.512 \text{ pA}$ при $V_{GS2} = 0.277 \text{ V}$, след което по формулата (9-2) се изчислява $n = 2.34$.

Токът I_{D0} може да се разглежда като ток, който тече през транзистора при $V_{GS} = V_T$, $V_{BS} = 0 \text{ V}$ и $V_{DS} > (3 \div 4)\phi_T$ (режим на насищане на изходните характеристики). За определянето му, в (9-1) се замества отчетената от характеристиката стойност на напрежението V_{GS} , съответстващият ѝ ток I_D и изчислената стойност за n . Получава се формулата

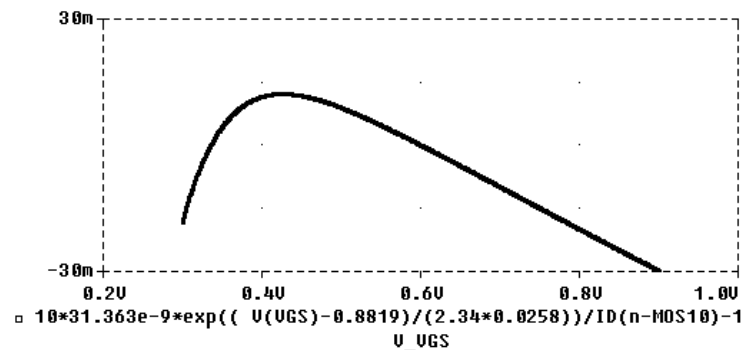
$$(9-3) \quad I_{D0} = \frac{I_D}{(W/L) \exp[(V_{GS} - V_T)/n\phi_T]}.$$

Например, от Фиг. 9-3, при $W/L = 10$, се отчита $I_D = 2.941258$ nA при $V_{GS} = 0.6$ V. След заместване в (9-3) се получава $I_{DO} = 31.363$ nA.

Въз основа на определените по-горе стойности $I_{DO} = 31.363$ nA и $n = 2.34$ и с помощта на формула (9-1) могат да бъдат изчислени стойностите на тока I_D в зависимост от напреженията V_{GS} , V_{BS} и V_{DS} за транзистори с различни стойности на отношенията W/L .

Оценка на грешката при определяне на параметрите на MOS транзисторите в подпороговата област

На Фиг. 9-5 е представена графика на относителната грешка от моделирането на дрейновия ток с помощта на формула (9-1). Графиката е получена с помощта на графичния постпроцесор Probe на PSpice. За целта резултатите от симулацията на транзистор с $W/L = 10$, $V_{DS} = 1$ V (режим на насищане) и $V_{BS} = 0$ V са сравнени с изчислените по формула (9-1) стойности на дрейновия ток. При изчисленията са използвани определените стойности на параметрите $I_{DO} = 31.363$ nA и $n = 2.34$. От графиката се отчита, че за стойности на V_{GS} в диапазона от 300 mV до 900 mV относителната грешка е от +1.5 % до -3 %. Подобна точност е напълно достатъчна за провеждане на начални анализи и оразмерявания на схеми.



Фиг. 9-5: Относителна грешка при моделиране на дрейновия ток с формула (9-1).

9.2. АНАЛИЗ И ОРАЗМЕРЯВАНЕ НА НЕЛИНЕЙНИ СХЕМИ С MOS ТРАНЗИСТОРИ В РЕЖИМ НА СЛАБА ИНВЕРСИЯ

Както беше посочено, поведението на MOS транзисторите в подпороговата област е коренно различно от поведението им в областта на силна инверсия. Поради ниските стойности на токовете (не по-големи от 5-6 μ A)

и експоненциалната зависимост на дрейновия ток от приложените напрежения, този режим се използва все по-често за изграждане на различни маломощни елементи на аналогово-цифровите VLSI - нелинейни преобразуватели, невронни вериги и др. [6].

По-долу, въз основа на два примера, са представени основните принципи и последователността на работа при анализа и оразмеряването на нелинейни аналогови схеми с MOS транзистори, работещи в подпороговата област.

Анализ на постояннотоковия модел в подпороговата област

В подпороговата област MOS транзисторите могат да работят в два режима - линеен и насищане. Границата между тях се определя от стойността на израза $[1 - \exp(-V_{DS}/\phi_T)]$ във формула (9-1). Ако той е приблизително единица, т. е. $V_{DS} > (3 \div 4)\phi_T$, транзисторът работи в режим на насищане и уравнението (9-1) се опростява

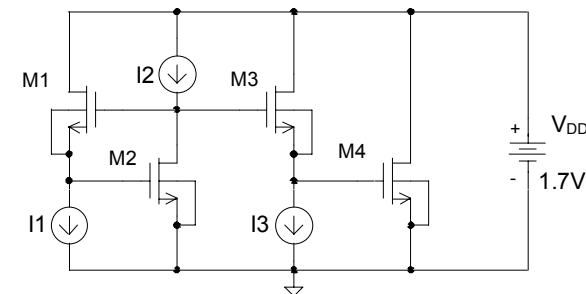
$$(9-4) \quad I_D = S I_{DO} \exp \frac{V_{GS} - V_T}{n\phi_T} \exp \frac{(n-1)V_{BS}}{n\phi_T}.$$

На практика това е най-често срещания случай. При него, от (9-4), за V_{GS} се получава

$$(9-5) \quad V_{GS} = V_T + n\phi_T \ln \left(\frac{I_D}{S I_{DO}} \right) - (n-1)V_{BS}.$$

Едноквадрантен умножител-делител на ток

Схемата на умножител-делителя е показана на Фиг. 9-6. Четирите транзистора работят в подпороговата област в режим на насищане на изходните характеристики ($V_{DS} > 100$ mV).



Фиг. 9-6: Едноквадрантен умножител-делител на ток.

Като се вземе пред вид, че $V_{BS} = 0$ V, формула (9-5) се свежда до

$$(9-6) \quad V_{GS} = V_T + n\phi_T \ln\left(\frac{I_D}{S_1 I_{DO}}\right).$$

След сумиране на напреженията в затворения контур се получава

$$(9-7) \quad V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4},$$

а след заместване на (9-6) в (9-7)

$$(9-8) \quad n\phi_T \ln\left(\frac{I_1}{S_1 I_{DO}}\right) + n\phi_T \ln\left(\frac{I_2}{S_2 I_{DO}}\right) = n\phi_T \ln\left(\frac{I_3}{S_3 I_{DO}}\right) + n\phi_T \ln\left(\frac{I_4}{S_4 I_{DO}}\right).$$

Ако транзисторите в схемата са еднакви (т.е. $S_1=S_2=S_3=S_4$)

$$(9-9) \quad I_4 = \frac{I_1 \cdot I_2}{I_3}.$$

От условието за работа в подпороговата област, за захранващото напрежение V_{DD} се получава

$$(9-10) \quad 2V_T + V_{DS} \geq V_{DD} \geq V_{GS1} + V_{GS2} + V_{DS},$$

където $V_{DS} > V_T$ е минималното напрежение върху източника на ток I_2 ($V_{DS} > 0,1$ V).

Като пример ще бъде оразмерена схемата на умножител-делител с максимална стойност на токовете $0,5 \mu\text{A}$ и параметри на транзисторите в подпороговата област $V_T = 0,8819$ V, $n = 2,31$ и $I_{DO} = 35,3$ nA.

Оразмеряването се извършва в следната последователност [27]:

- Ориентировъчните стойности на напреженията $V_{GS1} \div V_{GS4}$, при които тече максималният ток $I_D = 0,5 \mu\text{A}$, се избират около $0,8$ V (т.е. с 10% по-ниски от V_T).

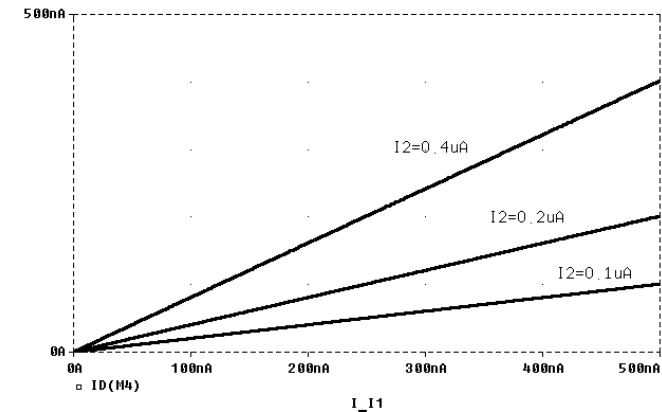
- От (9-6) за W/L се получава $W/L = 55,98$. Определят се $L = 10 \mu\text{m}$ и $W = 600 \mu\text{m}$.

- От (9-10) за захранващото напрежение V_{DD} се изчислява $1,86 \text{ V} \geq V_{DD} \geq 1,7 \text{ V}$. Избира се $V_{DD} = 1,7 \text{ V}$.

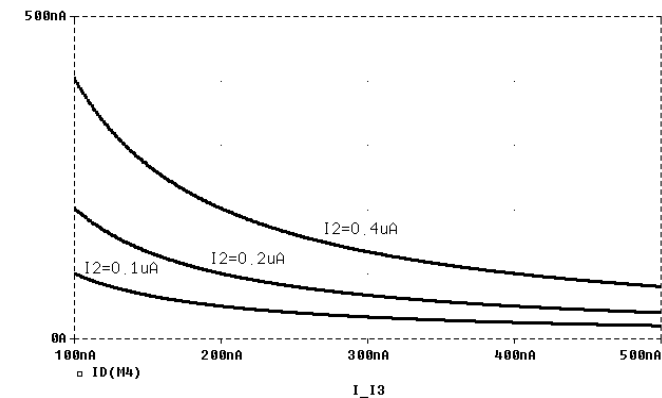
На Фиг. 9-7 и Фиг. 9-8 са дадени резултати от две симулации на схемата.

При първата симулация токът I_1 се променя от 0 до $0,5 \mu\text{A}$, токът I_2 приема три стойности - $0,1 \mu\text{A}$, $0,2 \mu\text{A}$ и $0,4 \mu\text{A}$, а токът I_3 е фиксиран на $0,5 \mu\text{A}$. В резултат, в статичен режим, при стойности на токовете $0,5 \mu\text{A}$, за

напреженията V_{GS} на транзисторите се получава $V_{GS2} = V_{GS4} = 0,7944$ V и $V_{GS1} = V_{GS3} = 0,8056$ V. Тези резултати са много близки до избраните стойности $0,8$ V. Максималната консумация е около $2 \mu\text{A}$, а консумираната мощност - $< 3,5 \mu\text{W}$. Направените отчитания с помощта на курсора на Проге показват, че, в случая, максималната грешка при преобразуването не надвишава 1 %.



Фиг. 9-7: Резултати от симулацията на умножител-делителя в функция от тока I_1 .



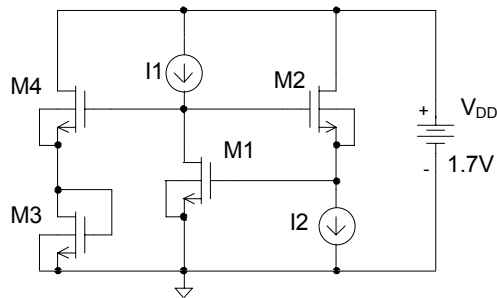
Фиг. 9-8: Резултати от симулацията на умножител-делителя в функция от тока I_3 .

При втората симулация (Фиг. 9-8) основна променлива е токът I_3 (променя се от $0,1 \mu\text{A}$ до $0,5 \mu\text{A}$), а I_2 приема три стойности ($0,1 \mu\text{A}$, $0,2 \mu\text{A}$

и $0,4 \mu\text{A}$). Токът I_1 е $0,1 \mu\text{A}$. Максималната грешка при преобразуването не надвишава $1,5\%$. Трябва да се отбележи, че схема с подобни функции не може да бъде реализирана с такава простота, прецизност, ниска консумация и захранващо напрежение, ако се използват MOS транзистори, работещи в стандартния режим на силна инверсия.

Схема за определяне на корен втори от произведението на два тока

Схемата за определяне на корен втори от произведението на два тока е показана на Фиг. 9-9. При анализа ѝ се използва същия подход, както при схемата от Фиг. 9-6.



Фиг. 9-9:
Схема за определяне на корен втори от произведението на два тока.

След сумиране на напреженията в затворения контур се получава

$$(9-11) \quad n\phi_T \ln\left(\frac{I_1}{S_1 I_{DO}}\right) + n\phi_T \ln\left(\frac{I_2}{S_2 I_{DO}}\right) = n\phi_T \ln\left(\frac{I_3}{S_3 I_{DO}}\right) + n\phi_T \ln\left(\frac{I_4}{S_4 I_{DO}}\right)$$

и следователно

$$(9-12) \quad \frac{I_1}{S_1} \frac{I_2}{S_2} = \frac{I_3}{S_3} \frac{I_4}{S_4}.$$

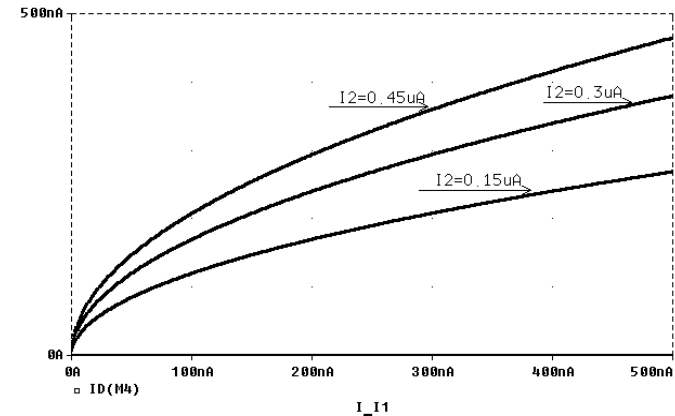
Като се вземе пред вид, че $I_3 = I_4$ се получава:

$$(9-13) \quad I_3 = I_4 = \sqrt{\frac{S_3 \cdot S_4}{S_1 \cdot S_2}} \sqrt{I_1 \cdot I_2}.$$

Уравнение (9-13) показва, че изходният ток I_4 е право пропорционален на корен втори от произведението на токовете I_1 и I_2 и зависи от отношенията на геометричните размери $S = W/L$ на транзисторите. Ако и четирите транзистора са еднакви то (9-13) се опростява до

$$(9-14) \quad I_3 = I_4 = \sqrt{I_1 \cdot I_2}.$$

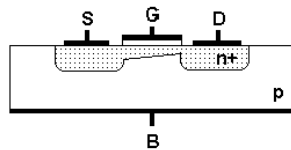
На Фиг. 9-10 са показани графично резултати от симулацията на схемата [27]. Схемата демонстрира отлична работоспособност като отчетената грешката при преобразуването не надвишава $2,2\%$. Максималната консумация е около $1,5 \mu\text{A}$, а консумираната мощност - $2,5 \mu\text{W}$.



Фиг. 9-10: Резултати от симулацията на схемата за определяне на корен втори от произведението на два тока.

10. ПРИЛОЖЕНИЯ НА "ЕФЕКТА НА ПОДЛОЖКАТА" В MOS ИНТЕГРАЛНИТЕ СХЕМИ

На Фиг. 10-1 е показана опростената вертикална геометрия на отпушен *n*-канален MOS транзистор. В резултат на подаването на достатъчно голямо положително напрежение на гейта G, транзисторът е отпушен и между дрейна D и сорса S е създаден канал с инверсна (*n*-тип) проводимост. Протича ток, чиято големина зависи от дълбочината на канала. В типичните приложения на транзистора, разгледани до тук, тази дълбочина се управлява посредством напрежението на гейта G.



Фиг. 10-1:
Опростена вертикална геометрия на отпушен *n*-канален MOS транзистор.

В гл. 1 беше посочено, че съществува още един, нетипичен начин, за управление на тока през транзистора - чрез промяна на напрежението V_{BS} между подложката B и сорса S. Обикновено изводът на подложката е фиксиран към най-отрицателния (за *n*-MOS транзистора) и най-положителния (за *p*-MOS транзистора) потенциал в схемата. В случаите, когато това не е изпълнено, параметрите и характеристиките на транзистора се влияят и от напрежението V_{BS} . Тази зависимост се нарича "ефект на подложката".

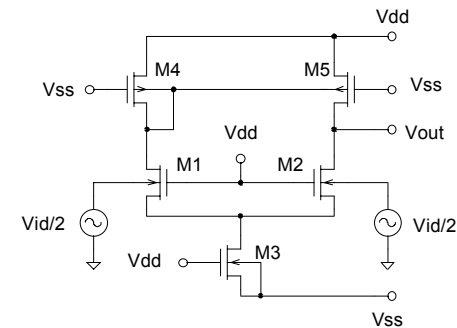
В променливотоковата еквивалентна схема на MOS транзистора, "ефекта на подложката" се отразява чрез въвеждането на втори зависим източник на ток $g_{mb}u_{bs}$ (Фиг.1-13), т.е. приема се, че подложката на транзистора въздейства като втори гейт на прибора. Стръмността g_{mb} на този допълнителен източник се дава с ориентировъчната зависимост [4]:

$$(10-1) \quad g_{mb} = \frac{\gamma}{2\sqrt{2\phi + V_{SB}}} g_m,$$

където g_m е стръмността на MOS транзистора спрямо гейта, а ϕ е повърхностния потенциал.

10.1. CMOS ДИФЕРЕНЦИАЛЕН УСИЛВАТЕЛ УПРАВЛЯВАН ЧРЕЗ "ЕФЕКТА НА ПОДЛОЖКАТА"

На Фиг. 10-2 е показана схемата на CMOS диференциален усилвател с понижено захранващо напрежение и управление, чрез използване на "ефекта на подложката".

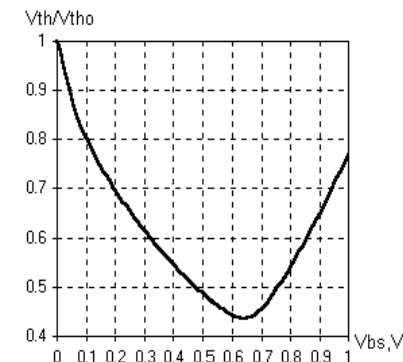


Фиг.10-2:
CMOS ДУ управляван през подложката.

Диференциалната двойка е съставена от транзисторите M1 и M2. Входният сигнал се подава на подложките на двата транзистора, а гейтовете им са включени към положителния полюс на захранващото напрежение V_{DD} . Необходимото минимално захранващо напрежение се определя от условието за отпушване на транзисторите M1 и M2

$$(10-2) \quad V_{GS1} - V_{T1} = V_{DD} + |V_{SS}| - V_{T1} - V_{DSAT3} \geq V_{eff\ min}$$

където V_{T1} е модифицираното прагово напрежение на M1 и M2; V_{DSAT3} е минималното напрежение между дрейна и сорса на транзистора M3, при което той работи стабилно в активен режим; $V_{eff\ min} > 0.1V$ е условието за работа на M1 и M2 в режим на силна инверсия.

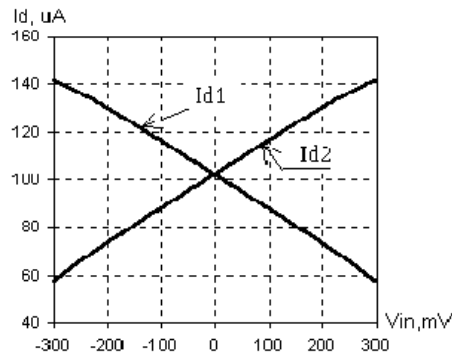


Фиг. 10-3:
Зависимост на праговото напрежение от V_{BS} .

За да е работоспособна схемата, е необходимо постояннотоковото ниво на подложката да бъде между потенциалите в сорса и дрейна на входните транзистори. Тогава модифицираното прагово напрежение ще намалее спрямо стойността му при $V_{BS}=0$, т.е. ($V_T < V_{T0}$). Това е демонс-

трирано на Фиг. 10-3, където е представен резултатът от изследването на отношението на праговите напрежения V_T и V_{TO} за 2- μm CMOS процес при стойности на V_{BS} между 0V и 1V. Анализът на графиката показва, че за диапазона $V_{BS} = 0 \div 0.6 \text{ V}$ праговото напрежение на транзистора намалява с повече от 50%. При стойности на V_{BS} по-големи от +0.6 V, $p-n$ преходът между подложката и сорса се отпусква и MOS транзисторът престава да изпълнява функциите си.

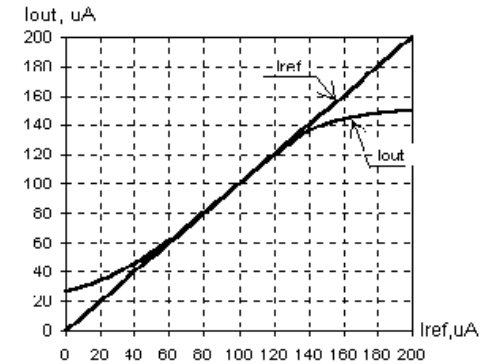
От формула (10-1) следва, че стръмността g_{mb} на MOS транзистора е от 5 до 10 пъти по-малка от g_m , но в случая, този недостатък се компенсира от възможността за работа при ниски захранващи напрежения. Например, при стойност на праговото напрежение $V_{TO} \approx 0.8\text{V}$ и напрежение между дрейна и сорса на M3 $V_{DS3} \approx 0.3\text{V}$, стойността на модифицираното прагово напрежение е $V_{T1} \approx 0.5 \div 0.6 \text{ V}$ и от формула (10-2) се получава, че схемата може да се захрани с напрежение $V_{DD} + |V_{SS}| \approx 1\text{V}$.



Фиг. 10-4:
Зависимост на изходните токове I_{D1} , μA и I_{D2} , μA от V_{in} , mV.

На Фиг. 10-4 е представена предавателната характеристика на входната диференциална двойка при входен сигнал $\pm 300\text{mV}$. При ток на генератора $I_{D3} \approx 200 \mu\text{A}$, проводимостта g_{mb} е около $130\mu\text{S}$.

Като активен товар на разглеждания диференциален усилвател е използвано простото токово огледало M4 - M5. За разлика от стандартния случай на схема с удвоено усилване, тук управлението на огледалния ток е чрез подложките на приборите. На Фиг.10-5 е показана зависимостта между управляващия и изходния ток при напрежение $V_{DS4} = 0.4\text{V}$. От нея може да се отчете, че в диапазона на входни токове между $60\mu\text{A}$ и $140\mu\text{A}$ има много добро съответствие между управляващия $I_{ref} = I_{D1}$ и огледалния $I_{OUT} = I_{D3}$ токове.



Фиг. 10-5:
Зависимост на огледалния ток $I_{OUT} = I_{D3}$ от задаващия ток $I_{ref} = I_{D1} = I_{D4}$ при $V_{DS} = 0.4\text{V}$.

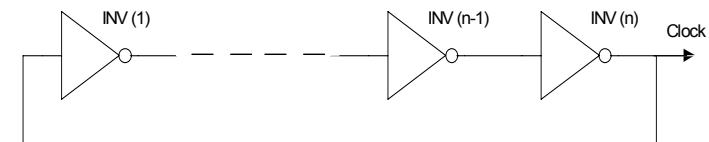
Симулацията на разглеждания усилвател при захранващи напрежения $\pm 0.5\text{V}$ дава следните резултати: консумирана мощност - $< 200\mu\text{W}$; коефициент на усилване без обратна връзка - 27.5 dB; честотна лента - 11.7 MHz [29].

10.2. ШИРОКОДИАПАЗОНЕН CMOS КРЪГОВ ГЕНЕРАТОР

На Фиг.10-6 е показана класическата схема на интегрален тактов генератор с нечетен брой, последователно свързани в кръг, инвертори [18]. Минималният брой инвертори, необходими за реализация на схемата, е три. Колкото броят им е по-малък, толкова по-висока е генерираната честота, но и формата на импулсите е по-различна от правоъгълната. Продължителността на периода T на генератора е:

$$(10-3) \quad T = 2nT_o,$$

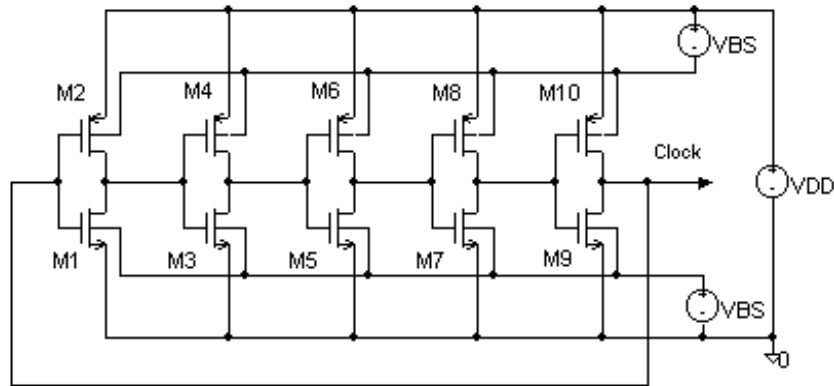
където с T_o е означено средното време на превключване при инверторите.



Фиг. 10-6: Интегрален тактов генератор с последователно свързани инвертори.

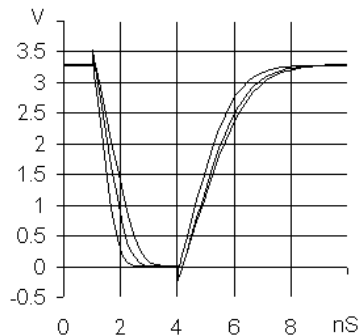
Един от недостатъците на тази схема е невъзможността за управление на честотата на генерация. За избягването му, в [30] е предложена и изследвана схема на CMOS кръгов генератор, при който управлението на честотата се осъществява, чрез промяна на напрежението на подложките

на MOS транзисторите (Фиг. 10-7). Това води до промяна на праговото напрежение на MOS транзисторите, а оттам и до промяна на времената на превключване на CMOS инверторите.



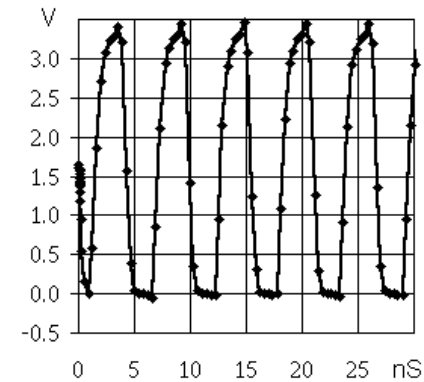
Фиг. 10-7: CMOS кръгов генератор с управление на честотата.

На Фиг. 10-8. са показани резултатите от симулацията на три CMOS инвертора с минимални размери на транзисторите и напрежения между сorsa и подложката V_{BS} съответно 0.5V, 0V и -0.5V. На входовете им е подаден идеален правоъгълен импулс, а изходите им са натоварени с кондензатори 0.1 pF. Трите инвертора имат различни закъснения при включване и изключване, което се дължи на различните стойности на напрежението V_{BS} за всеки от тях. Следователно, чрез плавната промяна на напрежението V_{BS} на транзисторите в CMOS инверторите от Фиг.10-7, може да се постигне промяна в закъсненията им при включване и изключване, а оттам и промяна на честотата на кръговия генератор.



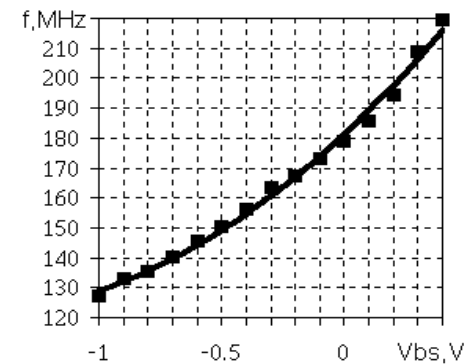
Фиг. 10-8: Импулсна реакция на изхода на CMOS инвертори при напрежения $V_{BS} = -0.5V, 0V$ и $+0.5V$.

На Фиг. 10-9 е показан резултата от симулацията на генератора, реализиран по 2- μm CMOS технология.. Формата на сигнала е почти правоъгълна, а размахът на импулсите е равен на захранващото напрежение.



Фиг. 10-9: Форма на тактовите импулси на изхода на генератора.

На Фиг. 10-10 са показани обобщените резултати от изследването на генератора при стойности на напрежението V_{BS} между $-1V \div +0.4V$ за n -каналните транзистори и съответно $+1V \div -0.4V$ за p -каналните. При тези стойности, зависимостта на честотата на тактовия генератор от напрежението V_{BS} е близка до линейната и се променя между 120 MHz и 220 MHz.



Фиг. 10-10: Зависимост на честотата на генератора f , MHz от напрежението V_{BS} , V.

Въпреки сравнително тесния диапазон на управляващото напрежение ($-1V \div 0.4V$ за n -каналните и $1V \div -0.4V$ за p -каналните транзистори), отношението на максималната към минималната работна честота клони към 2, което, според критериите на редица автори, е много добър резултат. При необходимост, долната граница на честотата на генератора може да се

понижи още повече, чрез по-голямо изменение на стойността на V_{BS} (под $-1V$ за n -каналните транзистори и над $+1V$ за p -каналните).

Предложеният подход, използващ "ефекта на подложката", може да бъде приложен и дава подобни резултати и при схеми с по-малък (три) или по-голям брой инвертори. Например, при генератор състоящ се от девет инвертора, при същата технология и същия диапазон на изменение на напрежението V_{BS} , измененията на честотата са от 70 MHz до 120 MHz.

Съществено предимство на предложената схема е, че за работата ѝ не е необходима симетрия (еднаквост) между напреженията сорс-подложка на p - и n - каналните транзистори. Например, възможно е управлението на честотата да се осъществи само чрез промяна на напрежението V_{BS} на p -каналните транзистори, което би опростило значително технологичното изпълнение на генератора. Тази асиметрия в управляващите напрежения няма да окаже влияние върху характера на протичащите процеси в схемата, а само върху конкретните стойности на генерираната честота. Проведените симулации, при стойности на напрежението V_{BS} на p -каналните транзистори между $+1V \div -0.4V$ и напрежение сорс-подложка на n -каналните транзистори равно на нула, показаха, че честотата на генератора, съставен от пет инвертора, може да се управлява в границите $166 \div 190$ MHz, без да се наблюдава съществена промяна във формата на изходния сигнал и консумацията на схемата.

ЛИТЕРАТУРА

1. Burr-Brown. Integrated Circuits Data Book. Linear Products. 1995.
2. Comlinear Corporation. 1993-1994 Databook.
3. Fonderie M.J., H. Huijsing. Design of Low-Voltage Bipolar Operational amplifiers. Kluwer Acad. Publ., Boston/Dordrecht/London. 1993.
4. Geiger R. L., Ph. E. Allen, N.R. Strader, VLSI Design Techniques for Analog and Digital Circuits, McGraw-Hill Publishing Company, 1990.
5. Gray P.R., R. G. Meyer, Analysis and Design of Analog Integrated Circuits, John Wiley & sons, 1984.
6. Ismail M., T. Fiez. Analog VLSI. Signal and Information Processing. McGraw-Hill Int. Ed., 1994.
7. Johns D. A., K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, Inc., 1997.
8. Laker K.R., W.M.C. Sansen, Design of Analog Integrated Circuits and Systems, McGraw-Hill Int. Ed., 1994.
9. Ong, DeWITT. Modern MOS Technology: Processes, Devices, and Design. McGraw-Hill Publishing Company, 1986.
10. Sakurai S., M. Ismail. Low-voltage CMOS operational amplifiers. Kluwer Academic Publ., 1995.
11. Smith D., M. Koen, and Arthur F. Witulski. Evolution of High-Speed Operational Amplifier Architectures. IEEE Journal of Solid -State Circuits, Vol. 29, NO. 10, October 1994.
12. Алексенко А, И.И. Шагурин. Микросхемотехника. Москва, 1982.
13. Аллен Ф., Э. Санчес-Синенцио, Электронные схемы с переключаемыми конденсаторами, Радио и связь, Москва, 1989.
14. Ватанабэ М., Асада К., Кани К., Оцуки Т. Проектирование СБИС. Пер. с япон. - М.: -Мир, 1988.
15. Вълков С. А., Микроелектронна схемотехника, Техника, София, 1985.
16. Вълков С.А. Анализ и синтез на интегрални схеми. Техника, С., 1977.
17. Вълков С.А. Ръководство за аудиторни упражнения по микроелектронна схемотехника, София, 1981.
18. Вълков, С.А. Генератори на правоъгълни импулси с MOS-елементи. С., Техника, 1982.
19. Гаджева Е., Т. Куюмджиев, С. Фархи. Компютърно моделиране и симулация на електронни и електрически схеми с OrCAD PSpice. С., Меридиан 22, 2001.
20. Гребен А. Б. Проектирование аналоговых интегральных схем. Пер. с англ. М., "Энергия", 1976.
21. Донева Л. А., Д. И. Стаменов, Н. Т. Чамов, Ръководство по електронни аналогови схеми и устройства, Техника, София, 1988.
22. Достал И., Операционни усилители, Пер. с англ., М., Мир, 1982.
23. Златаров В. К., Л. А. Донева, Д. И. Стаменов, И. Н. Немигенчев, Електронни аналогови схеми и устройства, Техника, София, 1988.
24. Златаров В., Л. Донева, Д. Стаменов, С. Нихтянов, К. Аспарухова, В. Георгиев. Ръководство за курсово проектиране по електронни аналогови схеми и устройства. Техника, София, 1993.
25. Манолов Е. Д. Проектиране на нисковолтови CMOS операционни усилватели на проводимост. Годишник на ТУ - София, т. 52, 2001 г.
26. Манолов Е. Д., А. Н. Попов. Схема за комутация на аналогови сигнали. сп. "Електротехника и електроника", бр.3-4/1999, стр.27-30.
27. Манолов Е.Д. Анализ и измеряване на нелинейни схеми с MOS транзистори работещи в подпороговата област. Сб. доклади от 10 международна научна и научно-приложна конференция "Електроника ET'2001", т.3, стр. 201-206.
28. Манолов Е.Д. Определяне на параметрите на MOS транзисторите в подпороговата област. Сб. доклади от 10 международна научна и научно-приложна конференция "Електроника ET'2001", т.3, стр. 195-200.
29. Манолов Е.Д. Понижаване на захранващото напрежение на CMOS аналоговите интегрални схеми чрез "ефекта на подложката", сп. "Електротехника и електроника", бр. 5-6/2000, стр. 31-34.
30. Манолов Е.Д., А.Н.Попов. Широкодиапазонен CMOS кръгов генератор. сп."Електротехника и електроника", бр. 9-10/2000, стр. 11-14.
31. Михов Г. Цифрова схемотехника. ТУ-София, 1998.
32. Соклоф С., Приложение на аналогови интегрални схеми, Техника, 1990.
33. Шойкова Е., И. Пандиев. PSpice макромодели на операционни усилватели. Технически университет - София, 2000.
34. Шойкова Е., С. Цанова, Д. Колев, И. Пандиев, Методология за проектиране на електронни схеми с PSpice, ТУ - София, 2000.