

---

# Еквивалентни схеми на CMOS интегралните елементи

---

Проектиране на аналогови интегрални схеми

Емил Д. Манолов, [edm@tu-sofia.bg](mailto:edm@tu-sofia.bg), [edmanolov@gmail.com](mailto:edmanolov@gmail.com)  
кат. “Електронна техника”, Технически университет - София



# Схемотехническо проектиране на интегрални схеми

Изисквания към проектанта - задълбочено познаване на :

- технологията за проектиране и реализация на схемите;
- параметрите и характеристиките на използваните интегрални елементи;
- основните схемотехнически решения на най-често използваните функционални блокове и
- методите за оразмеряването, симулирането и оптимизацията им.

# Етапи при схемотехническото проектиране на интегрални схеми -1

Схемотехническо проектиране на интегрални схеми се характеризира с последователни итерации за разработване на работоспособни схеми и тяхната оптимизация.

На началния етап от проектирането се анализират и избират няколко схемни решения, за които се предполага, че изпълняват най-добре изискванията на конкретното задание. С помощта на опростени формули и модели се определят токовете и размерите на транзисторите.

С целенасочени симулации в интерактивен режим, се доуточняват режимите на работа на отделните транзистори и техните окончателни размери, а при необходимост избраните схемни решения се модифицират. За целта се използват сложни компютърни модели, които отчитат ефектите от втори ред и вариациите на технологичния процес. Те осигуряват на проектанта точна информация за работата на схемата.

# Етапи при схемотехническото проектиране на интегрални схеми - 2

Въз основа на резултатите от симулациите се прави окончателен избор на техническо решение, което да изпълнява по най-добрия начин изискванията на заданието.

Следва оптимизация на избраното решение с помощта на съвременни методи и програмни пакети с цел постигане на ниска чувствителност по отношение на вариациите на технологичния процес, режима и температурата.

# Модели за “ръчни изчисления” и за компютърни симулации - 1

От практическа гледна точка могат да се разграничат два типа транзисторни модели, които се използват в процеса на проектиране.

Първият тип са моделите за “ръчни” изчисления, включващи само най-основните параметри на транзисторите и позволяващи да се оценят характеристиките на схемата с помощта на прости изрази.

Използването на моделите за ръчни изчисления осигурява само ориентировъчното определяне на характеристиките на схемата, но на началните етапи на проектирането простотата на изчисленията и нагледността при изясняване на основните отношения и ограничения в схемите е по-важно от прецизността на резултатите.

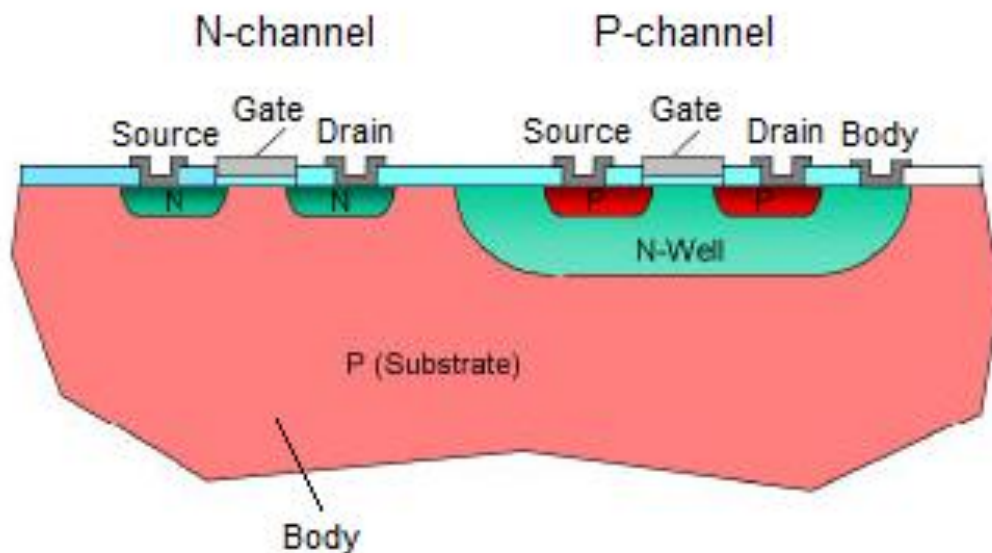
## Модели за “ръчни изчисления” и за компютърни симулации - 2

Вторият тип са транзисторните модели, които се използват при симулация на схемите. Това са сложни модели, с голям брой параметри, включени в изключително обемисти уравнения. Тези модели осигуряват ефективни и прецизни компютърни симулации, но трудно могат да се приложат при първоначалните ръчни изчисления.

**Задачата на настоящия курс е да представи основните принципи при оразмеряването и симулирането на типичните CMOS аналогови схеми на началния етап от проектирането им.**

**За целта е разгледан опростен подход за първоначални пресмятания на схемите, използващ моделите за ръчни изчисления.**

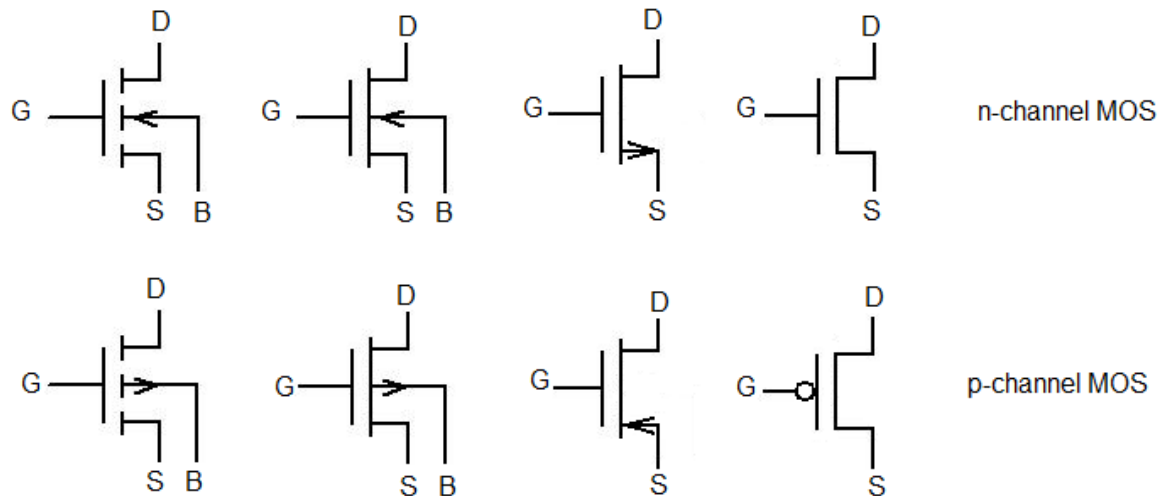
# Конструкция на CMOS транзисторите



Фигурата представя типичните N-канален и P-канален MOST с вграден канал, използвани при CMOS схемите. Те имат четири извода: **G** - гейт (gate), **D** - дрейн (drain), **S** - сорс (source) и **B** - подложка (body, back gate, bulk). Подложката **B** е свързана така, че през нея да текат само минимални токове на утечка. Принципът на действие на транзисторите се основава на подаване на напрежение между гейта и сорса с цел управление на размерите на проводящия канал между областите на сорса и дрейна.



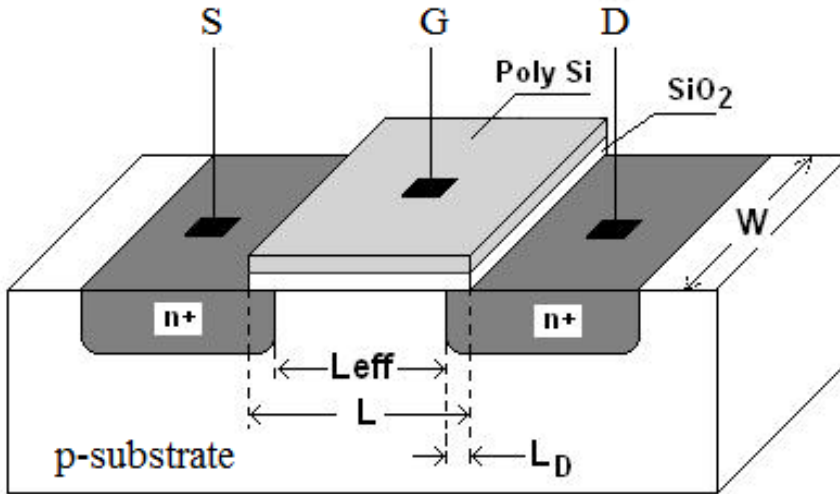
# Символи за означение на CMOS транзисторите



Транзисторите имат четири извода, но обикновено подложката **B** на n-MOST е свързана към минималното захранващо напрежение  $U_{SS}$ , а подложката **B** на p-MOST – към максималното захранващо напрежение  $U_{DD}$ . Това позволява да се използват опростени означения с три извода (без извод **B**).

Понеже интегралният транзистор е симетричен елемент, сорсът и дейнът в някои случаи могат да разменят местата си.

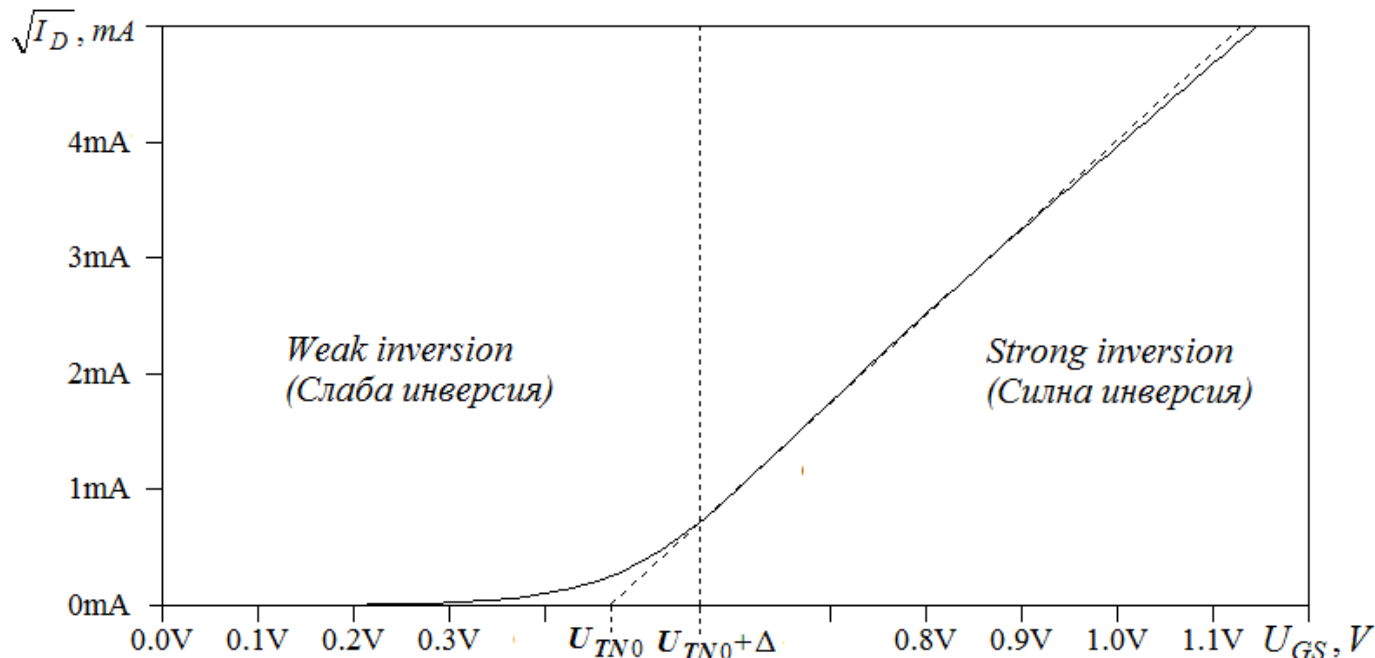
# Тимерно изображение на интегрален n-MOS транзистор



Между  $n+$  областите на дрейна и сorsa е каналът на транзистора. Над него е тънкият изолиращ слой  $\text{SiO}_2$ . Гейтът (*gate*)  $G$  на транзистора е реализиран с полисилиций *Poly Si*. С черно са отбелязани металните контакти на трите извода.

Характеристиките на показаня транзистор зависят както от параметрите на технологията (нива на легиране, дебелина на гейтовия окис и др.), така и от геометричните му размери (дължината на канала  $L$  и широчината му  $W$ ). На практика технологичните параметри са фиксирани за използваната технология. **Проектантите на схеми могат да променят само геометричните размери  $L$  и  $W$  на транзисторите с оглед получаване на желаните характеристики.**

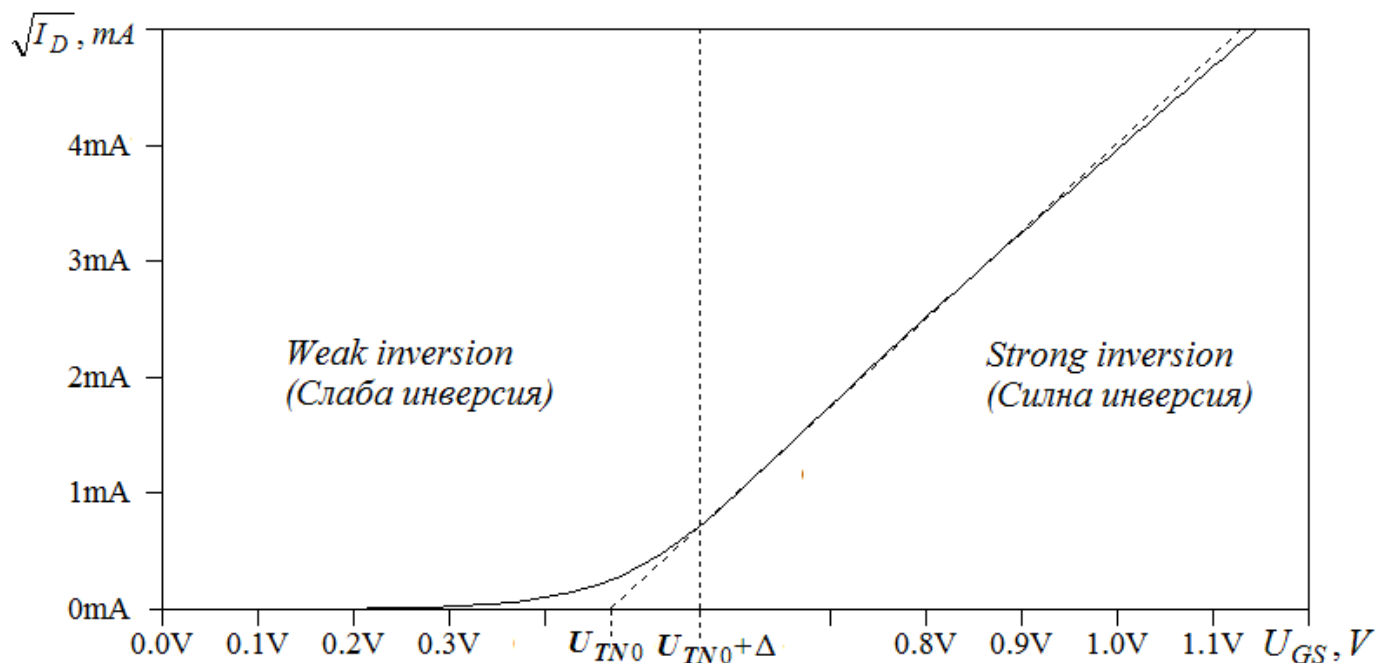
# Предавателна характеристика на n-MOST с индуциран канал



Лявата област ( $U_{GS} < U_{TN0} + \Delta$ ) се характеризира с *експоненциална зависимост* на тока от напрежението. Тази област се нарича подпрагова (*subthreshold*), в нея транзисторът работи в режим на слаба инверсия (*weak inversion*).

Дясната област ( $U_{GS} \geq U_{TN0} + \Delta$ ) се характеризира с *квадратична зависимост* на тока от напрежението и се апроксимира с прекъснатата права линия. В тази област транзисторът работи в режим на силна инверсия (*strong inversion*).

# Области на работа на MOST

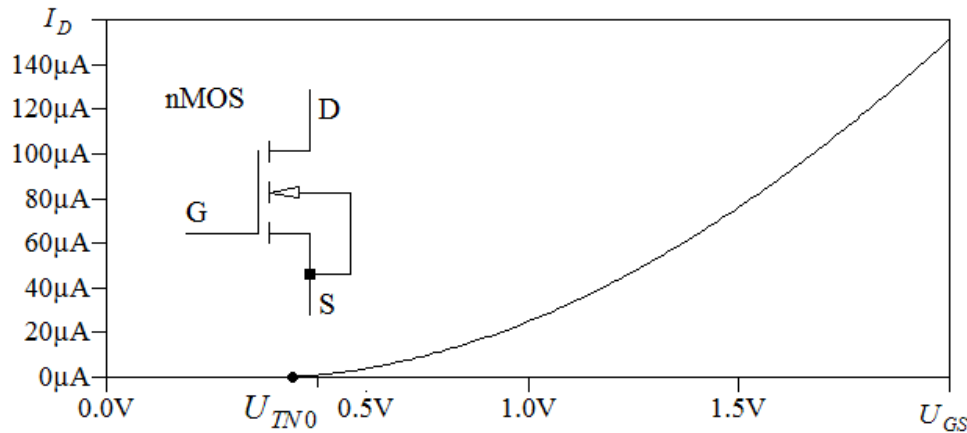


Напрежението, при което продължението на прекъснатата права линия пресича абсцисата, се нарича *прагово напрежение* на транзистора  $U_{TN0}$ .

Стойността на  $\Delta$  е приблизително равна на  $(2 \div 4)\phi_T$  ( $\phi_T$  е топлинният потенциал – около 25,85mV при 300K).

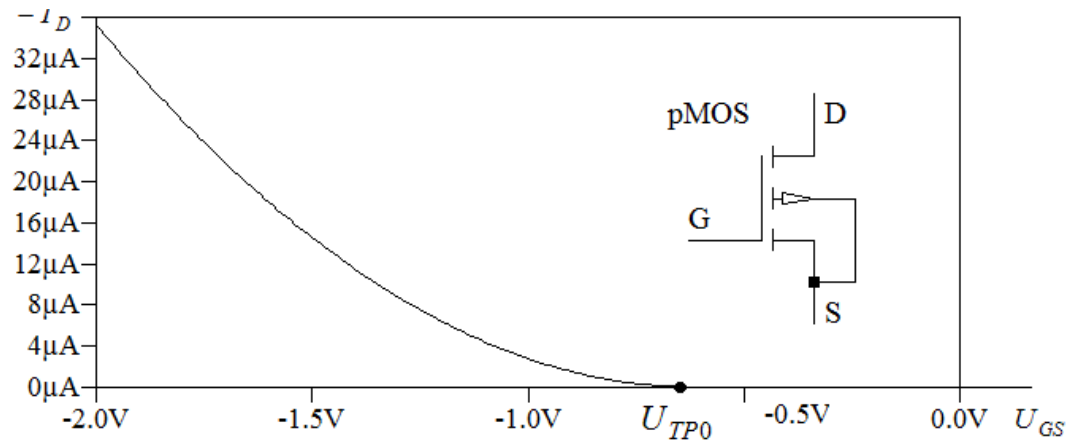
При по-големи стойности на напрежението зависимостта на тока се отклонява от квадратичната поради ефекта на насищане на дрейфовата скорост на токоносителите в канала.

# Прагово напрежение при n-MOST и p-MOST



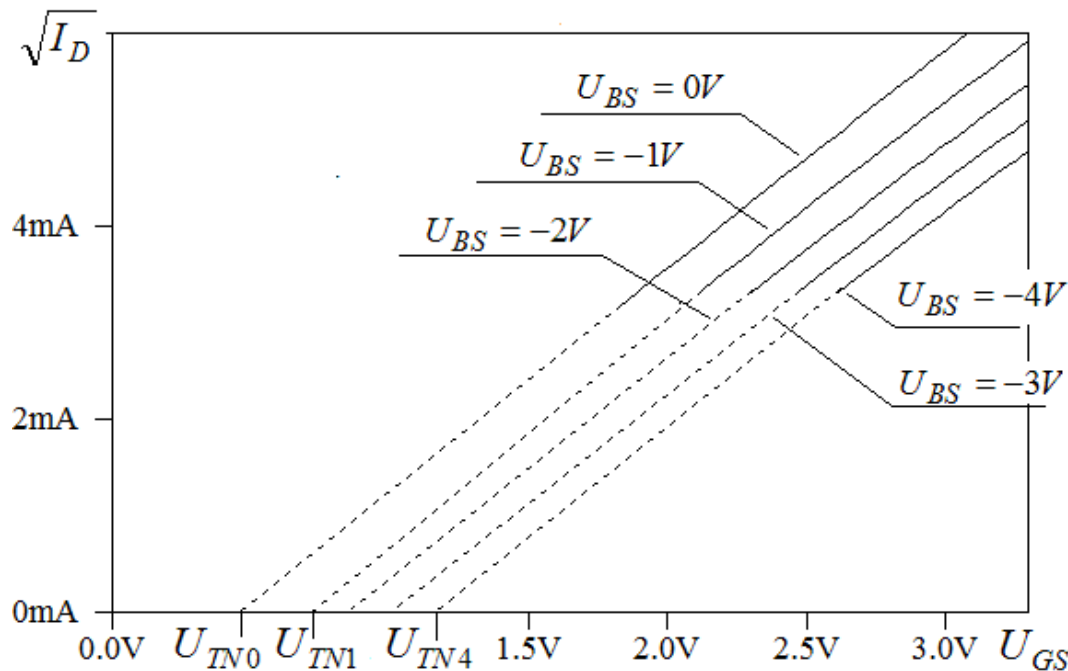
Типичната стойност на праговото напрежение при n-MOS транзисторите варира между  $0,2V$  (при  $L_{min}=20nm$ ) и  $0,6V$  (при  $L_{min}=350nm$ ).

При p-MOS транзисторите стойността на праговото напрежение има отрицателен знак.



Праговите напрежения зависят от температурата и от конкретните размери на канала на транзисторите.

# Ефект на подложката



Фигурата представя линеаризирани предавателни характеристики на n-MOS транзистор.

Колкото потенциалът на подложката е по-отрицателен ( $U_{BS}=0V, -1V, -2V, -3V, -4V$ ), толкова повече нараства праговото напрежение ( $U_{TN0}, U_{TN1}, U_{TN2}, U_{TN3}, U_{TN4}$ ).

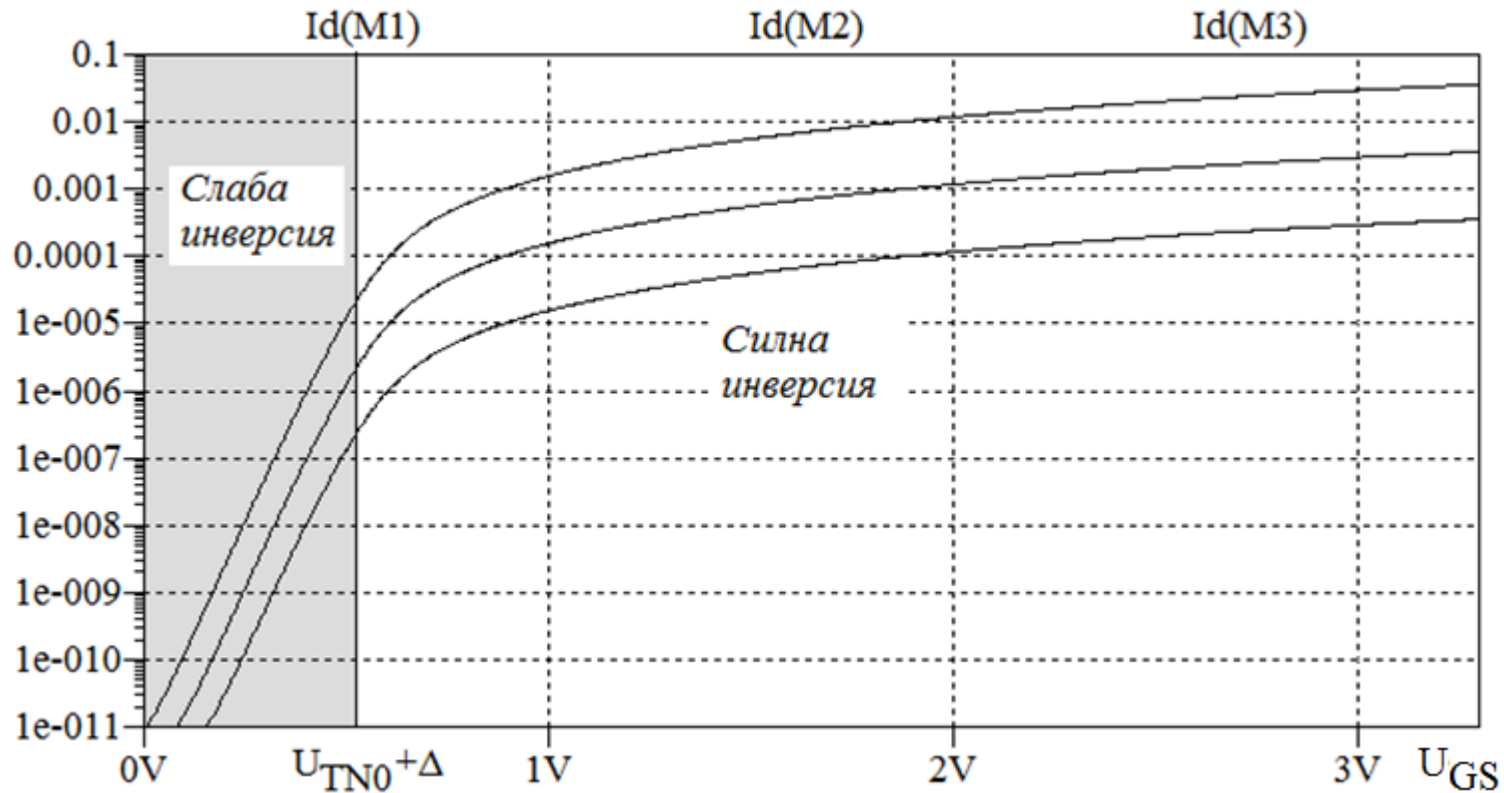
Това явление се нарича ефект на подложката.

Стойността на праговото напрежение при различни стойности на  $U_{BS}$  може да се изчисли с формулата:

$$U_{TN} = U_{TN0} + \gamma_n \left( \sqrt{U_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|} \right)$$

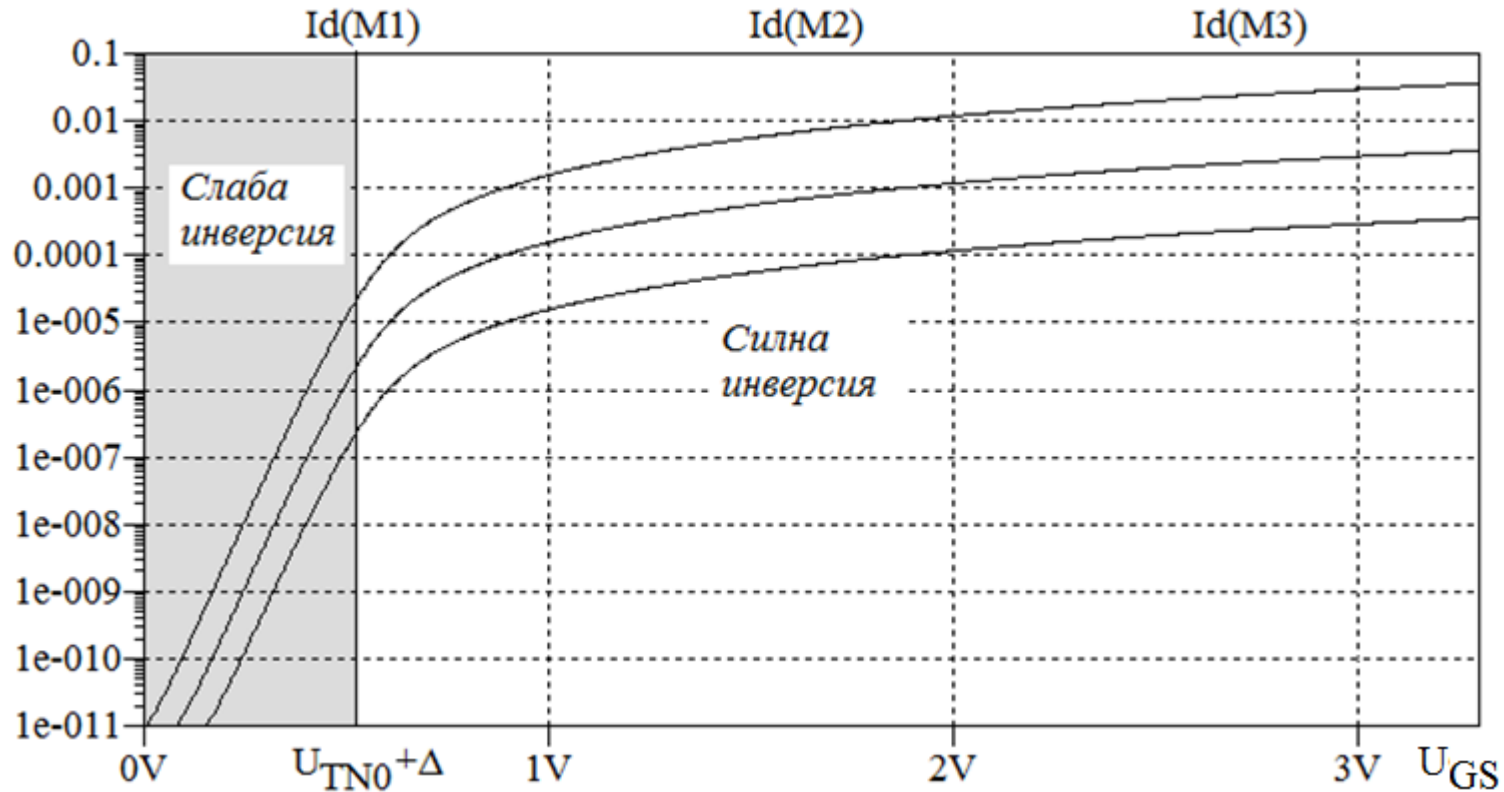
където  $U_{TN0}$  е праговото напрежение при свързани накъсо сорс и подложка ( $U_{BS}=0V$ ),  $\gamma_n$  е параметър на ефекта на подложката ( $\gamma_n \approx (0,3 \div 0,8)V^{1/2}$ ,  $|2\phi_F|$  е потенциал на Ферми ( $|2\phi_F| \approx 0,6V$ )).

# Слаба и силна инверсия - 1



Фигурата представя в логаритмичен мащаб зависимостта на дрейновия ток  $I_D$  от напрежението между гейта и сорса  $U_{GS}$  при три MOS транзистора с отношения  $W/L$ , равни на 1, 10 и 100. Поради експоненциалната зависимост на тока от напрежението в режим на слаба инверсия, в началото графиката има линеен характер.

## Слаба и силна инверсия - 2

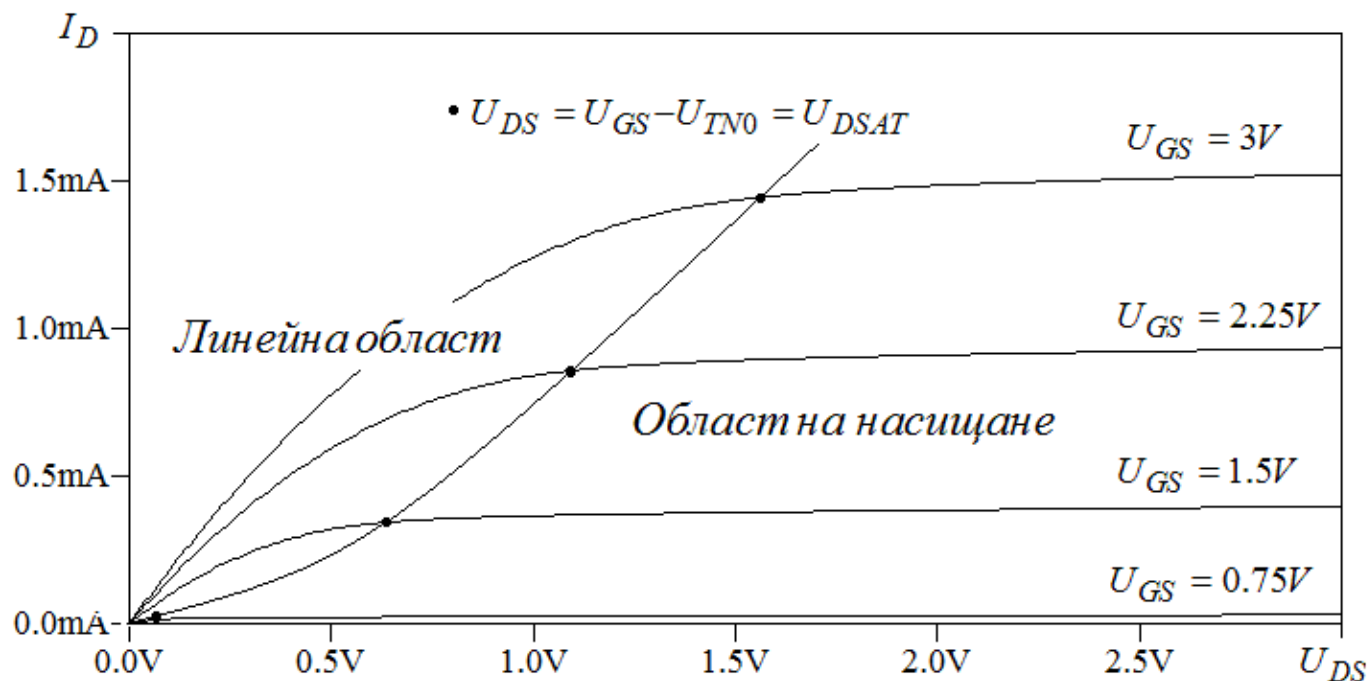


Режимът на силна инверсия се проявява при стойности на входното напрежение над  $U_{TN0} + \Delta$ . В този режим, токът се променя по квадратичен закон.

При субмикронните технологии  $\Delta \approx 0,1V$  и следователно за работа в силна инверсия е необходимо  $U_{GS} - U_{TN0} \geq 0,1V$ . Разликата се нарича “ефективно напрежение” и се бележи с  $U_{eff}$ .

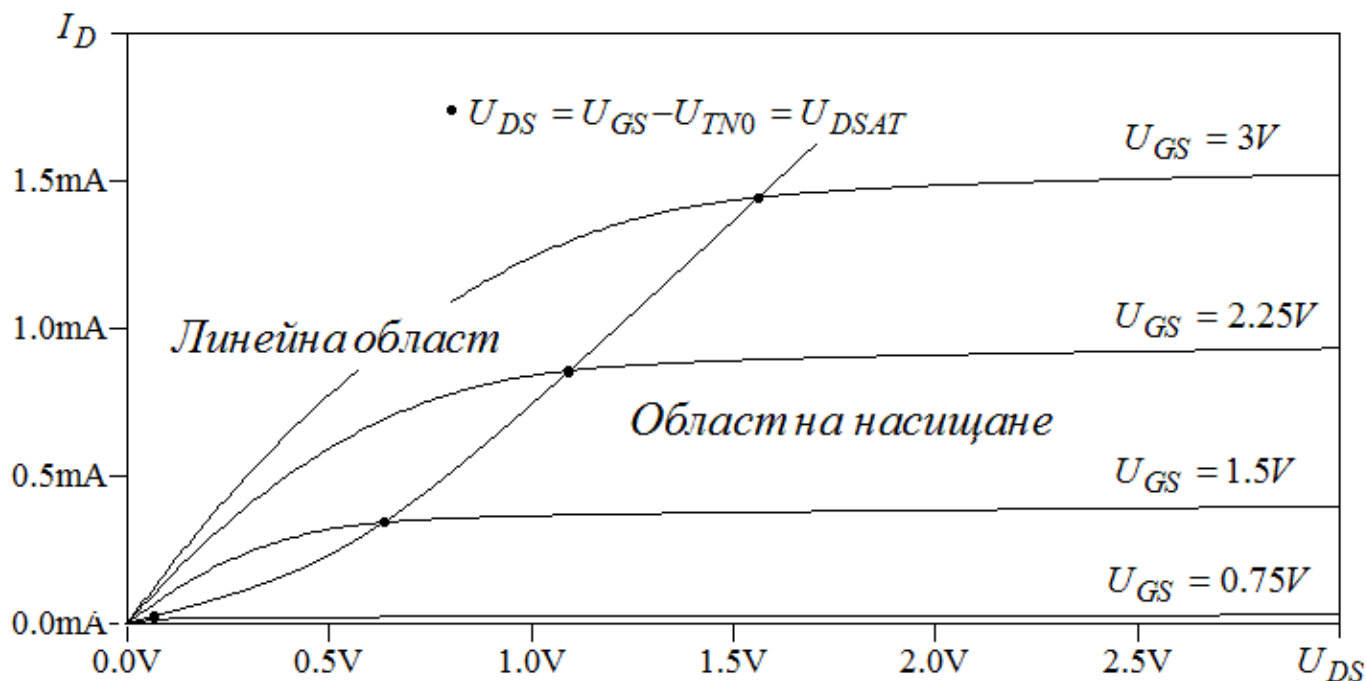


# Работа в режим на силна инверсия - 1



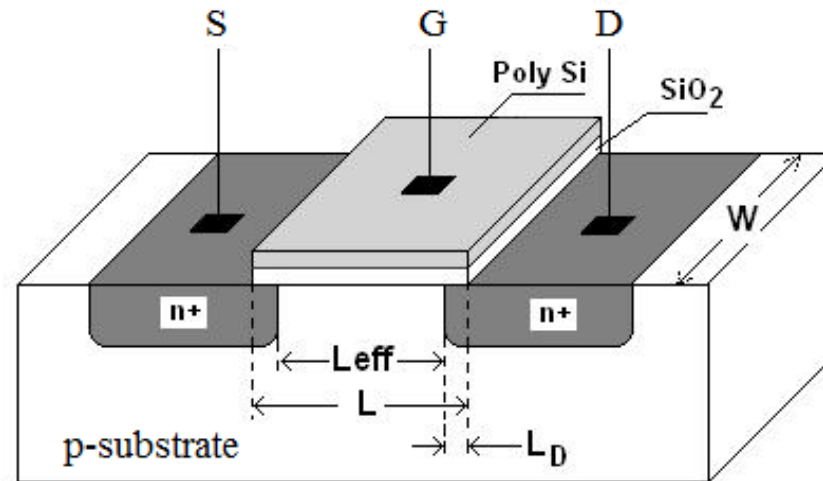
На фигурата са показани фамилията изходни характеристики на pMOST в режим на силна инверсия. Характеристиките са разделени на два участъка от парабола, представляваща геометрично място на точки, за които е изпълнено условието  $U_{DS} = U_{GS} - U_{TN0} = U_{DSAT} = U_{eff}$ .  $U_{DSAT}$  се нарича *напрежение на насищане* и неговата стойност се променя с промяната на  $U_{GS}$ .

## Работа в режим на силна инверсия - 2



Първият участък (вляво) се характеризира с почти линейна зависимост на тока от напрежението. Нарича се линейна област (*linear, ohmic, triode region*). В другия участък токът е практически независим от напрежението. Нарича се област на насищане (*saturation, pinch-off*), а по аналогия с биполярния транзистор понякога се употребява и изразът активна (*active*) област.

# Основни параметри на MOST



$\mu_n$  - подвижност на електроните;  $\mu_p$  - подвижност на дупките

$C_{OX}$  - специфичен капацитет на окиса под гейта;

$W$  - широчина на канала;  $L$  - дължина на канала;

$K_n = \mu_n C_{OX}$  - фактор на стръмността за NMOS транзистор;

$K_p = \mu_p C_{OX}$  - фактор на стръмността за PMOS транзистор;

$U_{TN}$  ( $U_{TP}$ ) - прагово напрежение на NMOS (PMOS) транзистор;

$U_{TN0}$  ( $U_{TP0}$ ) - прагово напрежение на NMOS (PMOS) транзистор при свързани накъсо сорс и подложка ( $U_{SB} = 0$ ).

# ПОСТОЯННОТОКОВИ ЗАВИСИМОСТИ В СИЛНА ИНВЕРСИЯ

Работа на NMOS транзистор в силна инверсия, в линейната област

*Условия:*

$$\left| \begin{array}{l} U_{eff} = U_{GS} - U_{TN} \geq 0.1V \\ U_{DS} < U_{DSAT} \approx U_{eff} = U_{GS} - U_{TN} \end{array} \right.$$

*Уравнение за дрейновия ток:*

$$I_D = K_n \frac{W}{L} \left( U_{GS} - U_{TN} - \frac{U_{DS}}{2} \right) U_{DS}$$

Работа на NMOS транзистор в силна инверсия, в областта на насищане

*Условия:*

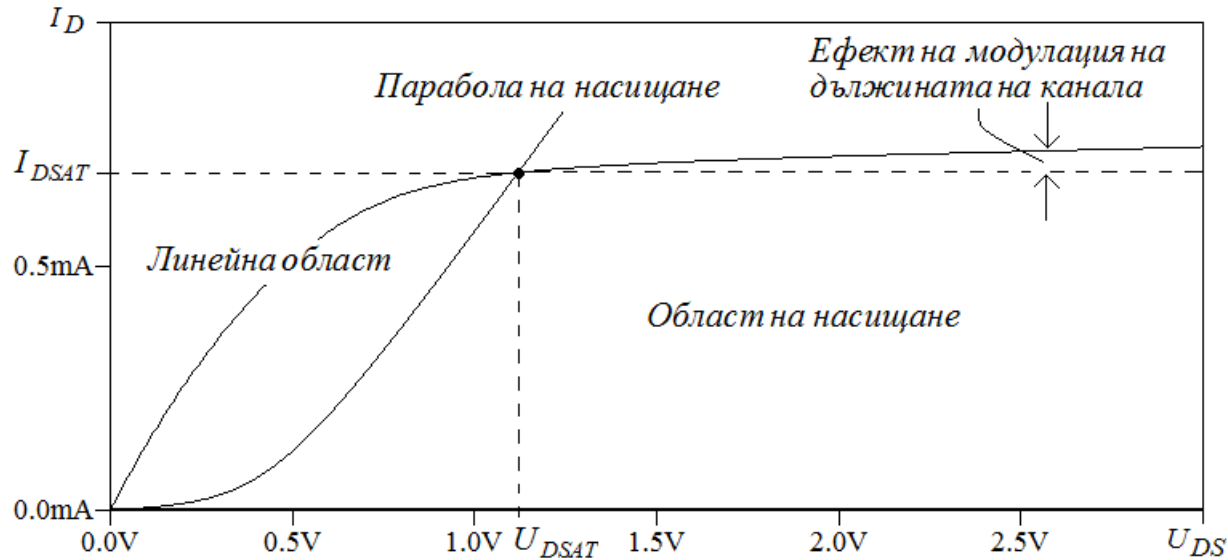
$$\left| \begin{array}{l} U_{eff} = U_{GS} - U_{TN} \geq 0.1V \\ U_{DS} \geq U_{DSAT} \approx U_{eff} = U_{GS} - U_{TN} \end{array} \right.$$

*Уравнение за дрейновия ток:*

$$I_{DSAT} = \frac{K_n}{2} \frac{W}{L} (U_{GS} - U_{TN})^2$$
$$I_D = I_{DSAT} [1 + \lambda(U_{DS} - U_{DSAT})]$$

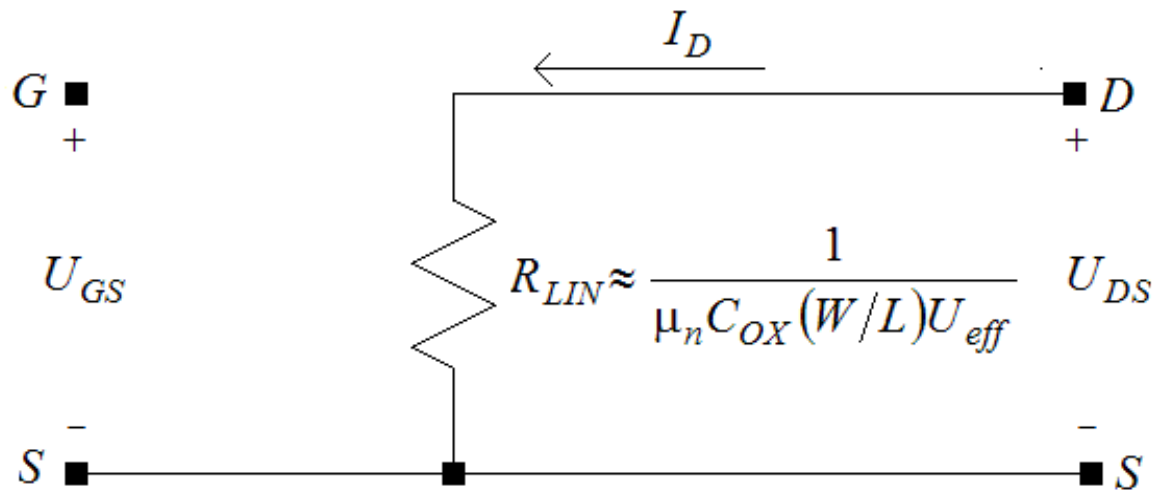
*Забележка:* Представените уравнения са в сила и за PMOS транзистори при условие, че напреженията се вземат по абсолютна стойност.

# Коефициент на модулация на дължината на канала $\lambda$



Фигурата представя изходната характеристика на n-MOS транзистор при  $U_{GS} = \text{const}$ . При нарастване на  $U_{DS}$  дрейновият ток  $I_D$  се увеличава спрямо  $I_{DSAT}$ . Това явление се нарича ефект на модулация на дължината на канала. За да се отчете наклонът на изходната характеристика се въвежда параметърът  $\lambda$ , който се нарича коефициент на модулация на дължината на канала. Стойността на  $\lambda$  е обратнопропорционална на дължината на канала  $L$ . Най-често варира в границите  $0,01 \div 0,1\text{V}^{-1}$ , което означава, че влиянието на  $U_{DS}$  е сравнително слабо.

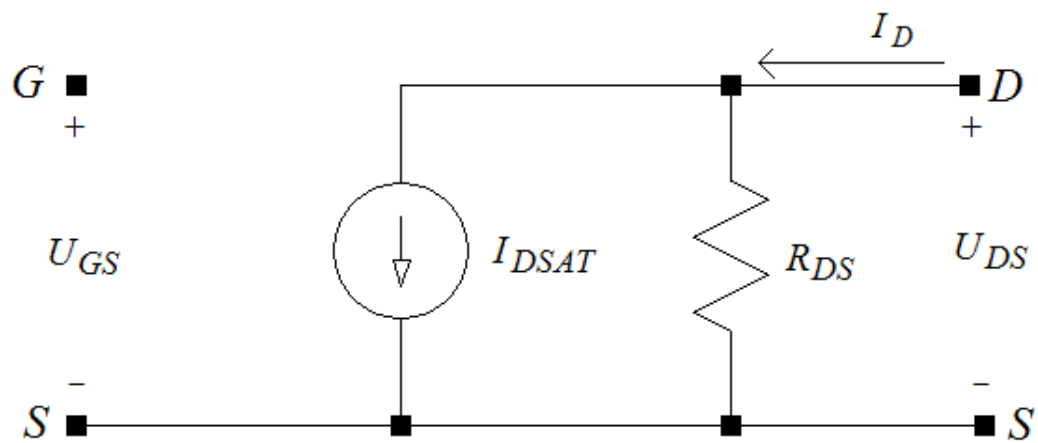
# Еквивалентна схема по постоянен ток в линейната област



$$I_D = \mu_n C_{OX} \frac{W}{L} \left( U_{GS} - U_{TN} - \frac{U_{DS}}{2} \right) U_{DS} = K_n \frac{W}{L} \left( U_{GS} - U_{TN} - \frac{U_{DS}}{2} \right) U_{DS},$$

$$R_{LIN} \approx \frac{1}{\mu_n C_{OX} (W/L) U_{eff}}$$

# Еквивалентна схема по постоянен ток в областта на насищане

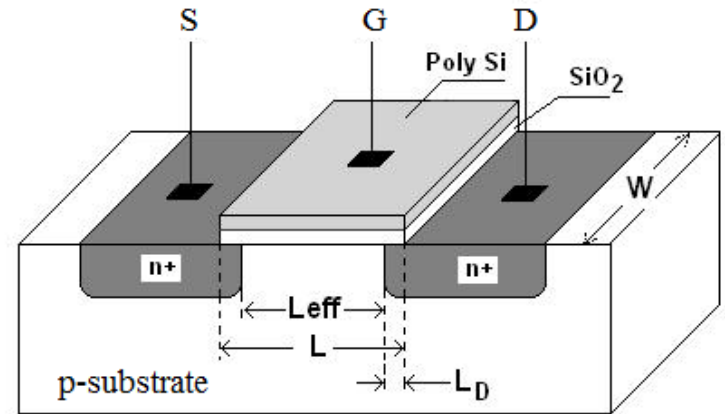
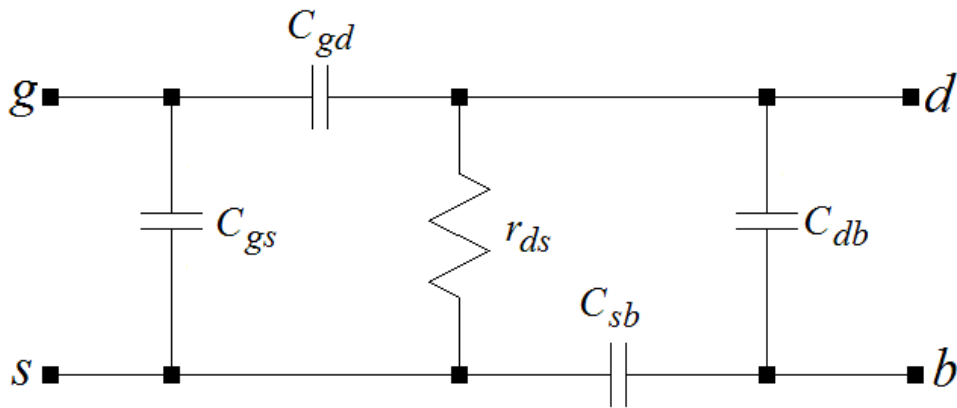


$$I_D = \frac{\mu_n C_{ox} W}{2 L} (U_{GS} - U_{TN})^2 [1 + \lambda(U_{DS} - U_{DSAT})] = I_{DSAT} [1 + \lambda(U_{DS} - U_{DSAT})]$$

$$I_{DSAT} = \frac{\mu_n C_{OX} W}{2 L} (U_{GS} - U_{TN})^2 = \frac{K_n W}{2 L} (U_{GS} - U_{TN})^2$$

$$R_{DS} = \frac{U_{DS}}{I_{DSAT} \lambda (U_{DS} - U_{DSAT})} \approx \frac{1}{\lambda I_{DSAT}}$$

# Еквивалентна схема за малки сигнали в линейната област



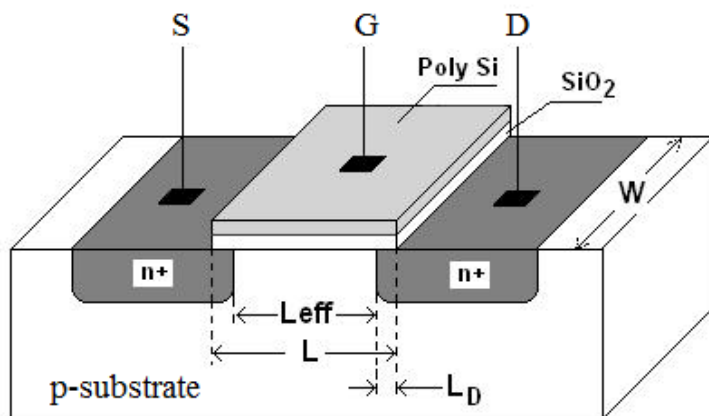
$r_{ds}$  - диференциално изходно съпротивление между дрейна и сорса. Реципрочната му стойност е изходната проводимост  $g_{ds}$ ;

$C_{gs}$  и  $C_{gd}$  са паразитните MOS кондензатори гейт-сорс и гейт-дрейн;

$C_{sb}$  и  $C_{db}$  представят бариерните капацитети на обратно свързаните преходи сорс-подложка и дрейн-подложка. Стойностите им се определят от площите на дъното и страничните стени на областите на дрейна и сорса.



# Уравнения за стойностите на елементите от еквивалентната схема



$$C_{gs} = C_{gd} = \frac{WL}{2} C_{OX} + WL_D C_{OX}$$

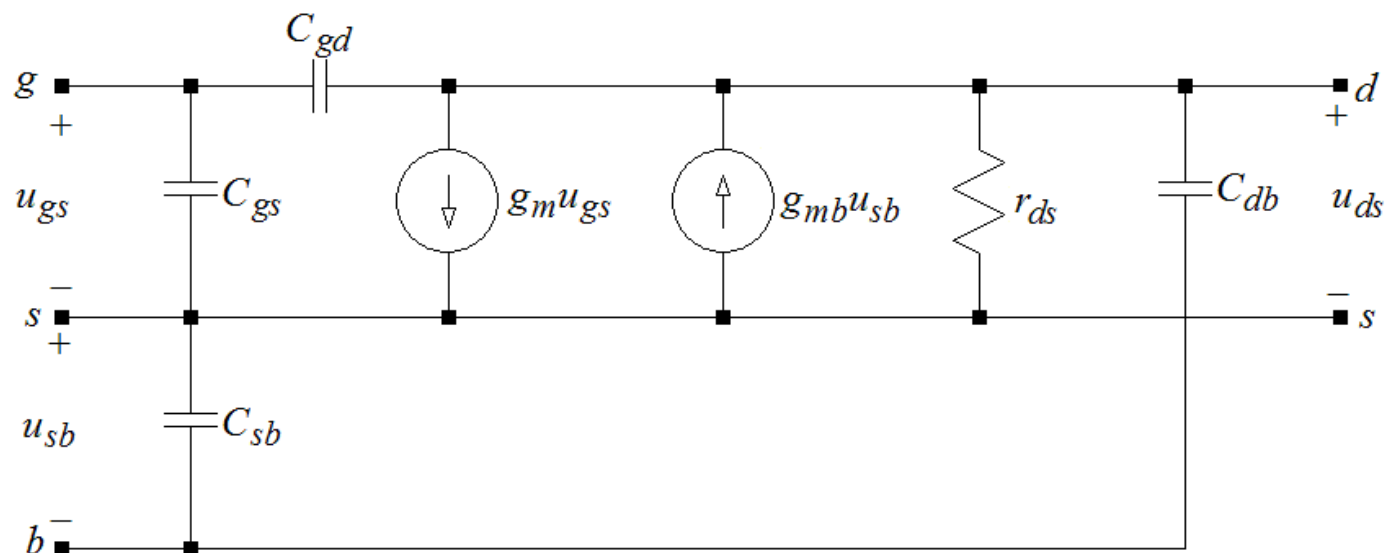
$$C_{sb} = C_{db} = \frac{C_{j0} (A_{S(D)} + WL/2)}{\sqrt{1 + \frac{U_{SB(DB)}}{\Phi_0}}}$$



$$r_{ds} = \frac{1}{g_{ds}} = \left. \frac{dU_{DS}}{dI_D} \right|_{U_{GS} = \text{const.}} = \frac{1}{K_n \frac{W}{L} (U_{GS} - U_{TN} - U_{DS})} \approx \frac{1}{K_n \frac{W}{L} U_{eff}}$$

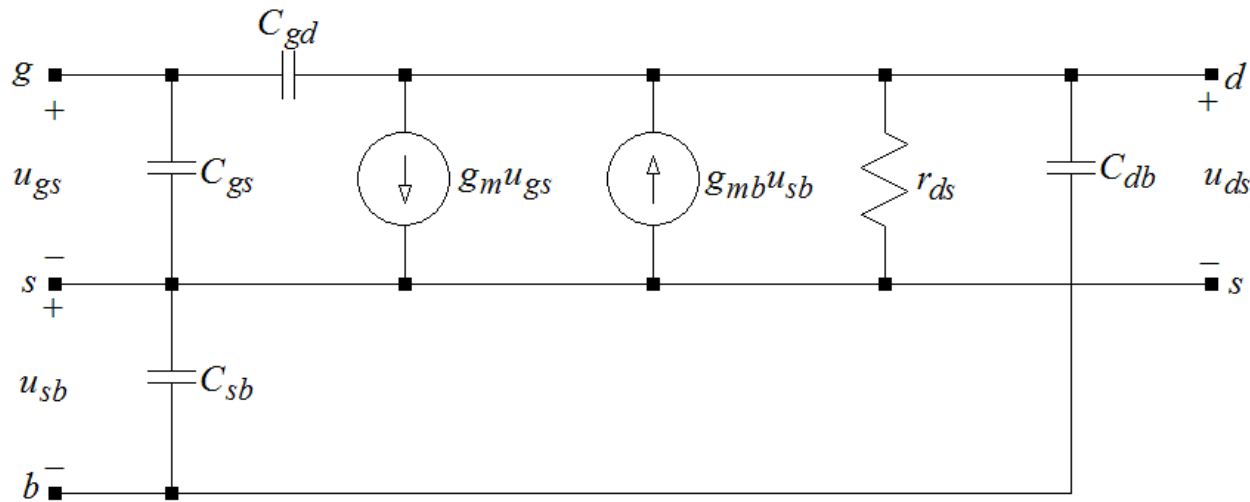
$C_{OX}$  - специфичен капацитет на окиса под гейта;  $L_D$  - припокриване на гейта и сорса (или гейта и дрейна);  $C_{j0}$  - специфичен бариерен капацитет на областта между сорса (дрейна) и подложката;  $A_{S(D)}$  - площ на сорса (дрейна);  $U_{SB(DB)}$  - напреженето между сорса (дрейна) и подложката;  $\Phi_0$  - контактна потенциална разлика на прехода.

## Еквивалентна схема за малки сигнали в областта на насищане



Източникът на ток  $g_m u_{gs}$  е основен компонент на модела. Той представя зависимостта на изходния променлив ток от входното променливо напрежение.  $g_m$  се нарича стръмност на транзистора. Вторият източник  $g_{mb} u_{sb}$  моделира ефекта на подложката – намаляването на изходния променлив ток на транзистора при наличие на напрежение между сорса и подложката.  $g_{mb}$  се нарича стръмност спрямо подложката. Диференциалното съпротивление  $r_{ds}$  представя изходното съпротивление на транзистора.

# Определяне на параметрите на еквивалентната схема за малки сигнали в областта на насищане



$$g_m = \left. \frac{dI_D}{dU_{GS}} \right|_{U_{DS}=\text{const.}} \approx K_n \frac{W}{L} U_{\text{eff}} = \sqrt{2K_n \frac{W}{L} I_D} = \frac{2I_D}{U_{\text{eff}}} \quad \text{☰}$$

$$g_{ds} = \frac{1}{r_{ds}} = \left. \frac{dI_D}{dU_{DS}} \right|_{U_{GS}=\text{const.}} = \lambda_n \frac{K_n W}{2L} U_{\text{eff}}^2 = \lambda_n I_{DSAT} \approx \lambda_n I_D$$

$$g_{mb} = \left. \frac{dI_D}{dU_{SB}} \right|_{U_{DS}=\text{const.}} = \frac{dI_D}{dU_{TN}} \frac{dU_{TN}}{dU_{SB}} = \frac{\gamma g_m}{2\sqrt{U_{SB} + |2\phi_F|}}$$

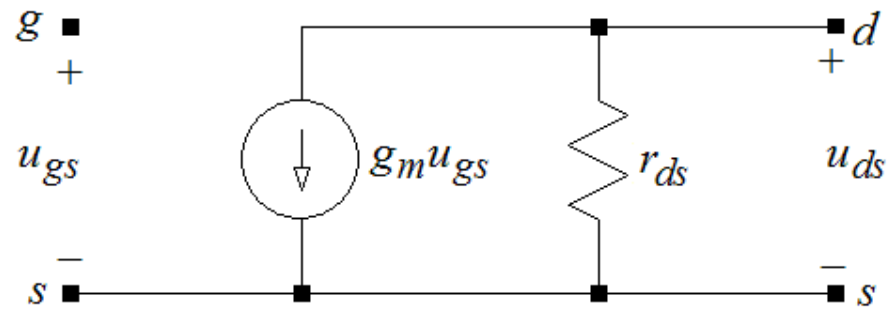
# Паразитни капацитети на еквивалентната схема в областта на насищане

$$C_{gs} = \frac{2}{3}WL C_{OX} + WL_D C_{OX}; \quad C_{gd} = WL_D C_{OX};$$
$$C_{sb} = (A_S + WL)C_{js} + P_S C_{j-sw}; \quad C_{db} = A_D C_{jd} + P_D C_{j-sw};$$
$$C_{js} = \frac{C_{j0}}{\sqrt{1 + U_{SB} / \Phi_0}}; \quad C_{jd} = \frac{C_{j0}}{\sqrt{1 + U_{DB} / \Phi_0}}; \quad C_{j-sw} = \frac{C_{j-sw0}}{\sqrt{1 + U_{SB} / \Phi_0}}.$$

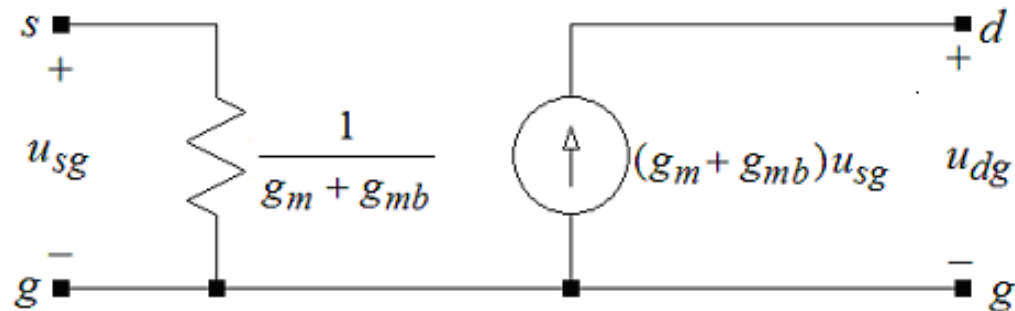
$C_{OX}$  - специфичен капацитет на окиса под гейта;  $L_D$  - дължина на припокриване на гейта и сорса (и гейта и дрейна);  $A_S$  ( $A_D$ ) - площ на сорса (дрейна);  $P_S$  ( $P_D$ ) - периметър на сорсовия (дрейновия) преход;  $C_{js}$  ( $C_{jd}$ ) - бариерен капацитет на сорсовия (дрейновия) преход;  $C_{j0}$  - специфичен капацитет на единица площ на сорсовия (дрейновия) преход;  $C_{j-sw}$  - специфичен капацитет на единица дължина на страничните стени на дрейна (сорса);  $C_{j-sw0}$  - специфичен капацитет на единица дължина на страничните стени на дрейна (сорса) при напрежение 0V;  $\Phi_0$  - контактна потенциална разлика.

# Опростени малосигнални еквивалентни схеми при ниски честоти

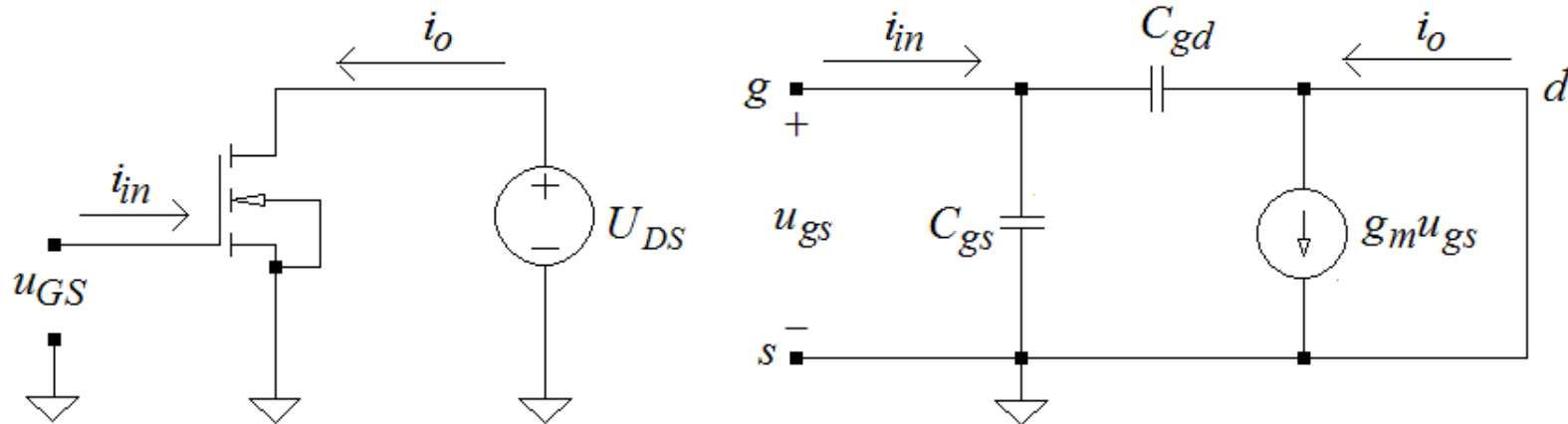
Опростена еквивалентна схема на MOS транзистор в свързване с общ сорс,  
при ниски честоти



Опростена еквивалентна схема на MOS транзистор в свързване с общ гейт,  
при ниски честоти



# Гранична честота на MOST



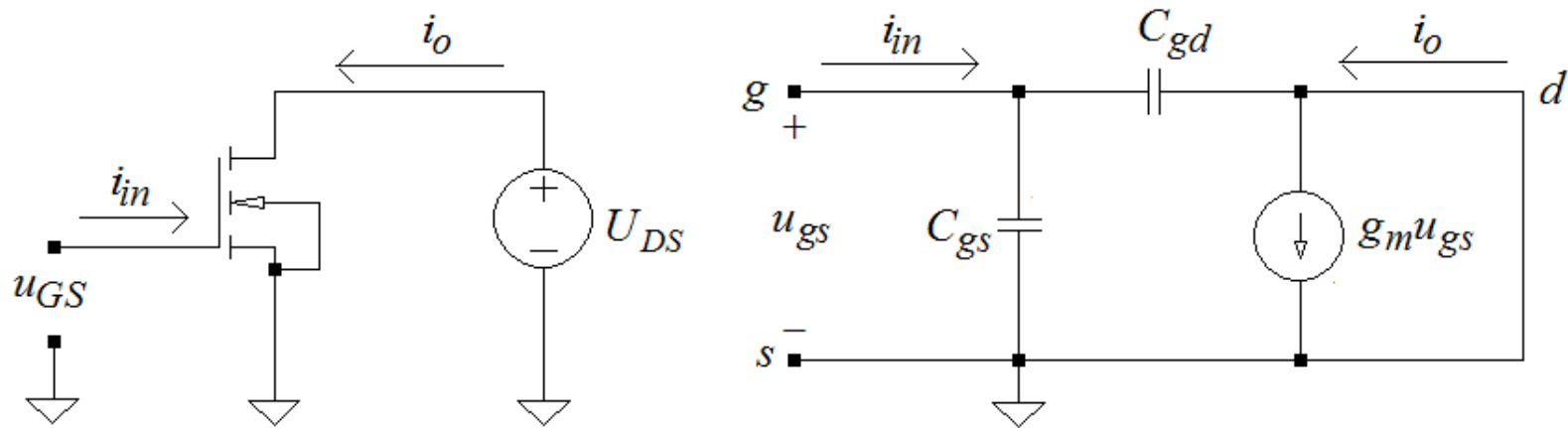
Поведението на транзистора при високи честоти се определя от стойностите на капацитетите на кондензаторите във високочестотния модел. Наличието на паразитни кондензатори води до появата на входен гейтов ток, който нараства с повишаване на честотата.

Гранична честота  $f_T$  - честотата, при която отношението между изходния и входния ток на транзистор, свързан с общ сорс и накъсо свързан изход, спада до 1.

Вляво е схемата на свързване на транзистора за определяне на  $f_T$ .  $u_{GS}$  е сумата от постоянното  $U_{GS}$  и променливото  $u_{gs}$  входно напрежение.

Вдясно е показана еквивалентната схема по променлив ток с отчитане на паразитните капацитети  $C_{gs}$  и  $C_{gd}$ .

# Определяне на гранична честота на MOST



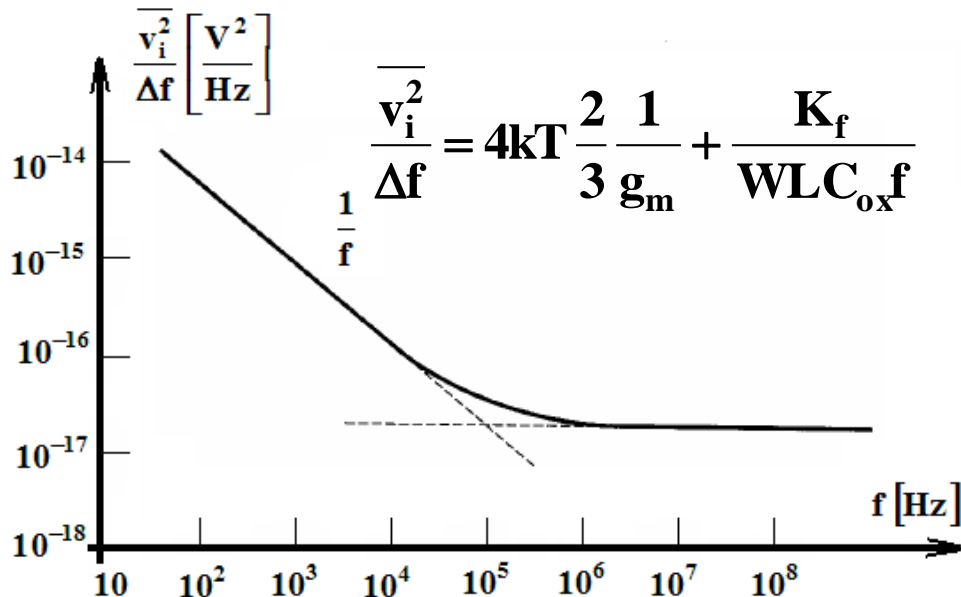
От условието за равенство на входния и изходния ток следва:

$$\frac{i_o}{i_{in}} = \frac{g_m u_{gs}}{2\pi f_T (C_{gs} + C_{gd}) u_{gs}} = 1$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} = \frac{\mu_n C_{OX} \frac{W}{L} (U_{GS} - U_{TNO})}{2\pi \left( \frac{2}{3} W L C_{OX} + W L_D C_{OX} + W L_D C_{OX} \right)} \approx \frac{3}{4} \frac{\mu_n U_{eff}}{\pi L^2}$$

Високи стойности на граничната честота могат да се получат при високи ефективни напрежения и къси канали.

# Шумове в MOS транзисторите



Доминиращите източници на шум в MOS транзисторите са фликер шума и топлинния шум. Фликер шумът се моделира като източник на напрежение, влючен последователно към гейта.

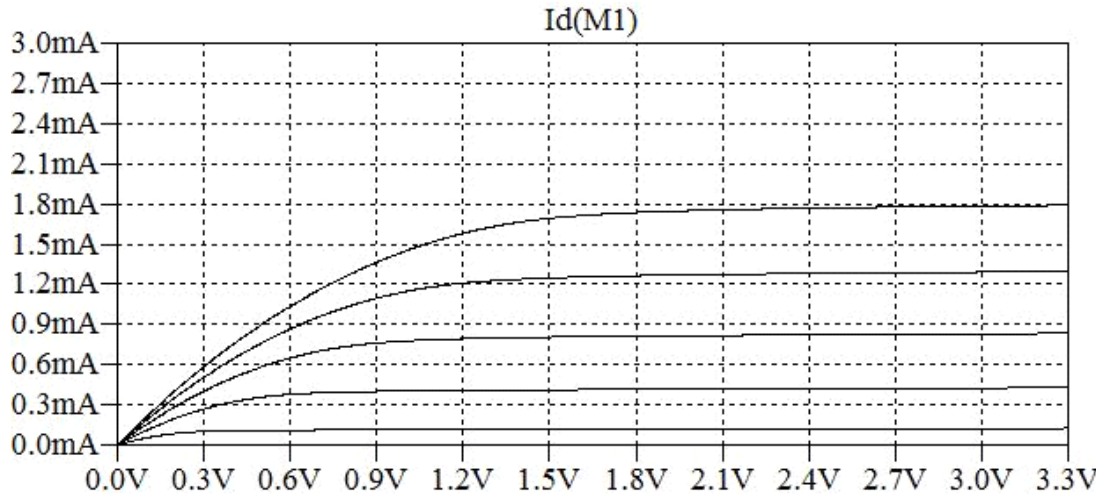
Топлинният шум се моделира като източник на ток между дрейна и сорса.

Фигурата представя спектралната плътност на еквивалентното входно шумово напрежение за MOST, работещ в областта на насищане.

За опростяване на анализа двата типа шумове са заместени с един еквивалентен входен източник на шум, който се определя по представената формула. Първият компонент изразява топлинния шум, а вторият – фликер шума. Топлинният шум е обратно пропорционален на стръмността на транзистора, а фликер шумът е обратно пропорционален на площта на транзистора.  $K_f$  зависи от конструкцията на транзистора и използвания технологичен процес.



# Влияние на дължината на канала върху характеристиките на MOS транзисторите



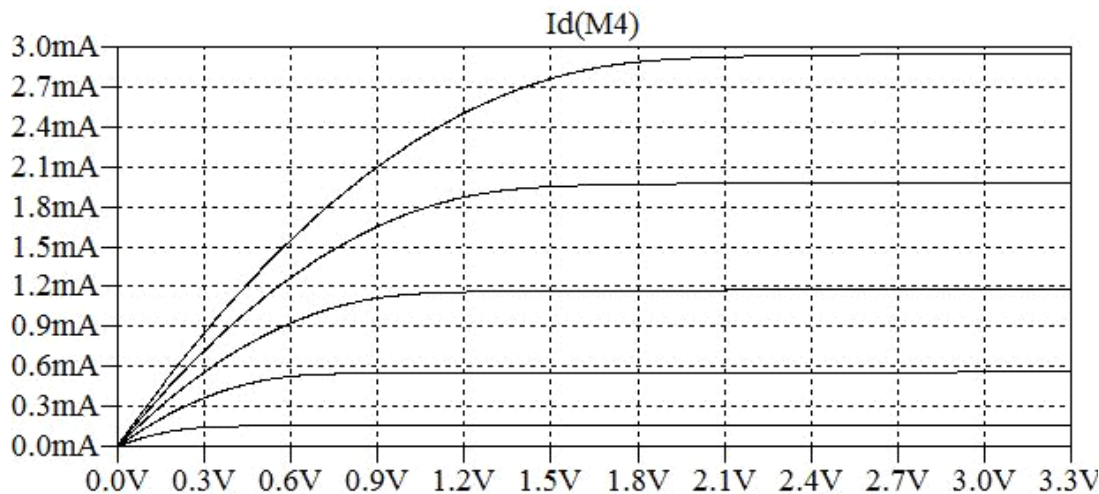
“къс” канал

0,35  $\mu\text{m}$  технология ма AMS

$W/L=10$

$L=0,5\mu\text{m}$

*Линейна зависимост на  $I_D$  от  $U_{GS}$  в областта на насищане.*



“дълъг” канал

0,35  $\mu\text{m}$  технология ма AMS

$W/L=10$

$L=3\mu\text{m}$

*Квадратична зависимост на  $I_D$  от  $U_{GS}$  в областта на насищане.*

# Размери на транзисторите при проектиране на аналогови схеми

Сравнението на изходните характеристики на двата транзистора с различна дължина на канала, води до извода, че транзисторите с “къс” канал имат по-малък изходен импеданс от транзисторите с “дълъг” канал. Също така, техните изходни токове са по-малки от стойностите, получавани по представените формули за работа в силна инверсия.

За съгласуване на резултатите от симулацията на транзисторите с “къс канал” с резултатите от ръчните изчисления, приетите уравнения могат да се усложнят, като в тях се включат допълнителни коригиращи коефициенти. Този подход усложнява значително процеса на начално оразмеряване на схемите.

Генералното решение е да се използват транзистори с дължина на канала неколkokратно по-голяма от минимално допустимата – т. е. каналът изкуствено да се направи “дълъг”.

***Общо правило - дължината на канала на транзисторите при проектирането на усилвателни стъпала трябва да бъде поне 2 до 8 пъти по-голяма от минимално допустимата дължина  $L_{\min}$ , зададена от технологията.***

# Размери на транзисторите в лабораторните упражнения

В лабораторните упражнения се използва  $0,35\mu\text{m}$  CMOS технология на AMS (AustriaMicroSystems). Минимално допустимата дължина на канала на транзисторите при нея е  $0,35\mu\text{m}$ .

*За нашата работа ще използваме транзистори с дължина на канала, равна или по-голяма от  $2\mu\text{m}$ .* Това ще осигури по-добро съответствие между предварителните пресмятания на схемите и резултатите от симулирането им и ще подобри параметрите на проектираните усилвателни стъпала, като елиминира голяма част от нежеланите ефекти на “късия канал”.

Недостатък на този избор е понижаването на граничните честоти на схемите и повишаването на площта им. За учебни цели постигането на “върхови” резултати не е най-съществената задача за студентите. В този случай най-важно е те да добият първоначален практически опит и да осмислят основните връзки и зависимости между параметрите и размерите на транзисторите и характеристиките на схемите.

# Вариации на параметрите на транзисторите

Вариациите на параметрите на технологичния процес: температура, налягане и др., водят до вариации и на параметрите на реализираните интегрални елементи.

**На практика при всяко ново стартиране на производствения процес едни и същи интегрални елементи се получават с различни параметри. Същото се отнася и до елементите, реализирани едновременно, но върху различни пластини, както и на различни места върху една и съща пластина. Като резултат, стойностите на праговото напрежение и факторът на стръмността се отклоняват значително от тяхната номинална (типична) стойност.**

Повечето параметри следват нормалното Гаусово разпределение. Характеризират се с номинална стойност, при която честотата на появяване е максимална. Средноквадратичното отклонение  $\pm s$  (*sigma*) от тази стойност обхваща 68.3% от всички измерени стойности. Ако отклонението е три пъти по-голямо ( $\pm 3s$ ), се включват 99.73% от всички измервания.

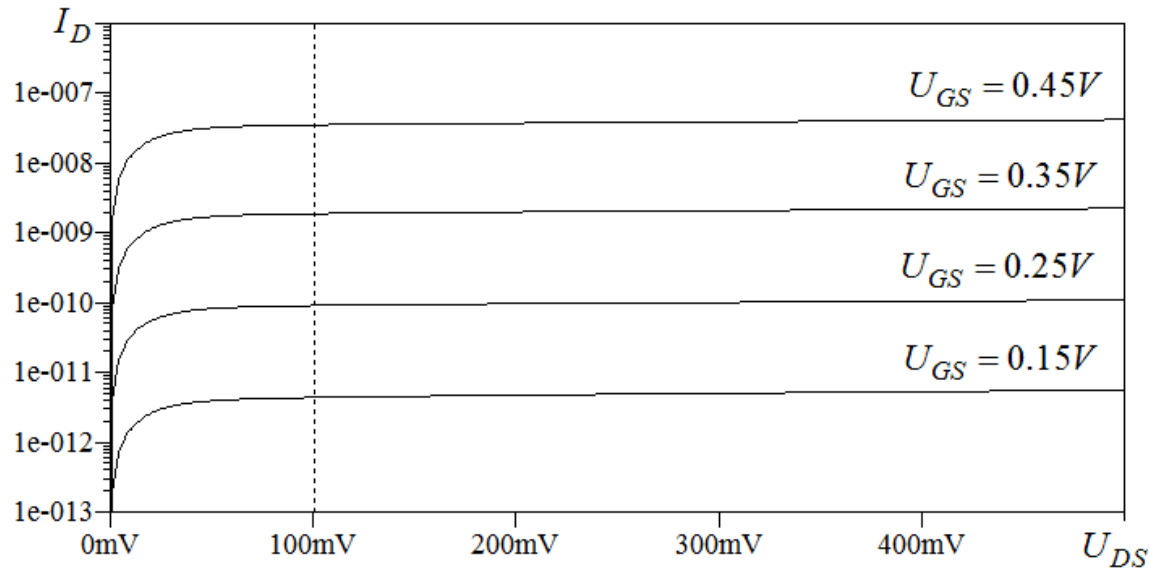
# Worst case анализ

За оценка на проекта в практиката често се използва подход, наречен анализ в най-лош случай (*worst case*). За CMOS транзисторите се дефинират четири гранични комбинации от “бавни (*slow*)” и “бързи (*fast*)” nMOS и pMOS транзистори, както и стандартната комбинация с типичните им средни стойности (*typical nMOS, typical pMOS*). Означават се, както следва:

- tm – typical mean condition (*typical nMOS, typical pMOS*)
- wo – worst case one condition (*fast nMOS, slow pMOS*)
- wz – worst case zero condition (*slow nMOS, fast pMOS*)
- wp – worst case power condition (*fast nMOS, fast pMOS*)
- ws – worst case speed condition (*slow nMOS, slow pMOS*)

“Бавните” транзистори (*slow nMOS, slow pMOS*) се характеризират с по-високо прагово напрежение и по-нисък фактор на стръмността от параметрите на типичните модели (*typical nMOS, typical pMOS*). За “бързите” транзистори (*fast nMOS, fast pMOS*) са в сила обратните зависимости. Симулацията се провежда в ”четирите ъгъла” (wo, wz, wp и ws). Приема се, че схемата е работоспособна, ако изпълнява изискванията на заданието и при четирите гранични комбинации.

# Работа в режим на слаба инверсия

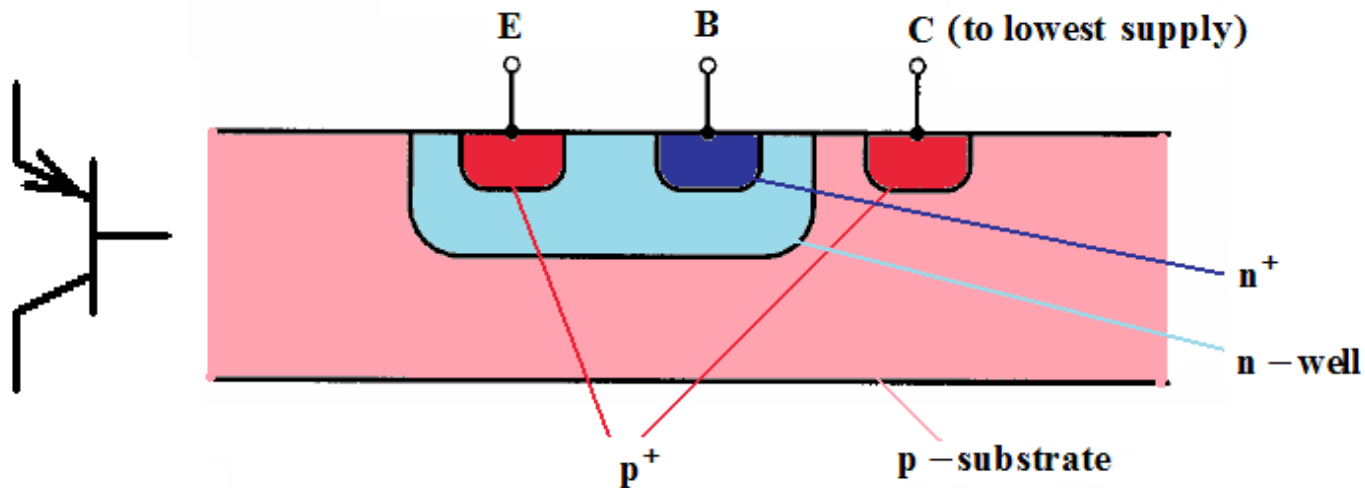


За стойности на  $U_{DS} \geq 4\phi_T \approx 100$  mV изменението на логаритъма на тока  $I_D$  е правопрпорционално на промяната на входното напрежение. Това се определя от експоненциалния характер на зависимостта на дрейновия ток  $I_D$  от напрежението между гейта и сорса  $U_{GS}$ .

$$\text{☰} \quad I_D \cong I_{D0} \frac{W}{L} \exp\left(\frac{U_{GS} - U_{TN}}{n\phi_T}\right), \quad \text{където} \quad n = 1 + \frac{C_{j0}}{C_{OX}}$$

$I_{D0}$  зависи от технологията и има стойност няколко десетки nA.  $C_{j0}$  - специфичен капацитет между подложката и сорса. Стойността на  $n$  е около 1.5.

# Вертикален биполярен транзистор



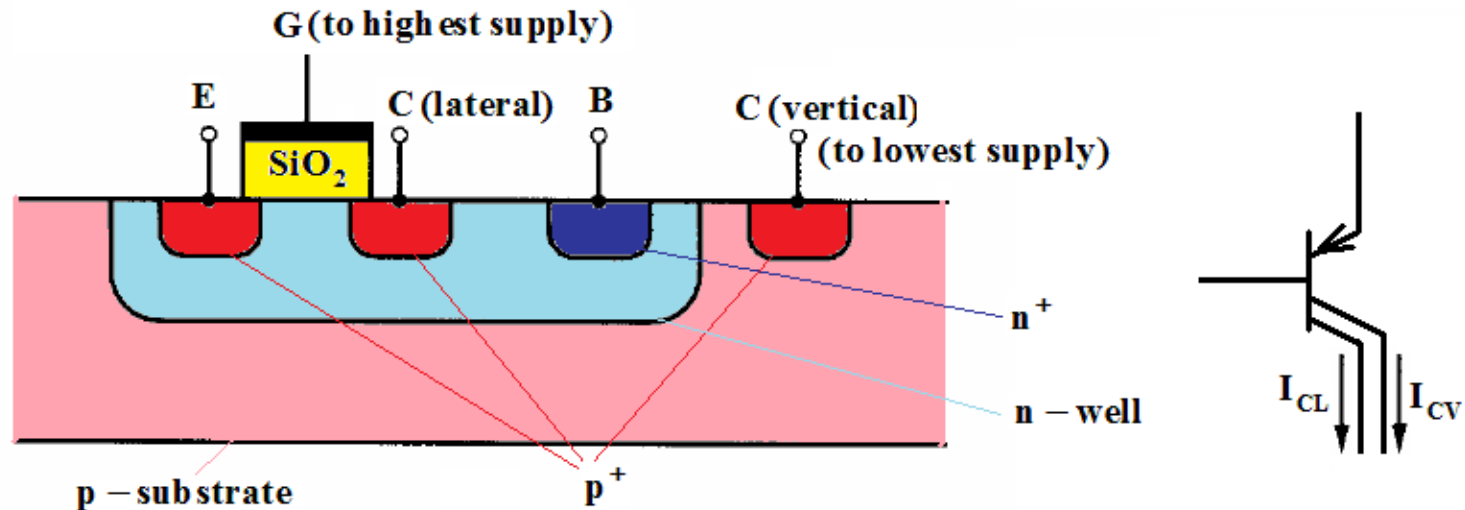
Подложката (*substrate*) е от  $p$ -тип и играе ролята на колектор  $C$ .

Джобът (*n-well*), необходим за реализация на  $p$ MOS транзисторите, се използва за база  $B$ , а  $p^+$  областта за сорс (дрейн) е емитер  $E$ .

Ако подложката е от  $n$ -тип, съответният транзистор, който може да се получи, е *nnp*.

Основният недостатък при този тип транзистори е, че техният колектор съвпада с подложката на чипа, която задължително трябва да се свърже към единия от изводите на захранващото напрежение.

# Хоризонтален биполярен транзистор



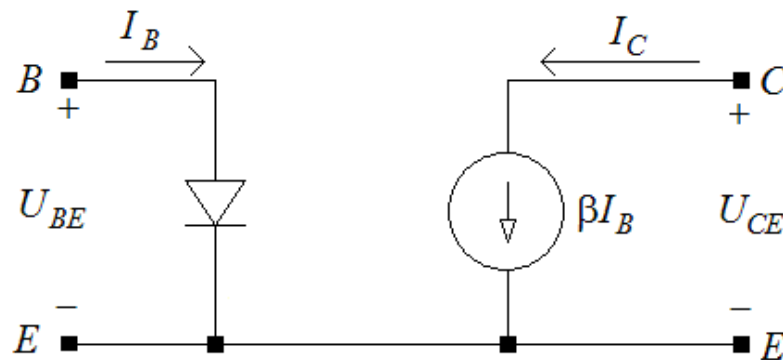
n-джобът (*n-well*) се използва за база В,  $p+$  дифузията за сорс и дрейн служи за емитер Е и хоризонтален колектор С (*lateral*). Емитерът и колекторът отговарят на сорса и дрейна на паразитен pMOS транзистор. За да се забрани работата му, е създаден гейт G, който е свързан към най-положителния потенциал в схемата.

Широчината на базата съответства на дължината на канала на MOS транзистора. Тя може да бъде много малка, така че  $\beta_T$  и  $f_T$  да бъдат с много големи стойности.

Недостатък на структурата – наличие на вертикален паразитен транзистор. Неговите емитер и база са същите като на хоризонталния транзистор, но колектор е подложката. Това води до появата на нежелан ток, който в доста случаи е съизмерим с основния.



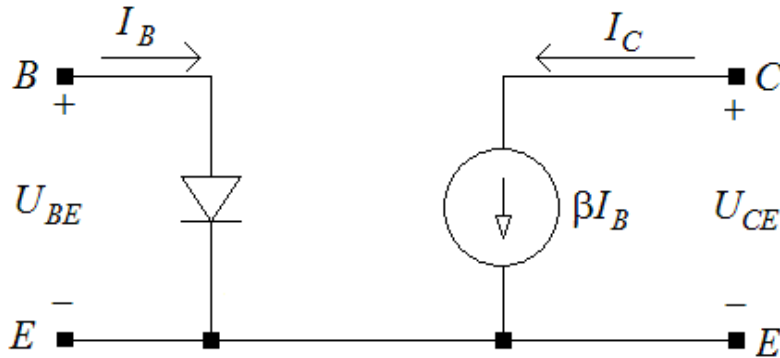
# Постояннотокова еквивалентна схема на биполярен транзистор



Опростена постояннотокова еквивалентна схема на *pnp* транзистор, работещ в активната област ( $U_{BE} > 0,5\text{V}$  и  $U_{CE} > 0,3\text{V}$ ).

Моделът за *pnp* транзистора е подобен, като само трябва да се инвертират полярностите на напреженията и посоките на токовете.

# Постояннотокови зависимости в биполярните транзистори



$$I_E = I_C + I_B \approx I_C;$$

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F};$$

$$\alpha_F = \frac{\beta_F}{1 + \beta_F};$$

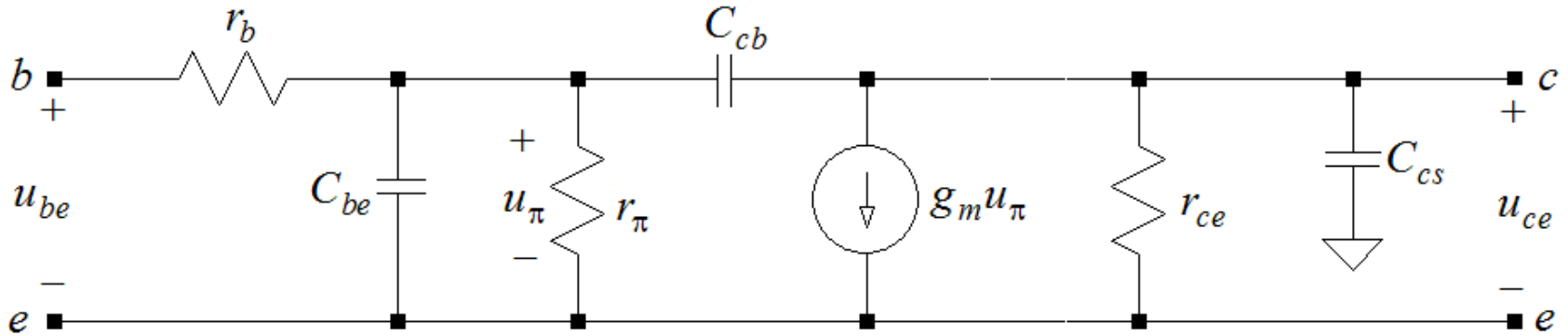
$$I_C = J_S A \exp\left(\frac{U_{BE}}{\Phi_T}\right) \left(1 + \frac{U_{CE}}{U_{AF}}\right); \quad I_B = \frac{J_S}{\beta_F} A \exp\left(\frac{U_{BE}}{\Phi_T}\right); \quad U_{BE} \approx \Phi_T \ln \frac{I_C}{J_S A}.$$

Плътноста на тока на насищане  $J_S$ , коефициентът на усилване  $\beta_F$ , коефициентът на предаване  $\alpha_F$  и напрежението на Ерли  $U_{AF}$  са параметри на технологичния процес.

$A$  е площта на емитера – определя се от проектанта.

При ръчни пресмятания емитерният и колекторният ток се приемат за равни, а отношението  $U_{CE}/U_{AF}$  се пренебрегва.

# Физична еквивалентна схема на биполярния транзистор



$r_b$  - съпротивление на полупроводника между базовия контакт и ефективната базова област,  $r_b \approx (20 \div 200) \Omega$ ;

$C_{be}$  - капацитет на емитерния преход;

$C_{cb}$  - капацитет на колекторния преход;

$C_{cs}$  - капацитет на прехода колектор-подложка; 

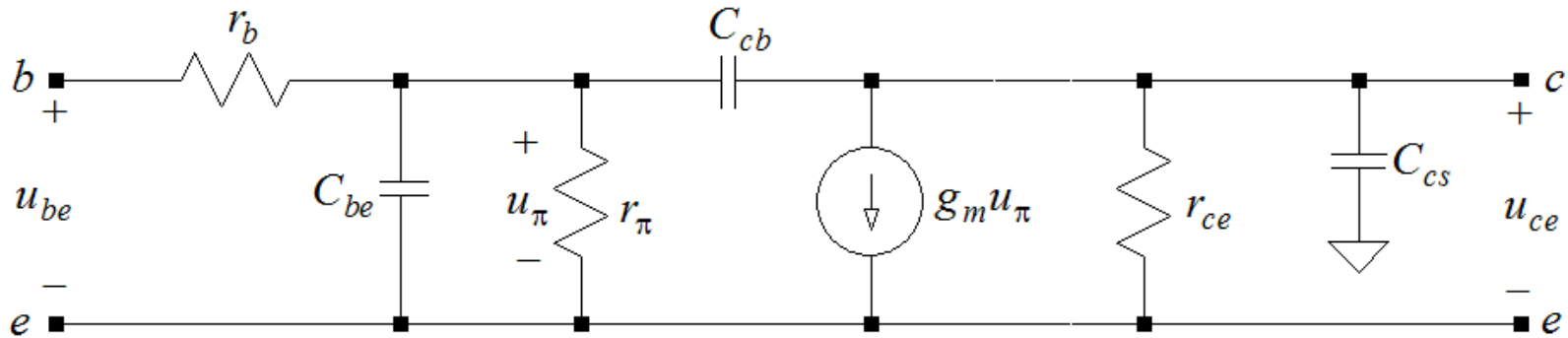
$r_\pi$  - диференциално съпротивление на емитерния преход;

$g_m$  - стръмност,

$r_{ce}$  - диференциално изходно съпротивление;

$C_{j0}$  - бариерен капацитет на единица площ.

# Основни зависимости във физична еквивалентна схема на биполярния транзистор



$$r_{\pi} = \left. \frac{dU_{BE}}{dI_B} \right|_{U_{CE}=\text{const.}} = \frac{\varphi_T}{I_B} = \frac{\beta_F}{g_m}; \quad r_{ce} = \left. \frac{dU_{CE}}{dI_C} \right|_{I_B=\text{const.}} \approx \frac{U_{AF}}{I_C}; \quad g_m = \left. \frac{dI_C}{dU_{BE}} \right|_{U_{CE}=\text{const.}} = \frac{I_C}{\varphi_T} = \frac{\beta_F}{r_{\pi}};$$

$$C_{be} \cong C_j + C_d = 2A_E C_{je0} + g_m \tau_b; \quad C_{cs} = \frac{A_T C_{js0}}{\left(1 + \frac{U_{CS}}{\Phi_{S0}}\right)^{1/2}}; \quad C_{cb} = \frac{A_C C_{jc0}}{\left(1 + \frac{U_{CB}}{\Phi_{C0}}\right)^{1/3}}$$

$A_E, A_C, A_T$  - площи на емитерния преход, прехода колектор-база и прехода колектор-подложка.  
 $C_j$  и  $C_d$  - барьерен и дифузен капацитет.  $C_{je0}, C_{jc0}, C_{js0}$  - барьерни капацитети на единица площ за емитерния преход, прехода колектор-база и прехода колектор-подложка.  $\Phi_{S0}, \Phi_{C0}$  - контактни потенциални разлики на преходите колектор-подложка и колектор-база,  $\tau_b$  - време на живот на токоносителите в базата.

---

Благодаря за вниманието!

---