

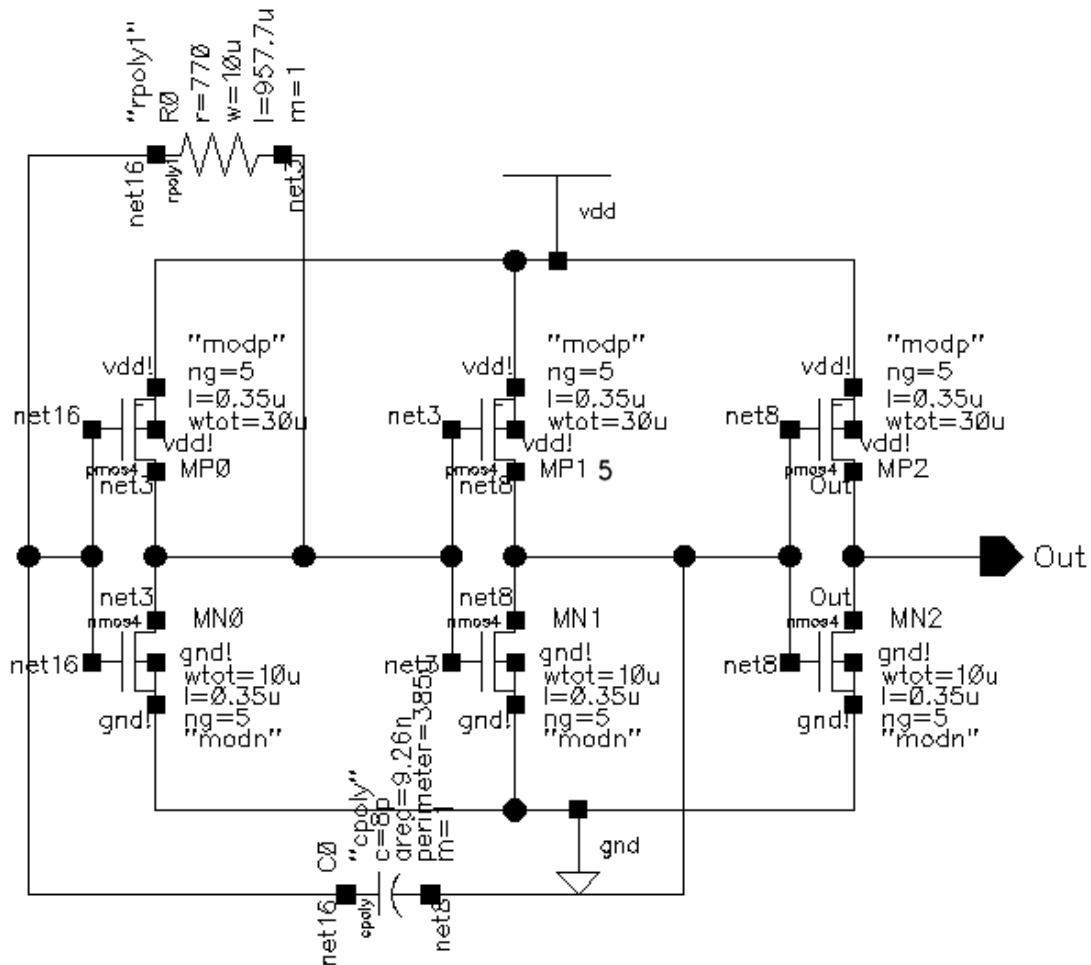
Упражнение № 6

Проектиране на клетка – изчертаване на топология, проверка и верификация

Изображения, които Ви трябва за протокола от това упражнение:

- Топологията на схемата.

Създаване на топология.



Фиг. 5. Схема на RC генератор, подготвена за топологично проектиране.

1) Прехвърляне на елементите от схематично представяне в топологично.

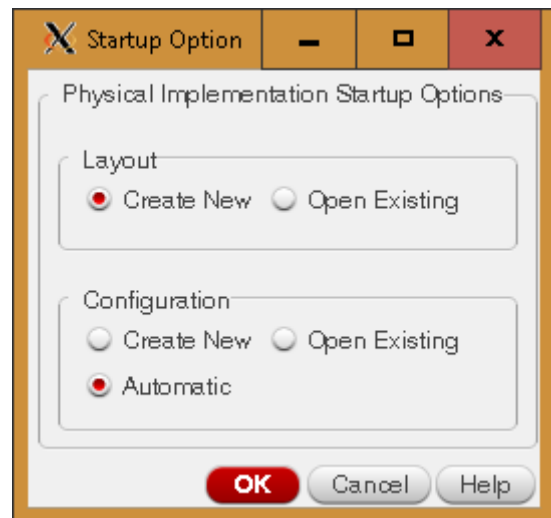
За създаване на топология се използва схемата от фиг. 5. От менюто на схемния редактор се избира командата **Launch** ⇒ **Layout XL**.

Възможно е да се появи прозорец с въпрос за лиценза. В него, по подобие на упражнение № 1, се отговаря с **Always**.

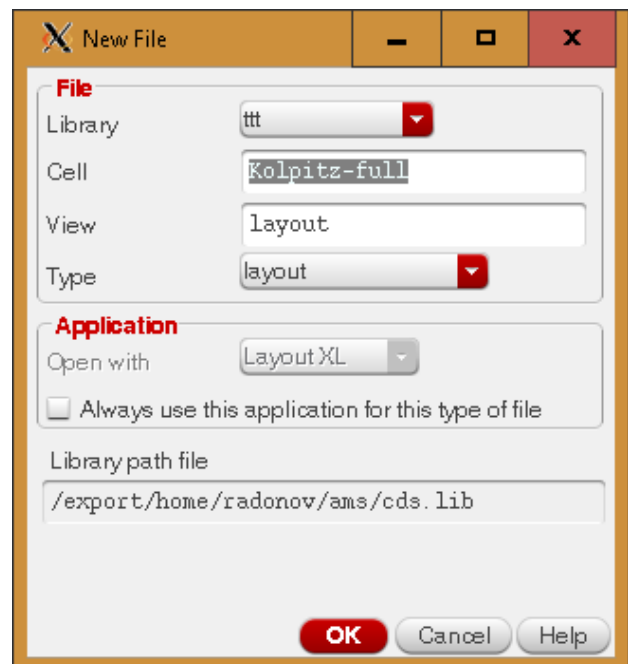
Отваря се меню за създаване на нов файл с модула на **Layout XL** (фиг. 6а). След натискане на **OK** се появява нов диалогов прозорец, където се избира библиотека, име на клетка и вид представяне. Тук също се натиска само **OK** (фиг. 6б). Отваря се прозорецът на **Layout XL**. В него се избира командата **Connectivity** ⇒ **Generate** ⇒ **All From Source**.

Появява се формата **Generate Layout**. В частта **I/O Pins** се задават размерите на пиновете и слой, който ще се използва за тях в топологията. Формата е попълнена с параметри по подразбиране (например на пиновете е зададен минимално допустимият размер за технологията и слой **MET1 pn**). Може да се използват наготово зададените параметри или те да се редактират. В частта **Pin Label** се маркира **Create Label As Label**, за да може да се създадат етикетите на пиновете и те да бъдат разпознати в следствие от **LVS** модула. Натиска се бутон **Options**, където се избира **Layer Name** да бъде **PIN**, а **Layer Purpose** - **metal1**.

След това се натиска бутонът **OK**. Всички елементи от схемата се появяват в прозореца на топологичния редактор. Виждат се само



Фиг. 6а . Форма за създаване на ново топологично представяне.



Фиг. 6б. Форма за потвърждаване на име и представяне на ново топологично представяне.

очертанията на елементите. За да се визуализират всички слоеве, се натискат едновременно бутони **Shift** и **f** от клавиатурата.

Ако сте пропуснали създаването на етикети, това може да направите и в следствие с командата **Create** ⇒ **Label**. Ако формата не се появи, можете да я извикате с клавиша **F3**. Избира се **Mode Manual**. Изписва се името на пина в полето **Label**. Маркира се **Auto** на настройката **Label Layer/Purpose**. След това се кликва върху желаня пин.

В лявата част на прозореца **Layout XL** има един подпрозорец – **Layers**. В него са показани всички слоеве, които могат да се използват при създаването на топология.

В **Layers** се избира слой за създаване на всяка една форма, която се изчертава в прозореца на топологичния редактор. Допълнително слоевете е възможно да се правят видими или невидими, да се селектират или не.

2) Разполагане на елементите в схемата.

След като се стартира **Layout XL** и се въведат всички елементи от схемата, те са разположени произволно в работното поле. Всички елементи трябва да се поставят в площта в светлосин цвят, създадена след изпълнението на командата **Connectivity** ⇒ **Generate** ⇒ **All From Source**. Това е подобект **P&R Boundary** от обекти тип **Boundary** и може да се управлява от подпрозореца **Objects**. Пиновете трябва да се разположат по границите на тази площ. Това може да стане ръчно или автоматично като се използва командата **Place** ⇒ **Pin Placement**. При разполагане на елементите трябва да се следят връзките между тях, така че да се улесни опроводяването. **CADENCE** позволява да се визуализират логическите връзки между елементите. Командата, която се използва е **Connectivity** ⇒ **Incomplete Nets** ⇒ **Show/Hide All Nets**.

Елементите, на които отношението между височината и ширината надвишава много пъти 1, е необходимо да бъдат преоразмерени, докато стане приблизително 1, т.е. имат форма, която е близка до квадрат. Формата им може да се промени, както в схемния редактор – **Schematic L** (формата **Edit Properties**), така и в топологичния редактор **Layout XL**. Обикновено се променя броят на гейтовете на MOS транзисторите (**number of gates**) или броят сгъвания на резисторите (**number of bends**), в зависимост от типа на елемента.

Ако поради някаква причина не можа да се смени този параметър в топологията, това се прави в електрическата схема.

Всички промени, направени в топологията или електрическата схемата, трябва да бъдат прехвърлени обратно другото представяне. Това става автоматично, като елементът, в който има направени промени се маркира и след това се използва командата **Connectivity** ⇒



Update ⇒ **Schematic Parameters** или **Layout Parameters**, в зависимост от това в каква посока трябва да се отразят промените.

За да се провери дали има разлика между двете представяния схемно (**schematic**) и топологично (**layout**), в **Layout XL** се използва **Connectivity** ⇒ **Check** ⇒ **Against Source**.

Разполагането на елементите зависи от особеностите на схемата, правилата за проектиране и ограниченията, свързани с използването на дадена технология.

3) Изчертаване на връзките между елементите.

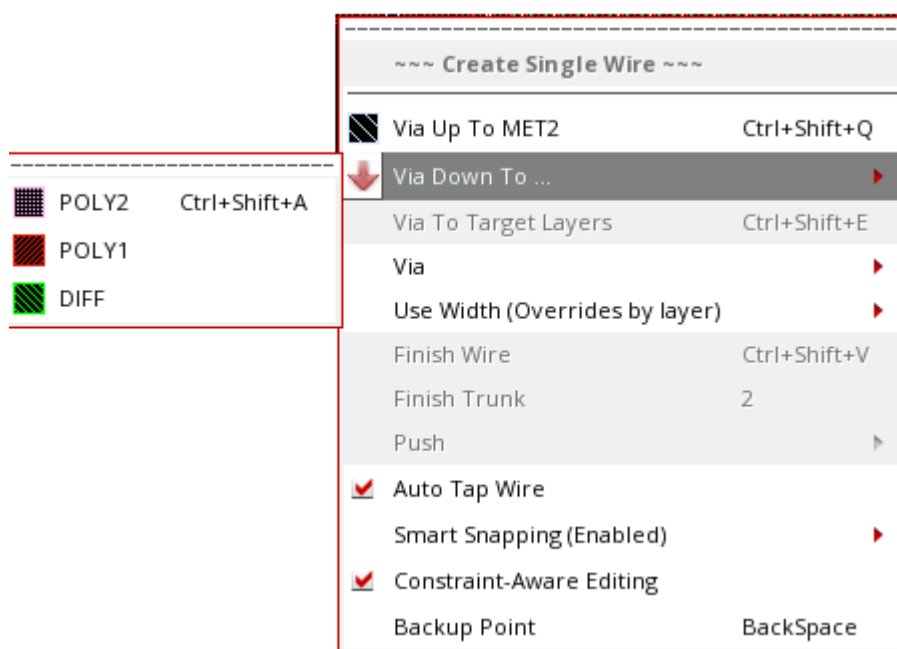
След като всички елементи се разположат, трябва да се начертаят връзките между тях. Избира се слой за изчертаване от **Layers**. Повечето връзки се чертаят на първи метален слой (**MET1 drw**). Командата за създаване на шини е **Create** ⇒ **Wiring** ⇒ **Wire** или бутон “p” от клавиатурата. По подразбиране ширината на шините е минимално допустимата за даден слой. Тя трябва да се промени в зависимост от тока, който трябва да издържи шината. За целта, след като е избрана командата **Create** ⇒ **Wiring** ⇒ **Wire**, се натиска бутонът **F3** от клавиатурата. Появява се формата **Create Wire** от фиг. 7. Освен ширина на шината (**width**), може да се зададе отместване, подравняване и др.



Фиг. 7. Форма за определяне на параметрите на шина

За да се избегне пресичането на шини, се преминава на друг слой. Преминаването става лесно с натискане на десния бутон на мишката, докато е активен режимът на чертане (фиг. 8). Избира се прехода в желаната посока: към по-горен слой **Via Up To** (ако има такъв) или към по-долен слой **Via Down To** (ако има такъв). В този случай се появява необходимия контакт и се сменя слоя.

В показания пример активният слой е **MET1** и при него има възможност за преход нагоре към **MET2** или надолу към **POLY1**, **POLY2** или **DIFF**.



Фиг. 8. Преминане на друг слой.

Поставянето на контакти между отделните слоеве може да се осъществи и с **Create** ⇒ **Via**. Контактите, които могат да се използват са следните:

- от MET1 към MET2: **VIA1_C**;
- от MET2 към MET3: **VIA2_C**;
- от POLY1 към MET1: **P1_C**.

Бутонът **Options** в тази форма също дава информация кой е подходящият контакт за връзка между два съседни слоя.

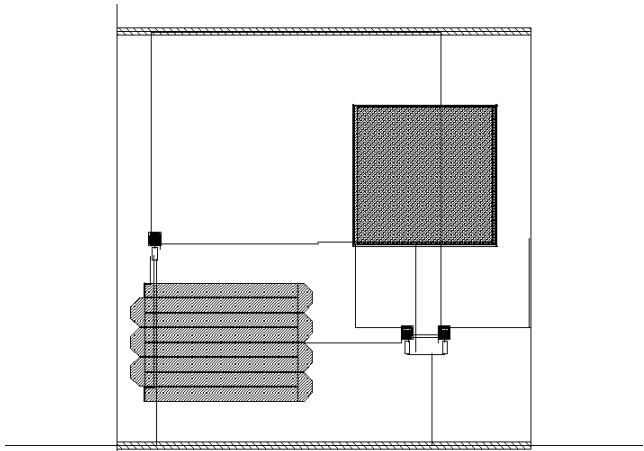
В таблица 2 са показани съкратените комбинации от бутони на клавиатурата за най-често използваните команди във **Layout XL**.

Таблица 2.

Shift-f	Прави видими всички слоеве
Ctrl-f	Прави видими само очертанията на елементите
Shift-z	Намаляване 2 пъти
Ctrl-z	Увеличаване 2 пъти
pm	Преместване/завъртане на обекти
команда +F3	Допълнителни опции към дадена команда
K	Извикване на линията
K	Изтриване на линията
W	Премишен изглед
I	Въвеждане на елемент
Q	Извиква прозореца с параметри на елементи
F4	Превключва режимите за селектиране пълен/частичен
U	Връщане една стъпка назад

4) Няколко съвета при създаване на топологията на RC генератора:

- Обикновено пиновете за захранване и маса се разполагат в противоположни страни на топологията.
- Разстоянието между елементите трябва да е колкото може по-малко и в същото време трябва да е съобразено с изискванията на съответната технология.
- Захранващите шини vdd и gnd се изчертават на първи метален слой с дебелина 5 μ m



Фиг. 9. Примерна опология на RC генератора.

Една примерна топология е показана на фиг. 9. Тя е изключително неоптимизирана! Постарайте се да разположите елементите по-компактно (възможно най-близо), така че да получите по-малки паразитни елементи.



Проверка и верификация на топологията.



За проверка и верификация на топология в средата за автоматизирано проектиране на аналогови и смесени (аналогово-цифрови) схеми **CADENCE** се използва продуктът **Assura**. Той съдържа няколко инструмента за физическа верификация, които позволяват да се откриват и коригират грешки в проекта. Това са: проверка на правилата за проектиране, извличане на елементи от топологията на схемата и сравнение на физическата реализация с изходната схема.

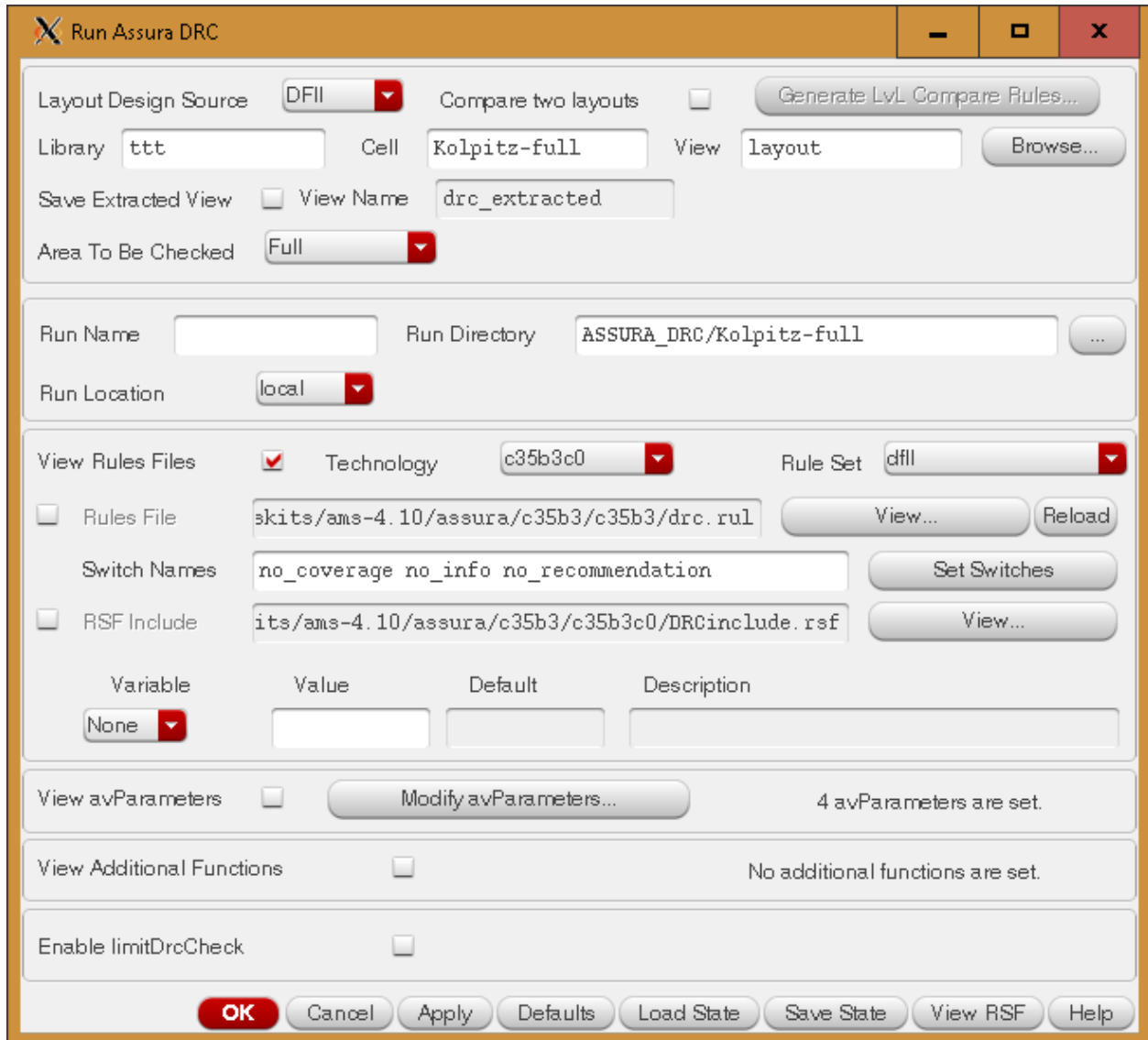
1) Проверка на правилата за проектиране (**DRC**).

След като се направят всички връзки, топологията трябва да се провери за това дали са изпълнени всички изисквания при проектирането (**Design Rules Check – DRC**). От прозореца на **Layout XL** се избира **Assura** \Rightarrow **Run DRC**.

С **DRC** (фиг. 10) може да се прави проверка на цялата топология или само на част от нея (**Area To Be Checked – Full** или **Specify Area**). Ако са допуснати някакви грешки, те трябва да се намерят и отстранят. При проверката на Вашата схема използвайте допълнителните опции **no_coverage**, **no_info** и **no_recommendation**, като ги изберете от списъка, който се появява след натискане на бутон **Set Switches**.

След края на операцията се появява прозорец **Error Layer Window (ELW)**, където са описани намерените грешки. Чрез натискане на бутоните  и  се обхождат всички грешки от дадения вид. Когато те свършат се преминава на следващата грешка, ако има такава. С

бутоните  и  се преминава на предишна/следваща грешка от останалите видове. Ако сте затворили **ELW** и искате да го отворите пак, без да пускате проверката, избирате **Assura** ⇒ **Open ELW**.



Фиг. 10. Форма за задаване на **DRC**.