

## Упражнение № 1

### Въведение в системата за проектиране CADENCE. Основни анализи.

#### I. Въведение в системата за проектиране CADENCE. Въвеждане на схема.

Изображенията, които Ви трябва за протокола на това упражнение са:

- Електрическа схема;
- Резултати за постояннотоковия режим на схемата - аотираната схема (постояннотоковия релеф на схемата);
- Резултати за работната точка на транзистора;
- Резултати от dc анализ на схемата (съпротивлението на R8, зададено като параметър в dc анализа);
- графиката за амплитудата и фазата на входния и изходния сигнал. Двата резултата се получават поотделно, но трябва да се съберат в един прозорец.
- графиката с резултатите от времевия анализ на схемата.

Резултатите се записват като изображения във формати **.jpeg** или **.png** от менюто на съответния модул. За подробности се обърнете към преподавателя, които води упражненията.

#### 1. Стартиране на CADENCE.

Първата стъпка след влизане в **UNIX** е отваряне на терминал. С десен бутон върху десктопа се избира **Tools** ⇒ **Terminal**.

1) Осъществява се връзка със сървъра, на който е инсталиран CADENCE:

```
cadence-connect
```

След успешно осъществяване на връзката се създава директория, в която ще се работи с CADENCE и където ще се записват данните от направените схеми и симулации:

2) Създаване на работна директория

```
mkdir име_на_директорията
```

**Например:** `mkdir uprajnenia`

Това се прави еднократно. При следващите упражнения използвайте вече създадената директория.



3) Следващата стъпка е влизане в създадената директория:

```
cd име_на_директорията
```

**Например:** cd uprajnenia

4) Подготовка на работната среда:

```
source /eda/cadence/nastr-ams
```

5) Стартиране на **CADENCE**

```
ams_cds -tech s35d3 &
```

Опцията “**-tech s35d3**” определя технологията, параметрите на която ще се използват в процеса на проектиране с **CADENCE**. В случая се използва “**s35d3**” за AMS 0.35µm Si CMOS технология. Тази опция е задължителна, само когато се стартира **CADENCE** за първи път.

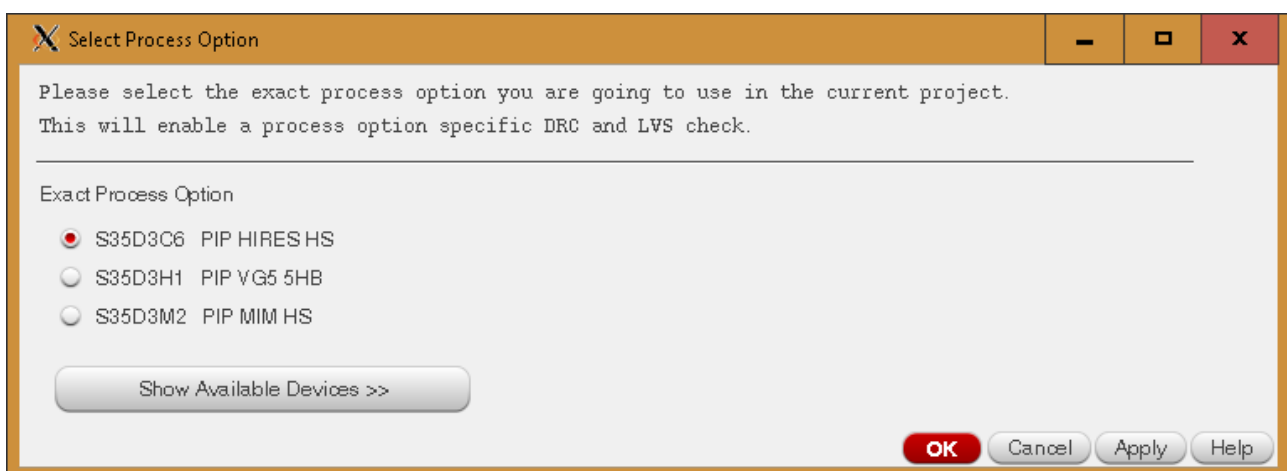
Няколко секунди след стартирането на **CADENCE** се появяват четири прозореца:

\***CIW – Command Interpreter Window** или команден прозорец за въвеждане и изпълнение на командите (фиг. 1).

\***LMW – Library Manager Window** или прозорец на библиотечния браузър (фиг. 2).

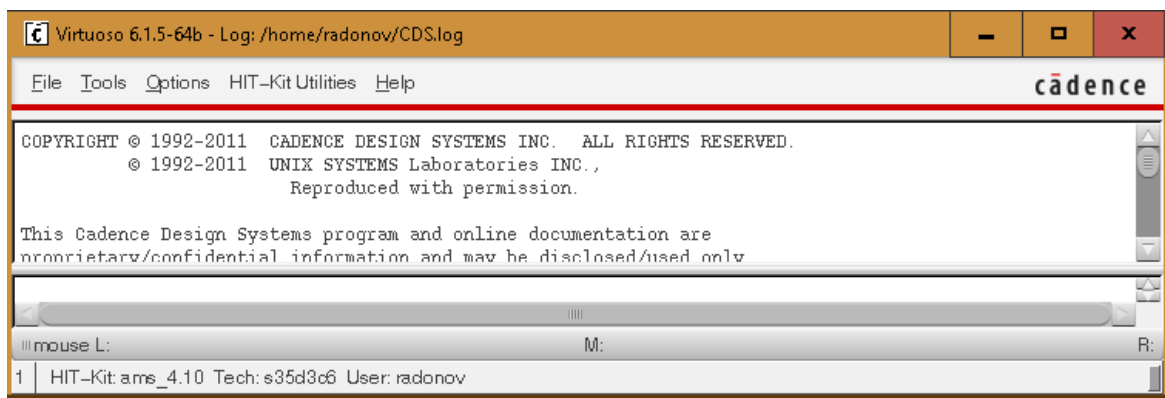
**What’s new?** прозорец, в който са дадени промените спрямо предишната версия. От менюто **File** изберете **Off at startup**, за да не се показва повече.

\***Select Process Option** - прозорец за избор на допълнителни опции за технологията. В него потвърдете избора на подпроцес с натискане на бутона **OK**. Прозорецът излиза само при първото пускане в тази директория.



## 2. Използване на **CIW**.

**CIW** е основния команден прозорец на системата за проектиране **CADENCE**. На фиг. 1 е показан неговият общ вид. **Дръжте го винаги под око и не го минимизирайте! Там излиза важна информация.**

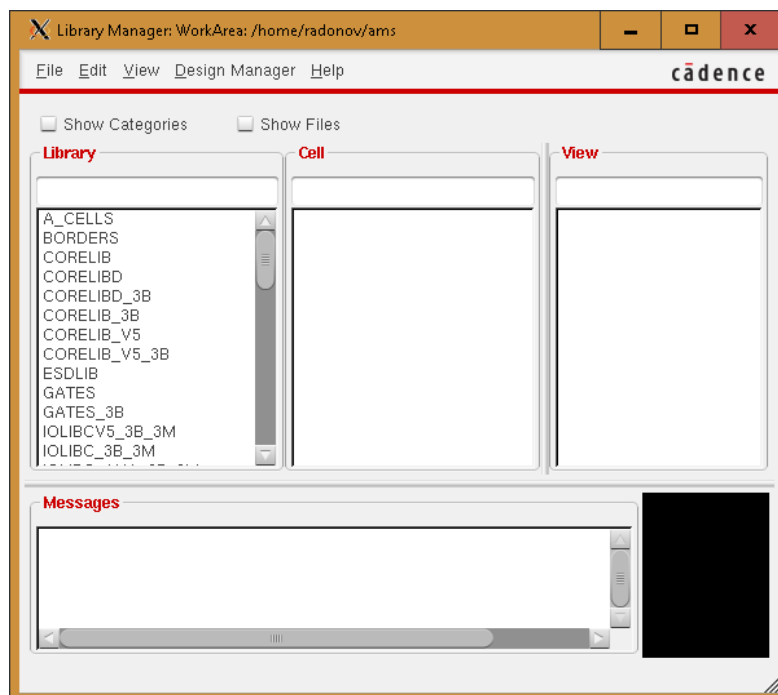


Фиг. 1. Команден прозорец на CADENCE - CIW.

### 3. Използване на LMW.

**LMW** е библиотечния редактор на **CADENCE**. В него се визуализират всички налични библиотеки, могат да се създават нови такива, да се редактират или изтриват, както и да се извършват операции по създаване, съхранение, преместване и т.н. на различните клетки (**cells**) и техните представяния (**cellviews**).

Клетка е най-общото име на проект. Дадена библиотека може да съдържа различен брой проекти (клетки). Всеки проект може да има различни видове представяния, например: схемно (**schematic**), символно (**symbol**), топологично (**layout**) и др.

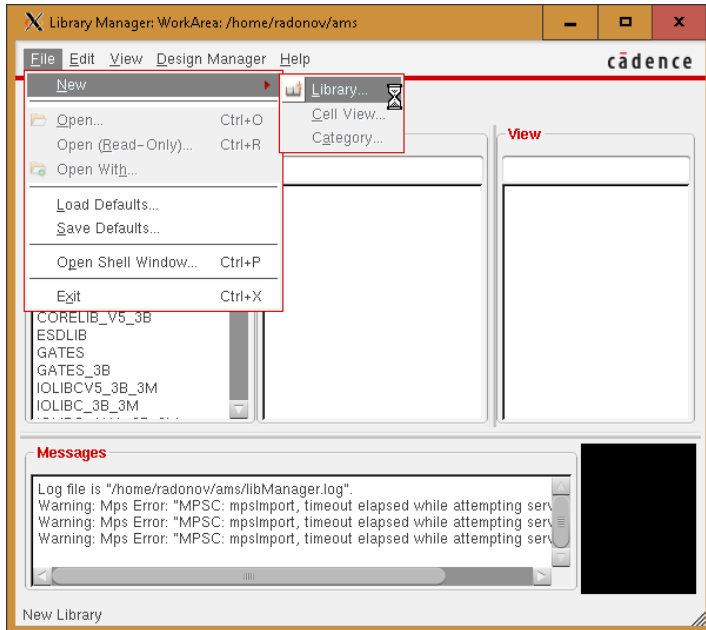


Фиг. 2. Прозорец на библиотечния браузър

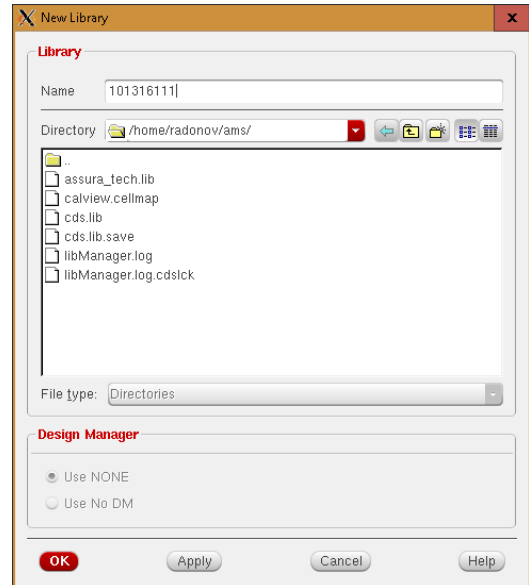


#### 4. Създаване на нова библиотека.

След стартиране на **CADENCE**, за да могат да се въвеждат нови проекти, е необходимо първо да се създаде нова библиотека, където ще се съхраняват тези проекти. Това става като от менюто **File** на библиотечния браузър се избере командата **New** ⇒ **Library**, както е показано на фиг. 3.

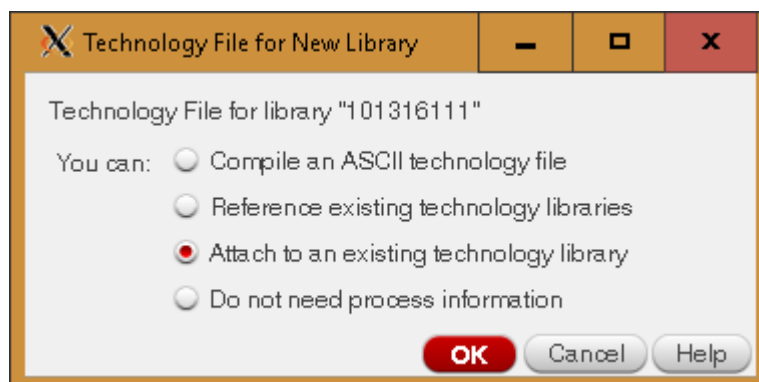


Фиг. 3. Създаване на нова библиотека чрез библиотечния браузър.



Фиг. 4. Прозорец за задаване на име на нова библиотека.

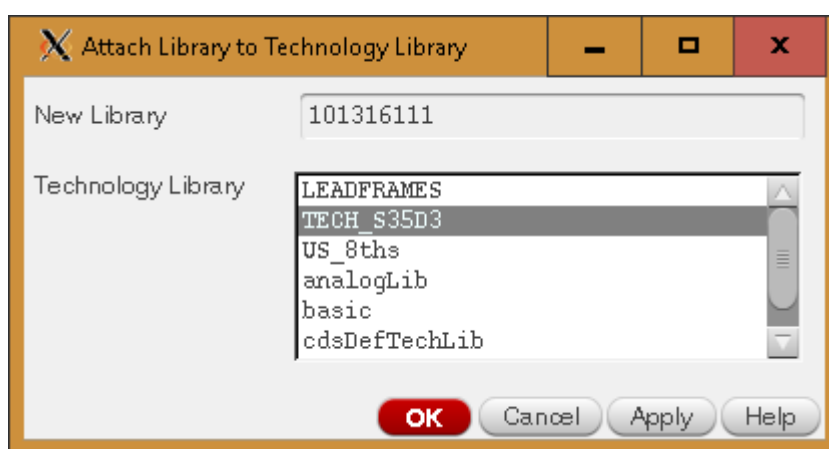
Появява се прозорецът **New Library** (фиг. 4). В полето за запис на име (**Name**) се задава име на новата библиотека. Напишете **Вашия факултетен номер** (напр.101316111) и натиснете бутона **OK**. След това се появява прозорецът от фиг. 5а за обвързване на библиотеката с определен технологичен файл (**Technology File for New Library**).



Фиг. 5а. Обвързване на новата библиотеката с определен технологичен

файл.

Менюто предлага възможност за обвързване на новата библиотека с различни технологични файлове. Това е необходимо, за да се проектира дизайна съобразно технологичните правила и изисквания. Избира се обвързване със съществуващ технологичен файл (**Attach to an existing techfile**) и се натиска **OK**. Появява се формата от фиг. 5б (**Attach Design Library to Technology File**), където се избира технологичният файл – в случая за 0.35µm Si CMOS технология **TECH\_S35D3**.



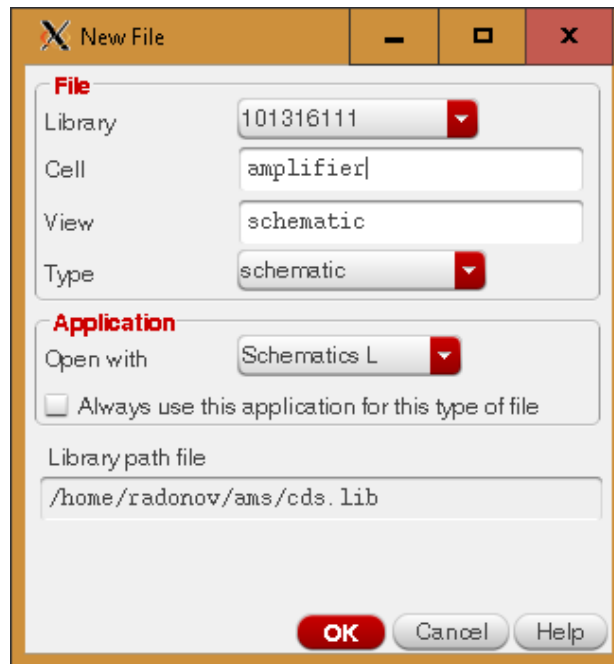
Фиг. 5б. Обвързване на новата библиотеката с определен технологичен файл.

## 5. Създаване на нов проект (клетка).

За създаване на нов проект от менюто **File** на **LMW** се маркира библиотеката, в която ще се създава новата клетка и се избира командата **New** ⇒ **CellView**. Например, в отворената форма (фиг. 6) се попълват:

**Име на клетката (cell name):** име на новия проект (напр. amplify)

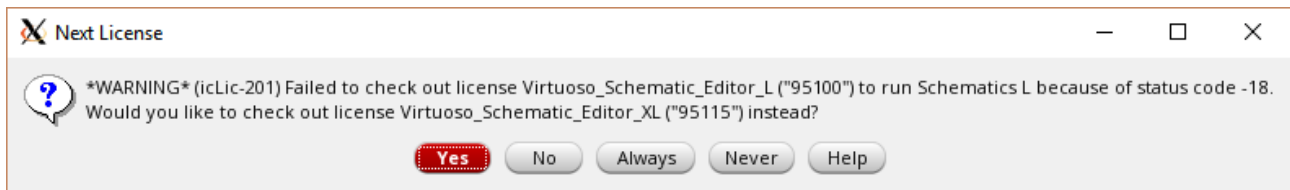
**Вид представяне (view name):** schematic



Фиг. 6. Прозорец за създаване на нова клетка.

Натиска се бутонът **OK**, с което се отваря прозорецът на схемния редактор, в който ще се въведе новият проект.


Възможно е да се появи прозорецът от фиг 6а:



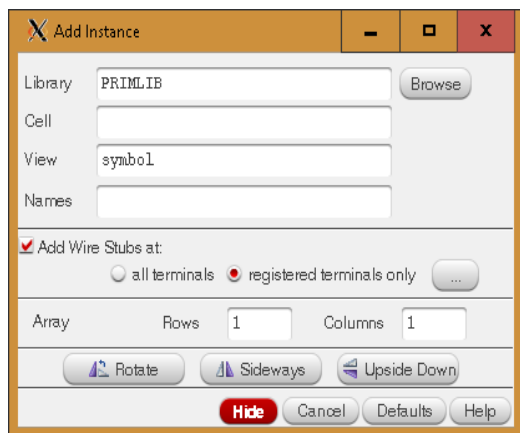
Фиг. 6а. Запитване за лиценз.

В него се отговаря с бутон **Always**. Смисълът е, че лицензът за **Virtuoso Schematic Editor L** не е наличен, но може да се отвори с друг модул, който в случая е по-добър (**Virtuoso Schematic Editor XL**). Отговаря се с **Always**, а не с **Yes**, за да запомни отговора и да не пита при следващо отваряне на електрическа схема.

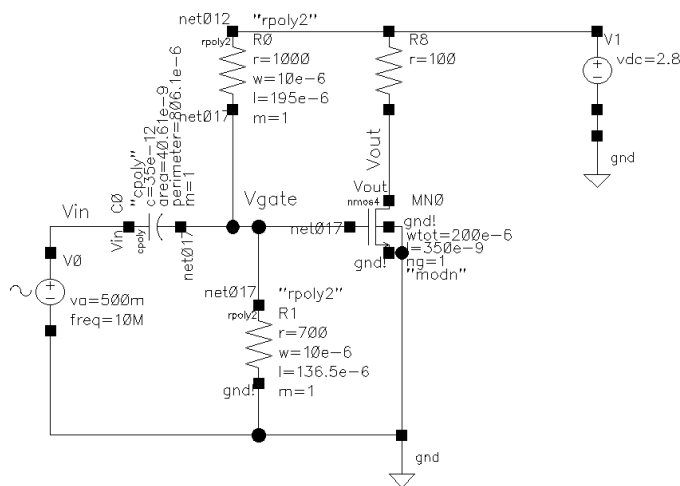
## 6. Въвеждане на електрическа схема.

За да се въведе електрическата схема, се добавят и разполагат елементи в схемния редактор на **CADENCE (Virtuoso Schematic Editor)**. За целта се използва командата **Create** ⇒ **Instance**. Същата команда може да се избере и чрез натискане бутон  от горната страна на редактора за изчертаване на схеми или като се използва бутонът “i” от клавиатурата. Независимо от това, кой от трите начина се използва, се отваря диалоговият прозорец за добавяне на елемент (фиг. 7). В него се


натиска бутонът **Browse** за избор на библиотека. За използваната технология реалните елементи се намират в библиотеката **PRIMLIB** (AMS 0.35 $\mu$ m CMOS), а идеалните съответно в **analogLib**.

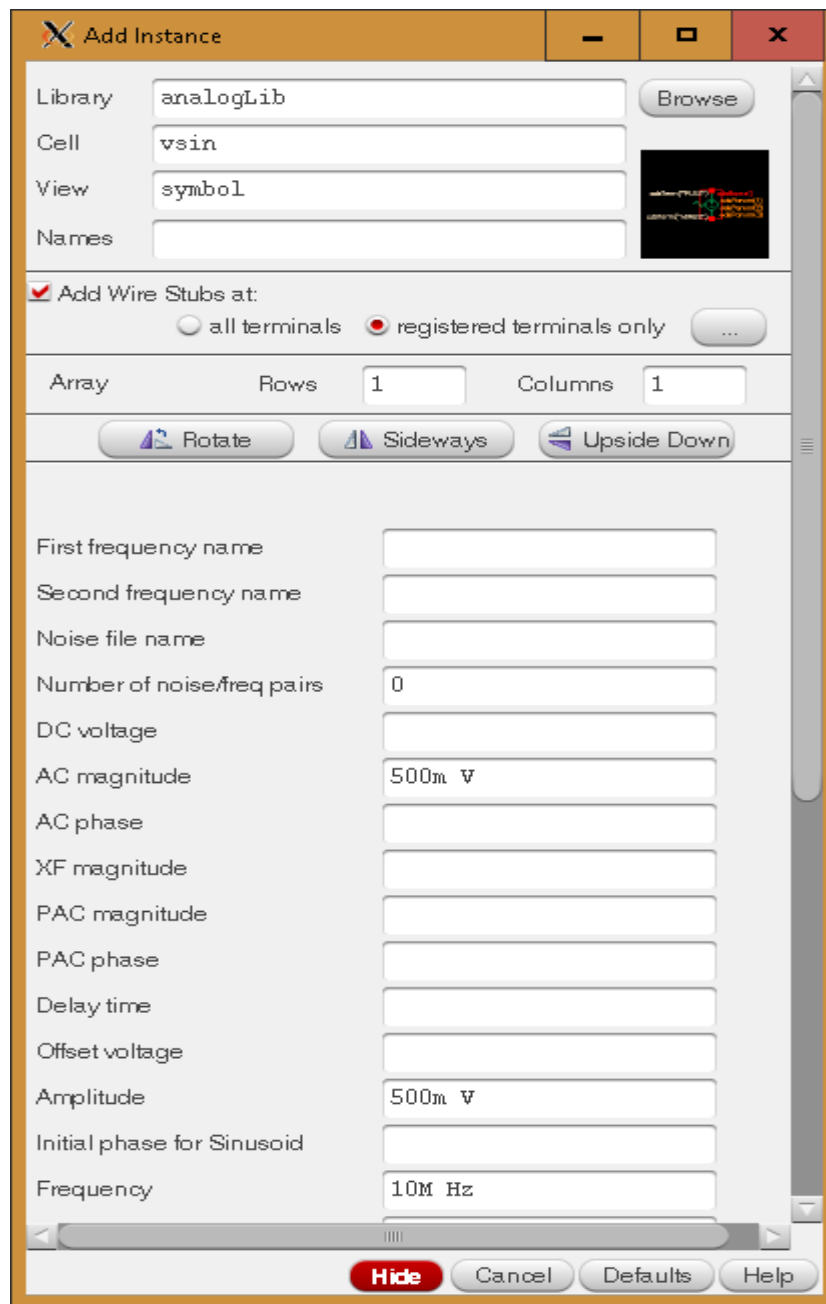


Фиг. 7. Прозорец за добавяне на елемент.



Фиг. 8. Схема за изследване.

За да се прекрати командата, трябва да се натисне **Esc** от клавиатурата. С промяна на името на елемента във формата на командата **Create Instance** може да се продължи с разполагането на други елементи. Когато всички елементи, необходими за дадена схема са разположени, стойностите на техните параметри могат да се променят като се маркира желания елемент, натиска се бутон  от горната страна на прозореца на **Virtuoso Schematic Editor** или бутон “q” от клавиатурата, или се ползва подпрозореца **Property Editor** в долната лява част на схемния редактор. Това е еквивалентно на избиране на командата **Edit**  $\Rightarrow$  **Properties**  $\Rightarrow$  **Object**. . Схемата, която се използва в това упражнение, е дадена на фиг. 8. Имената на елементите, стойностите на техните параметри и библиотеките, в които се намират са показани в таблица 1, а параметрите на входния източник (**vsin**) са показани на фиг. 9. Източникът **vsin** и масата (**gnd**) се намират в библиотеката **analogLib**.





Фиг. 9. Задаване параметрите на източника на напрежение vsin.

Таблица 1.

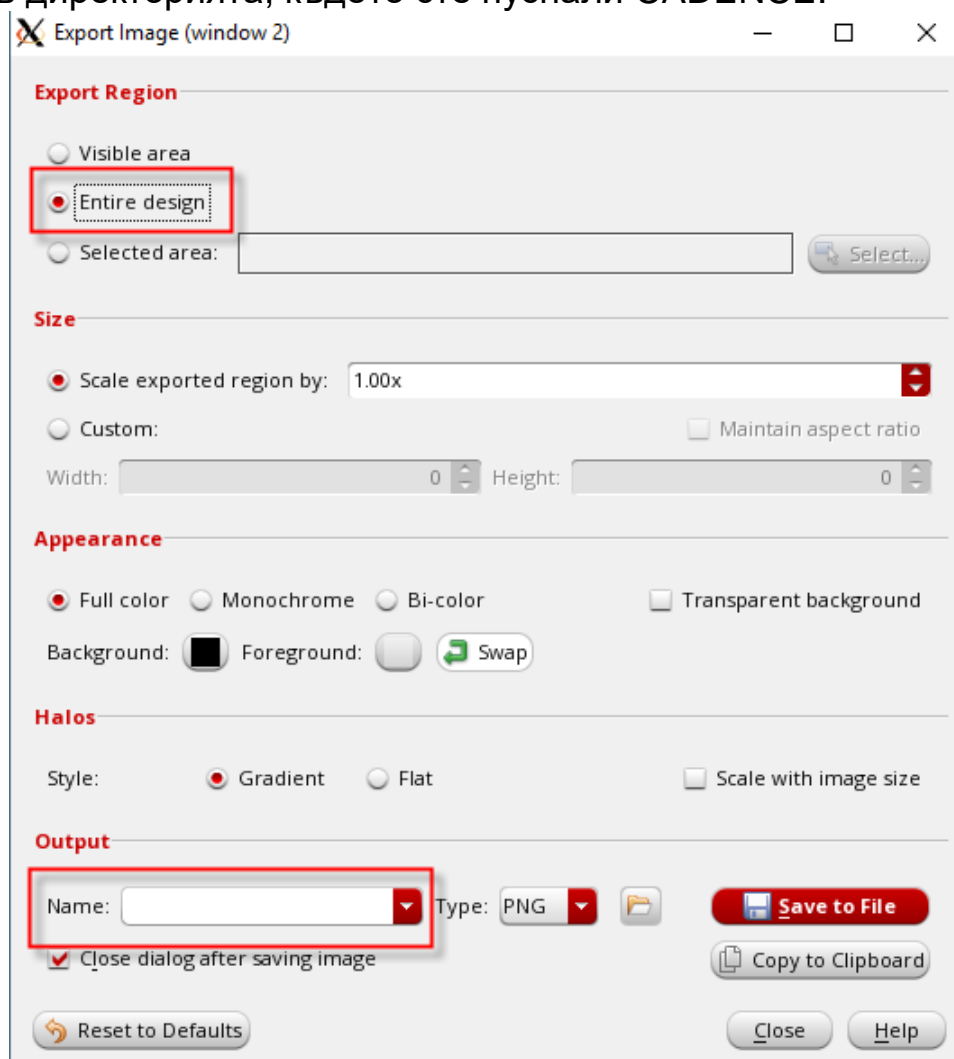
Име на библиотеката	Име на елемента	Стойности на параметрите на елементите от фиг. 8
PRIMLIB	rpoly2	R0=1000Ω
PRIMLIB	rpoly2	R1=700Ω
analogLib	res	R8=100Ω
PRIMLIB	cpoly	C0 = 35pF
PRIMLIB	nmos4	Width stripe = 200μm, Length = 0.35 μm, Number of gates=1
analogLib	vdc	DC voltage=2.8V



## 7. Изчертаване на връзките между елементите.

След като се разположат всички елементи, те трябва да се свържат помежду си. За изчертаване на връзките се използва командата **Create** ⇒ **Wire (narrow)**, бутон  от горната страна на схемния редактор или “w” от клавиатурата. На свързващите проводници могат да се задават имена (**Create** ⇒ **Wire Name** или с бутон  в прозореца на редактора или “I” от клавиатурата). След като схемата е изцяло изчертана, тя се запазва с командата **File** ⇒ **Save**. Може едновременно да се запази и провери за допуснати грешки при разполагането и свързването на елементите – **File** ⇒ **Check and Save**.

За протокола Ви е необходимо изображение на схемата. За целта избирате **File** ⇒ **Export Image**. Избира се **Entire design** и се попълва името на файла в полето **Name**, както е показано по-долу. Файлът се записва в директорията, където сте пуснали CADENCE.





Протоколът може да отворите чрез командата

`spm-prot &`

в терминала, където сте пуснали CADENCE. Потребителското име и паролата са **Вашия факултетен номер**.

## II. Аналогова симулация с помощта на симулатора Spectre.

За да се избере и стартира симулация, от менюто **Launch** на схемния редактор се използва командата **ADE L**, след което се появява прозорецът на средата за аналогова симулация **Analog Design Environment (ADE L)**, който е показан на фиг. 10.

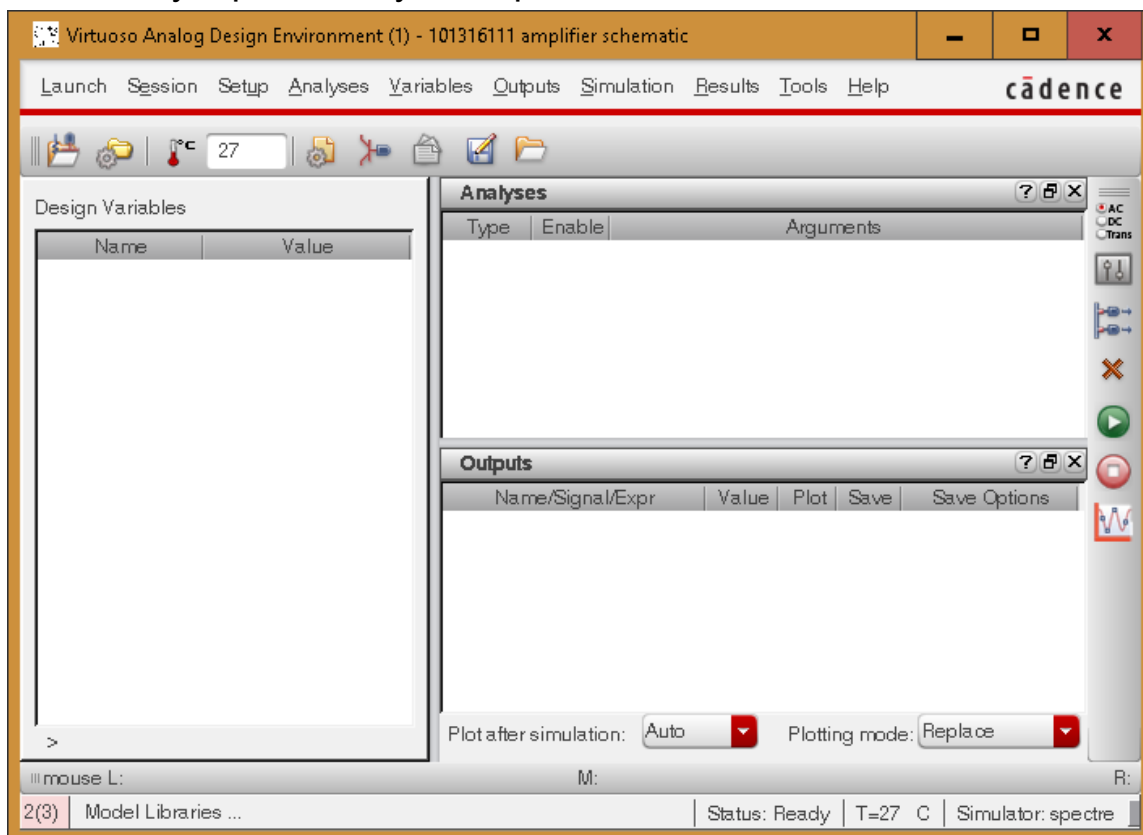
Тук е възможно отново да излез прозорец, подобен на този от фиг. ба, на което отново се отговаря с **Always**.

Полето **“Design”** дава информация за проекта, който ще се симулира (библиотека, име и вид на представяне на проекта).

Полето **“Analyses”** съдържа списък на избраните анализи.

Полето **“Design variables”** показва списък на променливите, които са зададени в схемата и ще се използват при симулация.

Полето **“Outputs”** дава списък на напрежения/токове, които трябва да бъдат симулирани, визуализирани или записани.



Фиг. 10. Прозорец на средата за аналогова симулация **ADE L**.

Бутоните, които са разположени от дясната страна в прозореца на **ADE L** са помощни и представляват съкратени пътища към някои от основните команди в менюто:

- 1-ри бутон – Избор на анализи (**Choose Analyses**);
- 2-ти бутон – Задаване и редактиране на променливи (**Edit variables**);
- 3-ти бутон – Избор на напрежения/токове, които ще се визуализират (**Setup Outputs**);
- 4-ти бутон – Изтриване (**Delete**);
- 5-ти бутон – Създаване на нетлист и стартиране на симулация (**Netlist and Run**);
- 6-ти бутон – Спиране на симулация (**Stop**);
- 7-ми бутон – Визуализиране на избраните напрежения/токове (**Plot Outputs**).

### 1. Избор на анализ.

За да се зададе анализ, от лентата с менютата на **ADE L** се избира **Analyses** ⇒ **Choose**. Появява се прозорец с всички достъпни анализи. От него може да се избере желаният вид анализ и да се зададат неговите опции

### 2. Постояннотоков анализ (dc).

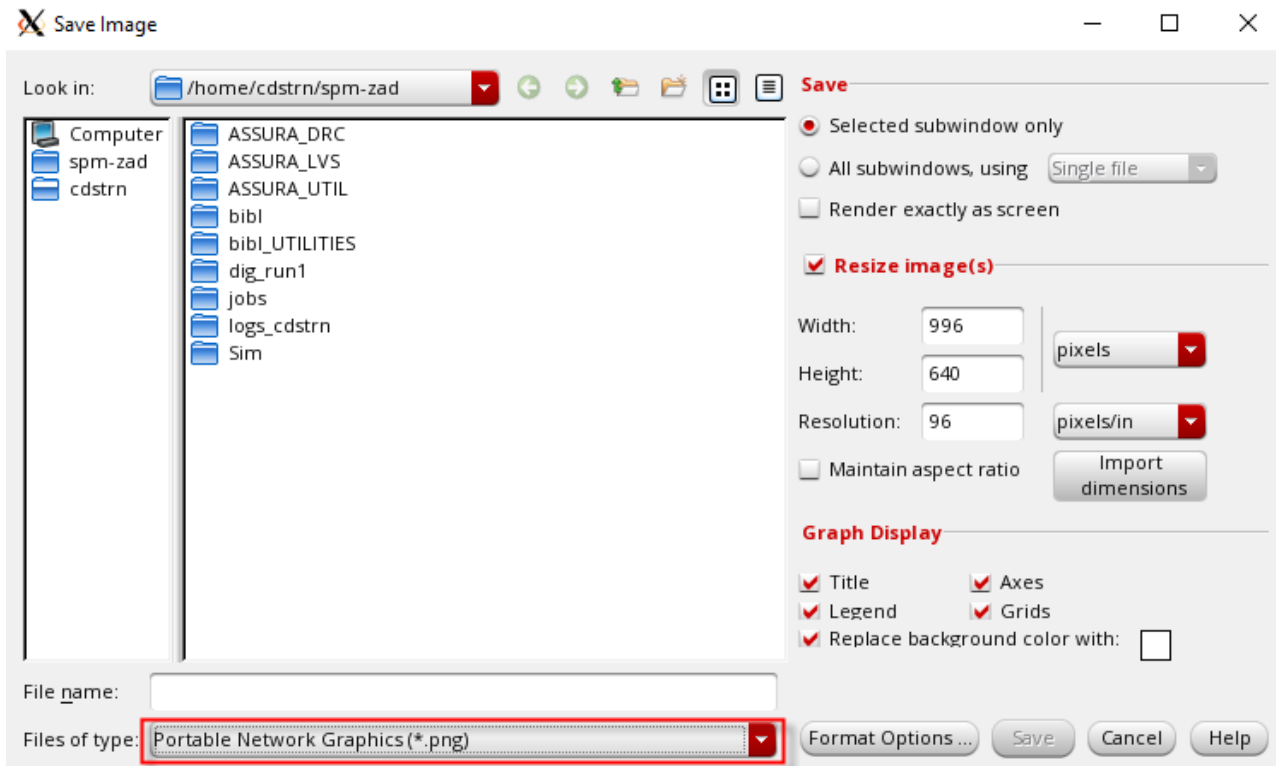
Постояннотоковият анализ се използва за определяне на работна точка или задаване на постояннотокова развивка по температура, промяна на параметър на елемент или моделен параметър.

Например, за да се направи постояннотоков анализ, могат да се използват следните стъпки:

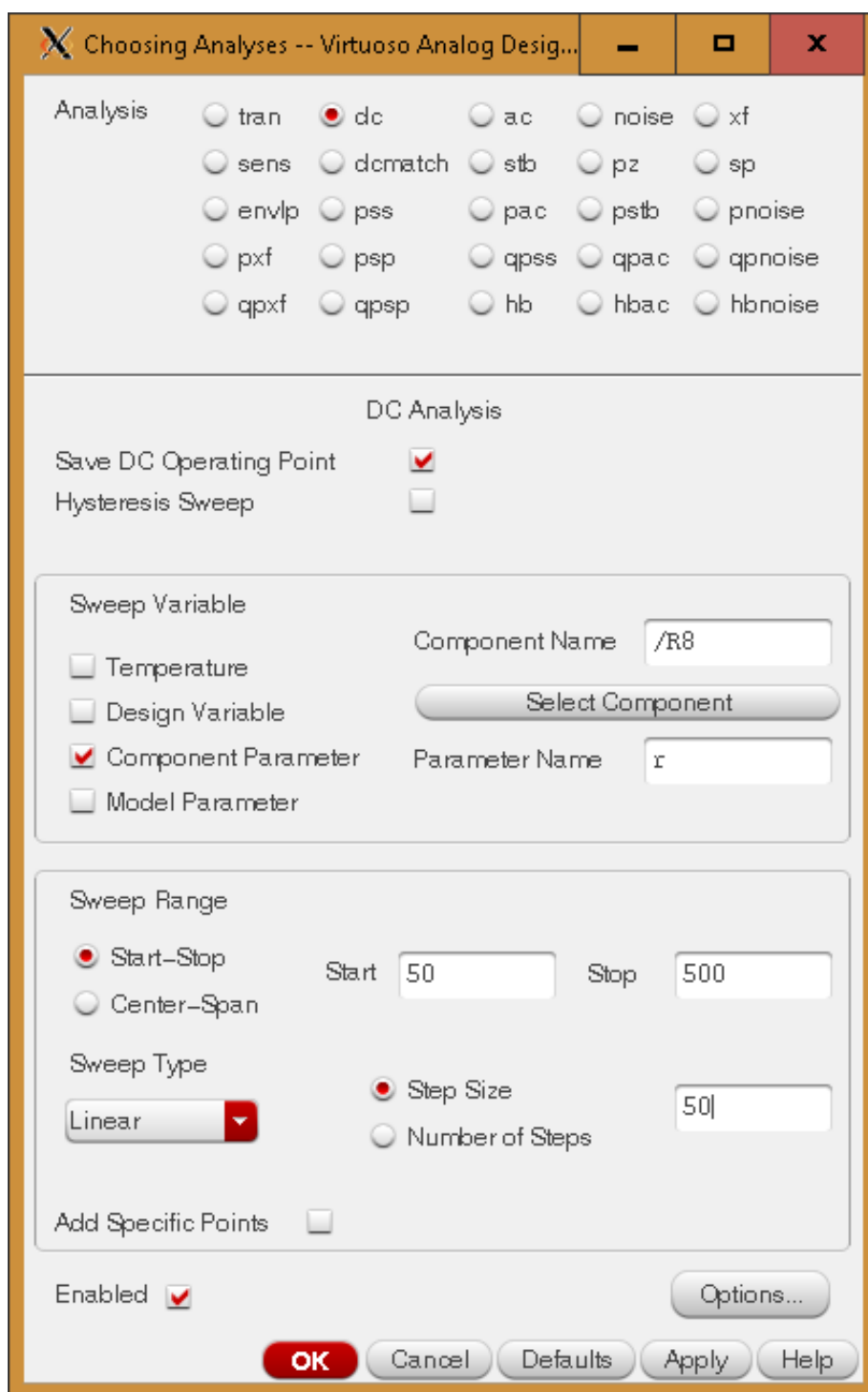
- 1) Избира се **Analyses** ⇒ **Choose** ⇒ **dc**;
- 2) Маркира се **Save DC Operating Point**;
- 3) Избира се **Component Parameter**, натиска се бутона **Select Component** и се кликва върху елемента R8 (виж фиг. 8), чийто параметър  $r$  ще се променя от  $X$  до  $600 \Omega$ , със стъпка  $50 \Omega$  подобно на фиг. 11. Заменете  $X$  с последните 1 или 2 значещи цифри от Вашия факултетен номер умножени по 5, напр. за 03 –  $15 \Omega$ , за 35 –  $175 \Omega$ .
- 4) Натиска се бутонът **OK** и се стартира симулацията като се натисне зеления бутон или се избере командата **Simulation** ⇒ **Netlist and Run**.
- 5) За аотиране на схемата се избира **Results** ⇒ **Annotate** ⇒ **DC Operating Point**. Резултатите се визуализират върху електрическата схема - фиг. 12.
- 6) Резултатите от развивката по параметър на R8 се визуализират като се използва командата **Results** ⇒ **Direct Plot** ⇒ **dc** избира се връзката “**Vout**” и се натиска **Esc** от клавиатурата. Резултатите от този анализ са показани на фиг. 13.



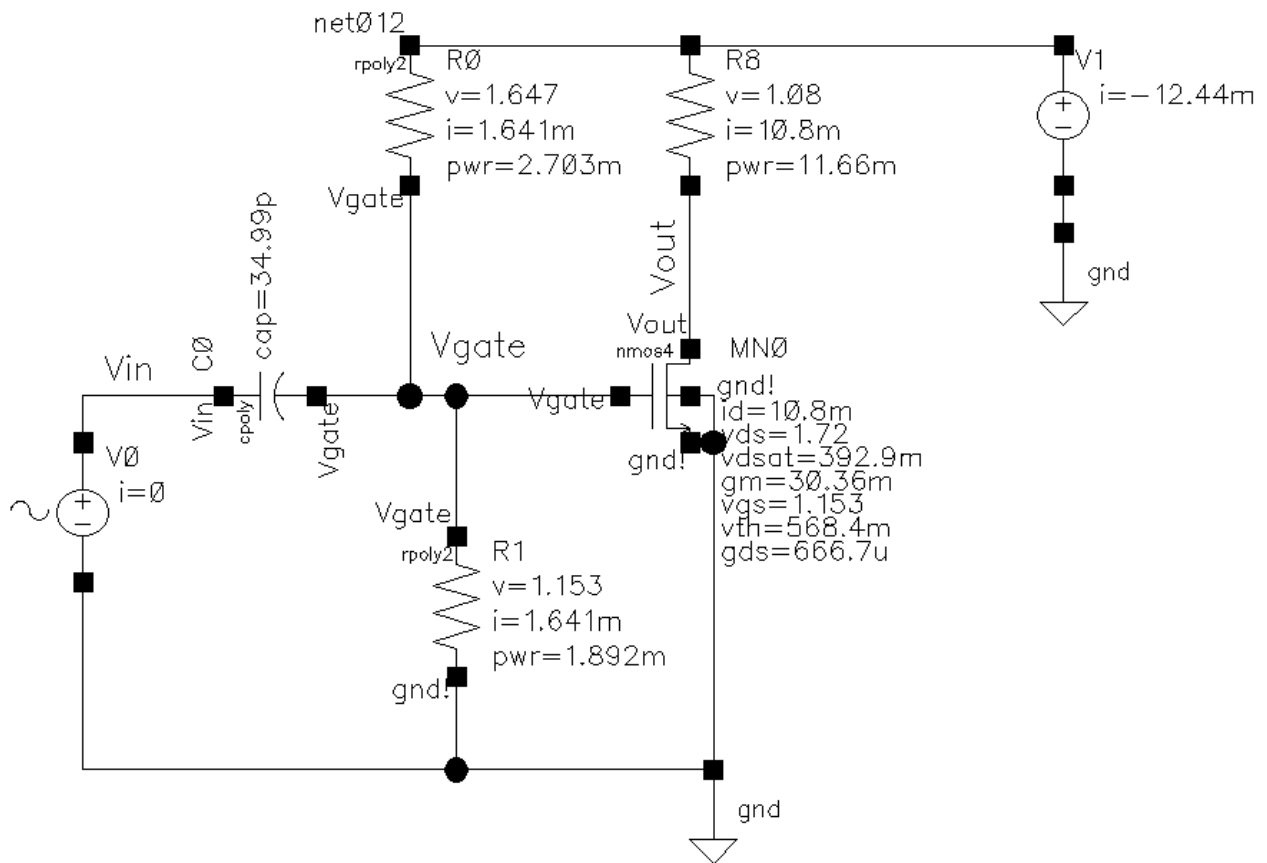
За протокола ви е необходимо изображение от резултатите. За целта избирате **File** ⇒ **Save Image**. За **Files of type** изберете **Portable Network Graphics (\*.png)**, както е показано на долната фигура и попълнете името на файла в полето **File name**.



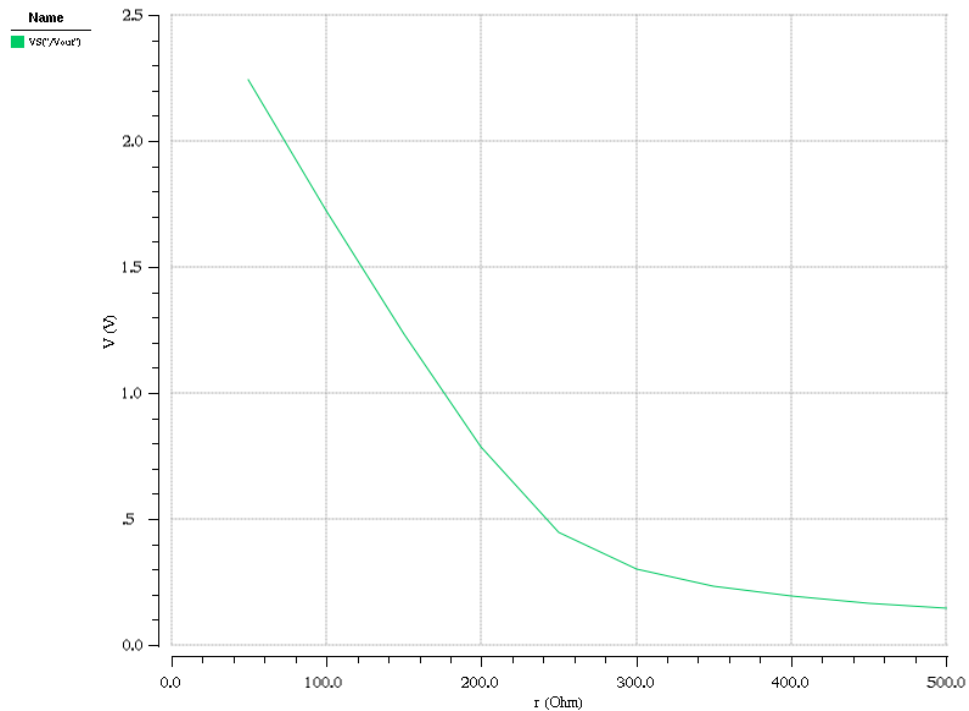
Запис на изображение от графични резултати след симулация.



Фиг. 11. Задаване на **dc** анализ с разбивка по параметър на елемент



Фиг.12. Постояннотоков режим на схемата от фиг. 8.



Фиг. 13. Резултати от dc анализ на схемата с R8 като параметър.

При постояннотоковия анализ може да се визуализират и стойностите на параметрите на елемент за дадена работна точка. За целта се задава командата **Results** ⇒ **Print** ⇒ **DC Operating Points**, след което се избира желаният елемент от схемата. Стойностите на параметрите на NMOS транзистора (**nmos4**) са показани на фиг. 14.

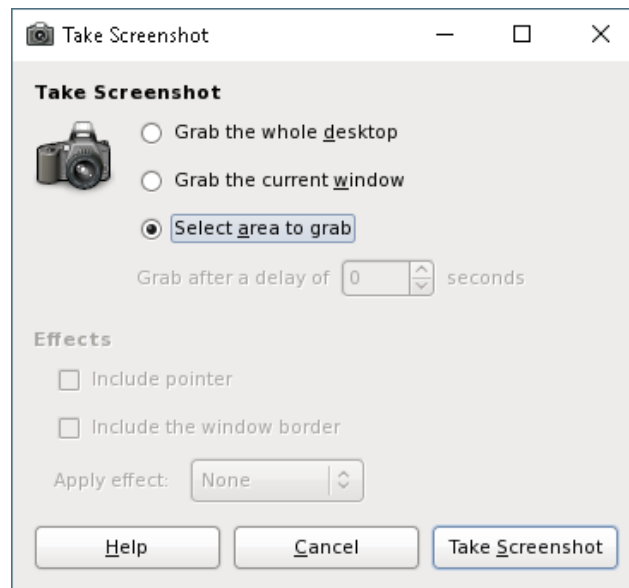
За да свалите изображението на този прозорец за протокола напишете в терминал, откъдето е пуснат CADENCE:

```
gnome-screenshot -i
```

Появява се прозорецът от фиг. 14а. Прозорецът, който ще се снима трябва да бъде изцяло видим. Избира се **Select area to grab**, натиска се **Take Screenshot** и се оградя желаната площ от екрана.

signal	OP ("/MN0" "??")
betaeff	86.65m
cbb	382.3f
cbd	-131.2f
cbdbi	12.69f
cbg	-27.03f
cbs	-224.1f
cbsbi	-4.869f
cdb	-131.2f
cdd	167.9f
cddb	50.52a
cdg	-36.74f
cds	63.58a
cgb	-12.41f
cgbowl	31.9a
cgd	-36.55f
cgdbi	102.2a
cgdowl	36.65f
cgg	290f
cggbi	203.2f
cgs	-241f
cgsbi	-190.9f
cgsowl	50.13f
cjd	131.2f
cjs	193.1f
csb	-238.7f
csd	-168.4a
csg	-226.2f
css	465f
cssbi	221.9f
gbd	264.5n
gbs	7.465f
gds	666.7u
---	---

Фиг. 14. Стойности на параметрите на транзистора **nmos4** за дадената работна точка.



Фиг. 14а. Снимане на прозорец.

Ако забравите в коя директория сте записали снимката, можете да я потърсите чрез файловия мениджър, който се стартира с командата:

```
nautilus --no-desktop &
```

### 3. Честотен анализ (ac).

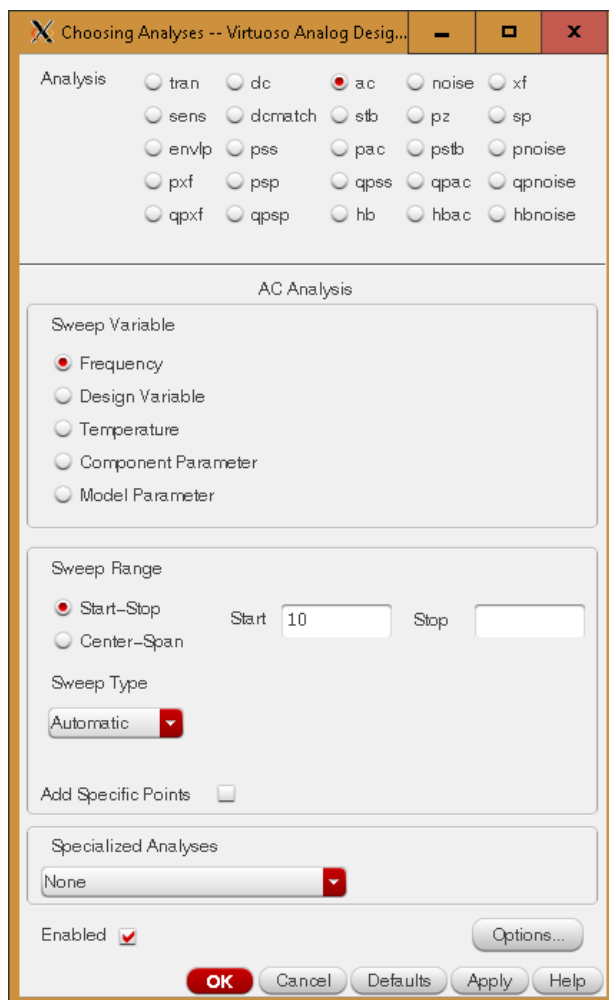
За задаване на честотен анализ се използва **Analyses** ⇒ **Choose** ⇒ **ac** от менюто на **ADE L**. Задаването на анализа е показано на фиг. 15.

Стъпките за задаване на **ac** анализ са:

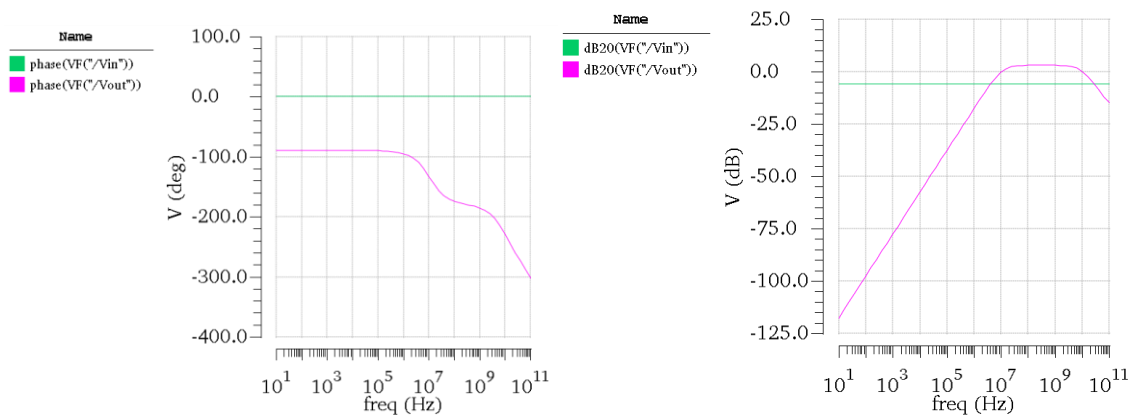
- 1) Избира се **ac**.
- 2) Задава се честотата като **Sweep Variable** и обхват на изменение (**Sweep Range**) от 10 Hz до **X** GHz. **X** се изчислява като  $100 +$  последните 1 или 2 значещи цифри от Вашия факултетен номер умножени по 2, напр. за 03 ⇒  $(100 + 2 \cdot 03)G = 106G$ , за 35 ⇒  $(100 + 2 \cdot 35)G = 170G$ . Задава се **Sweep Type - Automatic**.
- 3) От менюто **Outputs** ⇒ **Save All...** се избира опцията **all** на първия ред (**Select signals to output (save)**).
- 4) Натиска се бутонът **OK** и се стартира симулацията.
- 5) Резултатите се визуализират **в общ прозорец** като първо се изчертава единия резултат - **Results** ⇒ **Direct Plot** ⇒ **AC Phase**, посочват се възлите “**Vin**” и “**Vout**” и се натиска **Esc**. Резултатите от анализа са показани на фиг. 16.
- 6) Добавя се нов подпрозорец в прозореца за визуализация на резултатите - **File** ⇒ **New Subwindow** ⇒ **Rectangular**. При запазване на изображението от **File** ⇒ **Save Image** се избира **All subwindows**, за да излязат и двата подпрозореца.



7) Избира се втория резултат - **Results** ⇒ **Direct Plot** ⇒ **AC db20**, посочват се възлите **“Vin”** и **“Vout”** и се натиска **Esc** (фиг. 16).



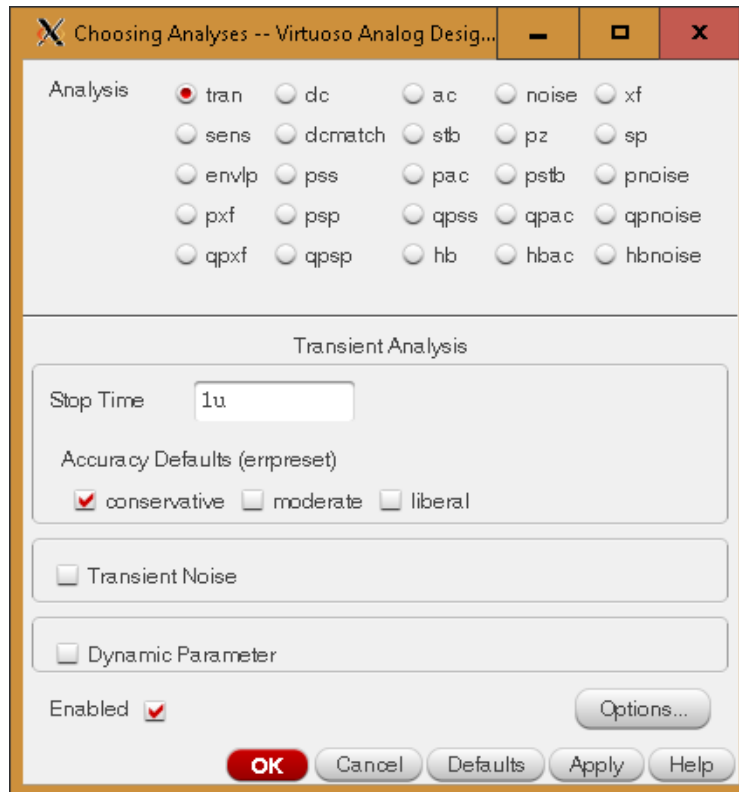
Фиг. 15. Прозорец за задаване на ас анализ.



Фиг. 16. Амплитуда в dB и фаза на напреженията във възли **“Vin”** и **“Vout”**.

#### 4. Времени анализ (tran).

За задаване на временни анализ се използва **Analyses** ⇒ **Choose** ⇒ **tran**. Прозорецът за избор е показан на фиг. 17.

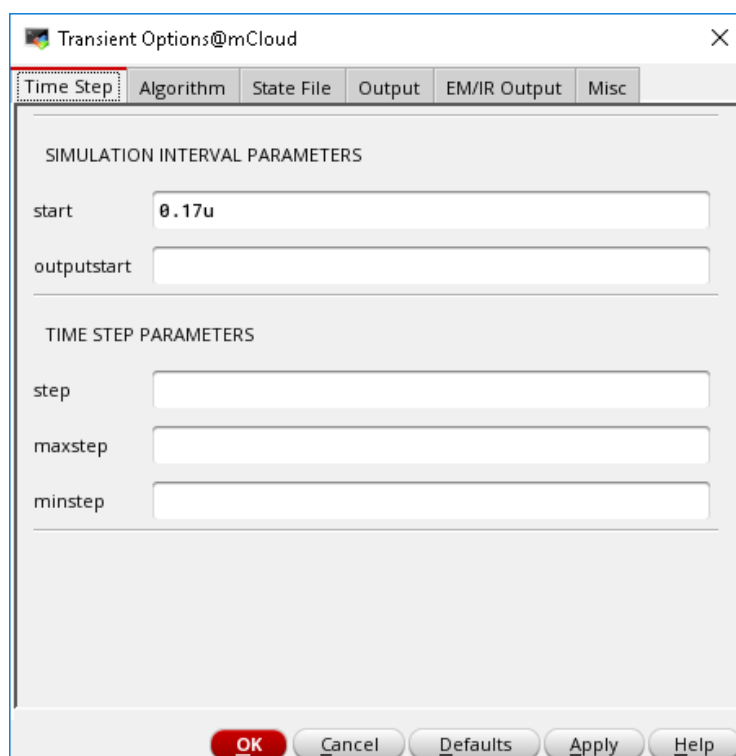


Фиг. 17. Задаване на временни анализ.

Задава се **Stop Time**, с което се определя края на интервала за извършване на симулацията. Отбелязва се точността, с която да се изпълни анализът и се маркира **Enable**.

За временни анализ могат да се използват следните стъпки:

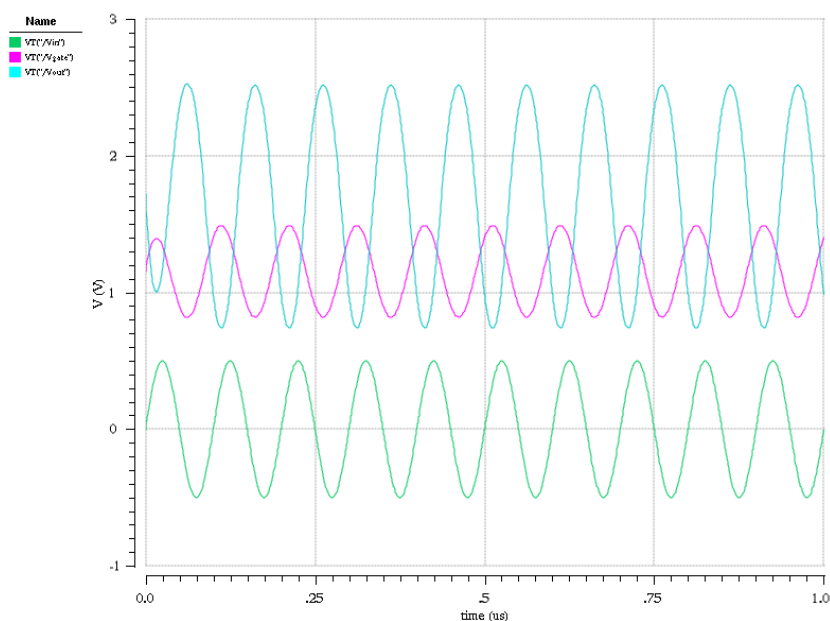
- 1) Избира се анализът **tran**.
- 2) Задава се **Stop Time** – 1u (фиг. 17).
- 3) Началото на симулацията може да бъде отложено във времето и да не започва от **0**. За целта натиснете бутона **Options**. В появилата се форма (фиг. 18) попълнете полето **start**, като запишете стойност в микросекунди, получена от деленето на последните 1 или 2 значещи цифри на Вашия факултетен номер и 100. Напр. за **05** – **0.05u**, за **17** – **0.17u**.



Фиг. 18. Управление на времето за симулация.

4) Натиска се бутонът **OK** и се стартира симулацията.

5) Резултатите от симулацията се визуализират чрез: **Results** ⇒ **Direct Plot** ⇒ **Transient Signal**, маркират се възлите “Vin”, “Vgate” и “Vout”, след което се натиска **Esc** от клавиатурата. Резултатът от анализа е показан на фиг. 19.



Фиг. 19. Визуализиране на резултата от времевия анализ на схемата.