

2.4. Анализ на нелинейни схеми във времева област

**2.4.1. Защо в САПР се прилагат предимно
неявни методи за анализ във времева
област? Представяне на реактивните
елементи чрез резистивни модели.**

Представяне на реактивните елементи чрез резистивни модели

Анализът в областта на времето се извършва чрез **неявно интегриране на диференциалните уравнения**:
апроксимират се производните в уравненията на реактивните елементи **кондензатор и бобина**

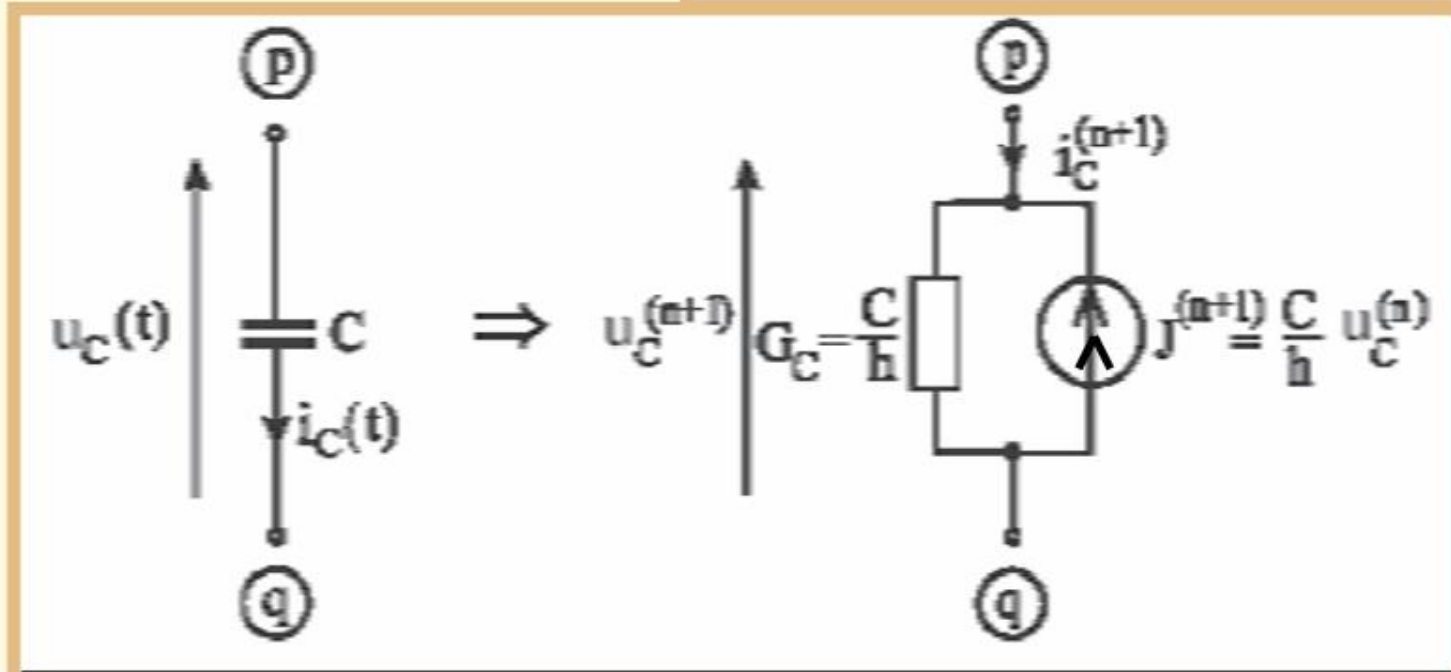
1. Модел на кондензатор

$$i_C(t) = C \frac{du_C(t)}{dt}$$

$$i_C^{(n+1)} = C \frac{u_C^{(n+1)} - u_C^{(n)}}{\Delta t}$$

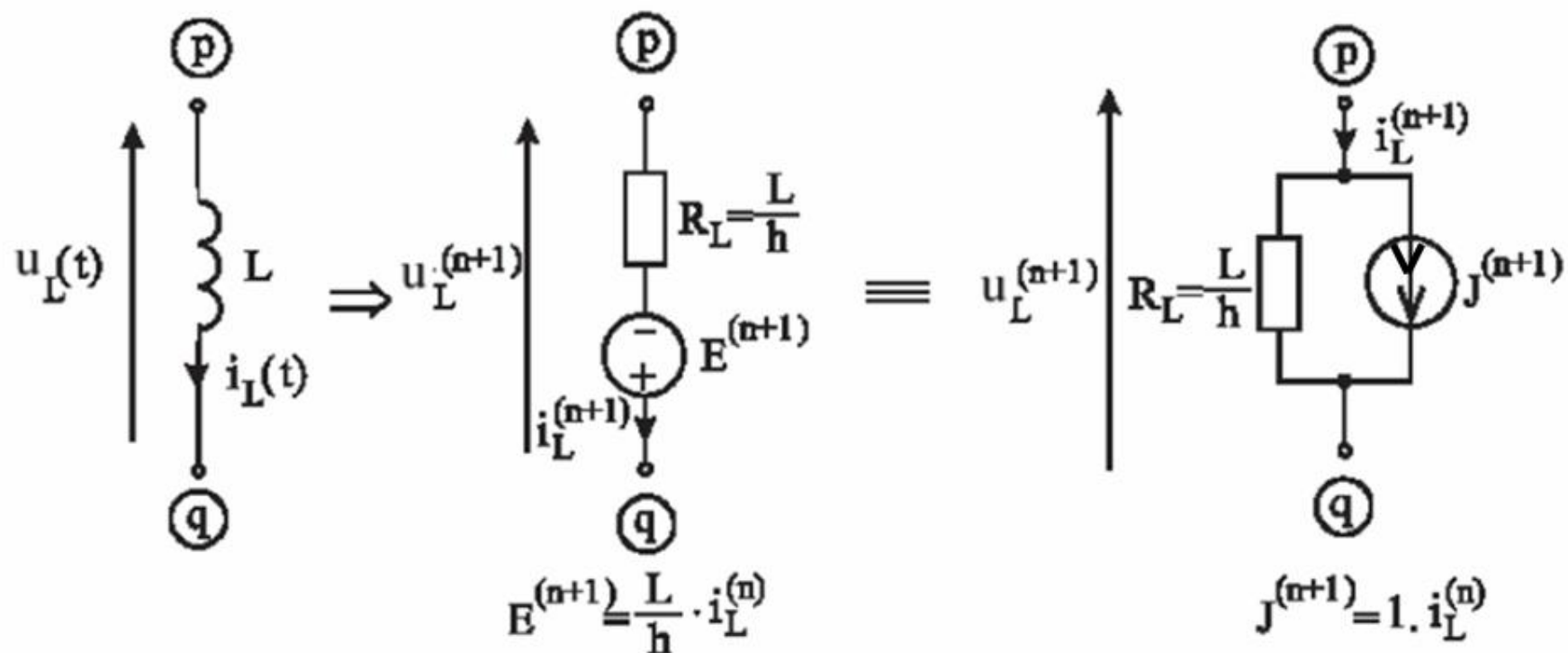
$$\frac{du_C(t)}{dt} \approx \frac{\Delta u_C(t)}{\Delta t}$$

$$i_C^{(n+1)} = \underbrace{\frac{C}{h}}_{G_C} u_C^{(n+1)} - \underbrace{\frac{C}{h} u_C^{(n)}}_J$$



2. Модел на бобина

$$u_L(t) = L \frac{di_L(t)}{dt} \approx L \frac{\Delta i_L(t)}{\Delta t} = L \frac{i_L^{(n+1)} - i_L^{(n)}}{\Delta t}$$



2.4.2. Избор на времева стъпка. Итерационна процедура за времеви анализ. Особености при анализа във времева област с програми от типа на PSpice. Входна и изходна информация.

Процедурата за извършване на анализа в областта на времето включва следните стъпки:

1. Към входния възел се включва източник на сигнал (тип VSIN, VPULSE, VPWL) и се дефинират параметрите на сигнала.

2. Задават се параметрите на анализа чрез диалоговото меню на Capture:

PSpice/Edit Simulation Profile/ Analysis/Time Domain

– интервал от време за симулация t_{max} (Run to time**)**

Симулацията започва винаги от момента $t = 0$;

3. Стартира се симулацията.

2.4.3. Контрол на точността и сходимостта на изчислителния процес

При липса на допълнителна настройка от страна на потребителя, симулаторът работи по подразбиране с максимална стъпка за изчисления определена като $1/50$ от общия интервал от време t_{max} зададен чрез **Run to time**:

$$\Delta t_{из,max} = t_{max} / 50$$

Ако този интервал е голям, той автоматично определя голяма стойност на максималната стъпка и в резултат се намалява точността на анализа. При по-големи схеми поради загуба на точност симулаторът може да преустанови работата си аварийно вследствие загуба на сходимост.

Контрол на изчислителния процес

- Да се намали максималнодопустимата времева стъпка при анализа;
- Вместо да работи със стойността по подразбиране за максималната стъпка за изчисления, потребителят може да зададе по-малка стойност на тази стъпка в полето

Maximum step size

на менюто

Analysis/Analysis Type/Time Domain (Transient)

- Да се намали относителната грешка **RELTOL** (стойност по подразбиране 0.001);
- Да се намали абсолютната грешка при изчисляване на напреженията **VNTOL** (стойност по подразбиране 1 μ V);
- Да се намали абсолютната грешка при изчисляване на токовете **ABSTOL** (стойност по подразбиране 1pA);

2.4.4. Особености при анализ на големи електронни схеми във времева област.

Процентният дял на аналоговата част на широкоразпространени електронни схеми е **над 20%**

Съвременните електронни схеми поставят повишени изисквания към аналоговите симулатори поради:

- **Повишена сложност**

Броят на елементите е нарастнал през последните години от стотици до над 100 000. Проектите съдържат много блокове и са с йерархична структура.

- **Нарастване на степента на интеграция**

- Увеличаване на **честотния диапазон**. Честотният диапазон е изместен от MHz до GHz обхват.

- Намаляване на **захранващото напрежение** и в резултат нарастване на нелинейността на схемата

- Нарастване на влиянието на **паразитните ефекти** на елементите

Подходи за ускоряване на симулацията

1. *Ускоряване на симулацията за сметка на точността* (FastSPICE симулация)

Прилагане на *bypass*-алгоритми

Ако величините (u, i) за даден активен елемент не се променят съществено в хода на времевия анализ за даден интервал от време (t_1, t_2) , решаването на уравненията на елемента не се извършва, а се взимат последните изчислени данни от времевата точка t_1 (игнориране на неактивните подсхеми).

При промяна на величините (u, i) се възстановява решаването на уравненията на елемента.

Разделяне на схемата на блокове и решаването им поотделно.

Времевата стъпка, избирана от симулатора за различните подсхеми, може да се различава.

Прилагане на опростени модели на компонентите

2. Разработване на усъвършенствани оптимизирани алгоритми, ускоряващи симулацията без загуба на точност

При симулатора *Spectre* на *Cadence* не се прилага *bypass*-алгоритъм, а са разработени специални алгоритми, насочени към повишаване на скоростта и надеждността на алгоритмите. В резултат се постига **3-5 пъти** по-голяма скорост на симулацията.

3. Използване на поведенческо моделиране и симулация

Проектът се описва чрез **езици за поведенческо моделиране**, позволяващи да се ускори симулацията: **Verilog-A, VHDL-AMS**.