

V. Компютърна симулация на логически схеми и на комбинирани (аналого-цифрови) схеми

5.1. Принципи на функционално-логическото моделиране. Входна и изходна информация. Моделиране на синхронни и асинхронни схеми. Симулация на логически схеми с програми от типа на PSpice.

5.2. Анализ на смесен тип (аналого-цифрови) схеми: съвместяване на електрически и логически симулатор.

5.1. Принципи на функционално-логическото моделиране. Входна и изходна информация. Моделиране на синхронни и асинхронни схеми. Симулация на логически схеми с програми от типа на PSpice.

Задачи на логическото моделиране:

- **Проверка на логиката** на цифровата схема;
- **Анализ на преходните процеси;**
- **Изследване на надеждността** на схемата в зависимост от толеранса на параметрите;
- **Генериране на тестове;**

Видове модели

- **Логически модели**, при които времето T , входните и изходни множества заемат дискретни стойности;
$$Y(t) = f(X_1(t), X_2(t), \dots, X_n(t))$$

- **Логико-времеви модели**: отчитат влиянието на закъсненията на елементите

$$Y(t) = f(X_1(t-t_{d1}), X_2(t-t_{d2}), \dots, X_n(t-t_{dn}))$$

Логическите и логико-времевите модели биват:

- **модели-примитиви** – описват поведението на базовите логически елементи (NAND, NOR и др.);
 - **библиотечни модели** – съставени от модели-примитиви;
 - **модели на поведението** – построяват се като подпрограми без да се отчита вътрешната логическа структура на елементите.
- **Електрически цифрови модели**: извършва се моделиране на компонентно ниво. T , X и Y са непрекъснати величини.

Модели на логическите сигнали

Характеризират се с три основни категории:
логическо ниво, логическа сила и логическо състояние на сигнала

- **Логическо ниво** – представя се с различни азбуки:

$\{0, 1, *\}$ (* - неизвестно ниво)

$\{0, 1, *, 0 \rightarrow 1, 1 \rightarrow 0\}$

- **Логическа сила** – идеализирана мярка за “проводимостта” на сигнала към нула или към захранване. Използват се 4 степени на логическа сила: генерираща (D), стандартна (S), съпротивителна (R) и високоимпедансна (Z).

- **генерираща (D)** – електрически заряд може да се натрупва или отнема без ограничения
- **съпротивителна (R)** – електрически заряд може да се натрупва или отнема в определени граници
- **високоимпедансна (Z)** – определя сигнал, към който не може да се натрупва или отнема заряд
- **стандартна (S)** – между генерираща и съпротивителна

- **Логическо състояние** на сигнала – комбинация между логическо ниво и логическа сила

Методи за логическо моделиране:

В зависимост от начина, по който се отчита времето за разпространение на сигналите:

- Синхронно моделиране

- Асинхронно моделиране

При синхронното моделиране

- Не се отчита времето за закъснение на сигнала, свързано с даден компонент;

- Не се отчитат преходните процеси;

- Сигналите се представят с най-простата азбука: $\{0,1\}$;

- Анализът е свързан с изчисления за определени дискретни моменти $T, 2T, \dots$, зададени със синхро-импулси;

Този тип симулация се прилага за комбинационни схеми. При тях изходният сигнал е функция на входния сигнал от същия момент: $Y = f(X_1, X_2, \dots, X_n)$

При асинхронното моделиране

- Отчита се **крайната скорост на разпространение на сигналите** в схемата; Като закъснение се отчитат собствените закъснения на елементите. В съвременните системи се отчитат и закъсненията на сигналите по съединителните проводници;
- За да се анализират тези закъснения, е необходимо да се изследва поведението на схемата във времето със стъпка

$$\Delta t \ll T$$

t_i - собствено закъснение на елемента;

t_{di} - закъснение по пътя на сигнала в съединителния проводник;

$$\Delta t \ll t_i$$

$$\Delta t \ll t_{di}$$

Брой вътрешни изчисления (микротактове):

$$m = T / \Delta t$$

Приложение на асинхронното моделиране: **откриване на риск** в комбинационната част на схемите

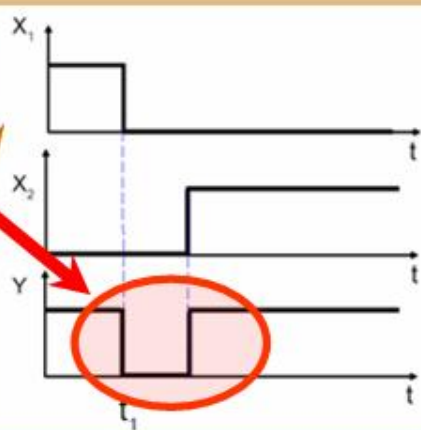
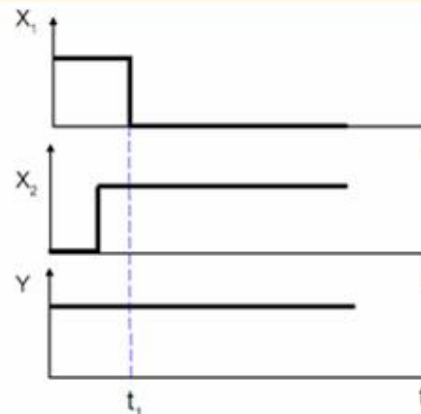
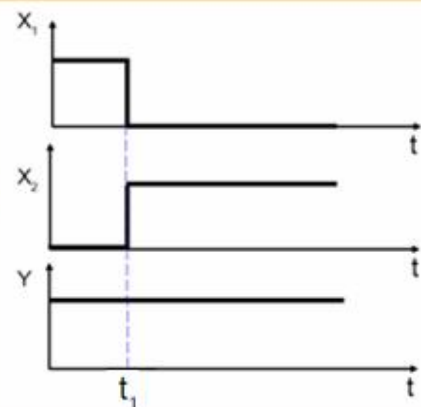
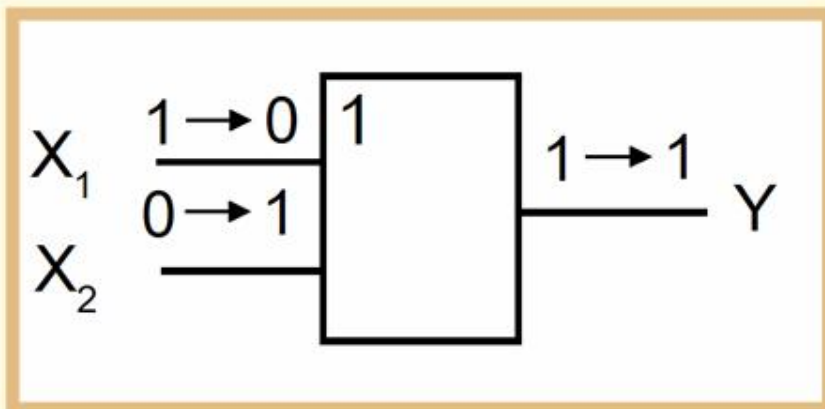
- **Вследствие на деформация на сигналите при преминаване през различни вериги на схемата при превключване на тези сигнали може да настъпи разсъгласуване във времето.**
- **Появата на лъжлив сигнал, предизвикан от крайната скорост на разпространяване на сигналите в схемата, се нарича **риск за сбой**.**

Статичен риск за сбой

При едновременна промяна на входните сигнали изходният сигнал в идеалния случай трябва да остане непроменен.

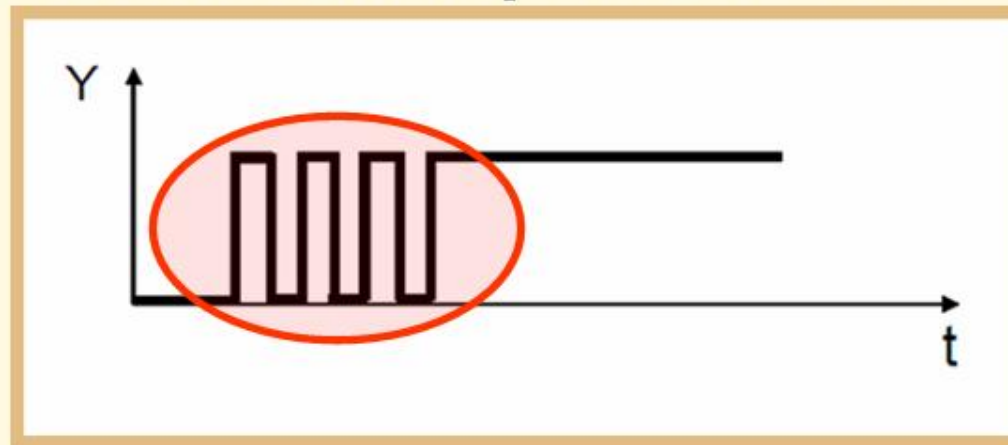
При разсъгласуване на сигналите по време на преходния процес е възможна **поява на изхода на сигнал с противоположна стойност (лъжлив сигнал)**.

Схема **ИЛИ**



Динамичен риск за сбой

Определя се от **кратка смяна на стойността на сигнала на изхода** на схемата при преминаване от една входна комбинация в друга. Той е следствие от статичния риск за сбой.



Ефекти:

- ❑ Бързодействието на схемата намалява;
- ❑ Вследствие на паразитните превключвания се увеличава консумацията, повишава се и температурата;
- ❑ Увеличава се продължителността на преходния процес.

- При схеми с обратни връзки **закъсненията на сигналите предизвикват състезание на сигналите във веригите на обратните връзки**, появяващи се при неедновременно изменение на стойностите им (**критични състезания**).
- В зависимост от последователността на превключване **схемата може да приеме различни устойчиви състояния**.
- При анализа на **критичните пътища** в процеса на моделиране се търси път на логическите сигнали, който има най-малко или най-голямо **закъснение**.

Методи за ускоряване на моделирането

1. Прилагане на **паралелно моделиране**

Моделира се едновременно поведението на схемата при прилагане на поредица от входни комбинации

2. Прилагане на **събитийно моделиране**

Според проведените статистически изследвания, **около 10% елемента превключват състоянието си** от една входна комбинация в друга. Почти **90%** от елементите се моделират напразно, тъй като не променят състоянието си. При събитийното моделиране се моделират само елементите, които променят състоянието си или за които се очаква да променят състоянието си.

Симулация на логически схеми с програми от типа на PSpice

Цифровата симулация с PSpice има някои специфики:

- ❑ PSpice се превръща в чисто логически симулатор, снабден с голям брой библиотеки за цифрови компоненти;
- ❑ Генерацията на входните възбуждащи сигнали се извършва в подсистемата **STIMULUS EDITOR** (файлове с разширения **.stl** и **.stm**).
- ❑ Сигнали може да се задават и директно в Capture чрез портовете **STIM**

Диагностика на неизправности в цифрови схеми

Диагностиката е задължителен етап от процеса на проектиране.

Типове неизправности: константа "0", константа "1".

Задача на тестването: откриване и локализация на неизправности

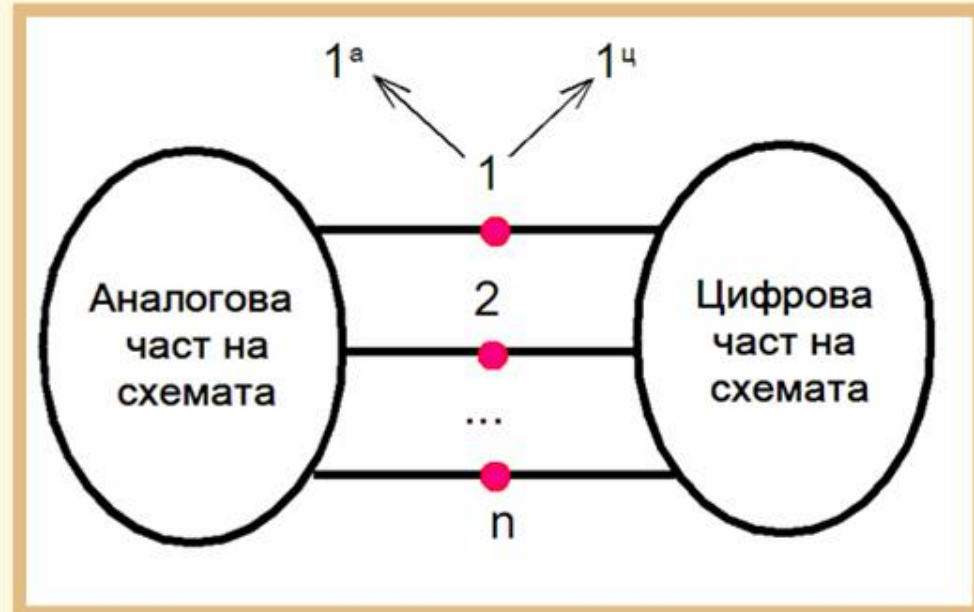
Видове тестове:

Контролиращи – проверка за наличие или липса на неизправност

Диагностични - локализация на неизправен елемент и определяне на типа на неизправността

5.2. Анализ на смесен тип (аналого-цифрови) схеми: съвместяване на електрически и логически симулатор

1, 2, ..., n – общи възли за аналоговата и цифровата част на схемата (интерфейсни възли).



- За всеки интерфейсен възел се генерират два представителя – един за аналоговата и един за цифровата част на схемата.
- Автоматично се генерират интерфейсни схеми (модели на АЦП и ЦАП) за преобразуване на аналоговите сигнали в цифрови и обратно.