

N° 16

Задание

Съставете функционална схема и определете основните параметри на импулсно-цифрово устройство при следните условия:

1. Захранващо напрежение: +5V
2. Да се зареди в преместващ регистър двоично кодирано 2-разрядно десетично число, след което битовете му да се предадат в последователен код до друг преместващ регистър. Приетото число да се визуализира чрез 7-сегментна диодна индикация. Предаването на данните да се извърши с честота $f = 1\text{ Hz}$.

Блокова схема

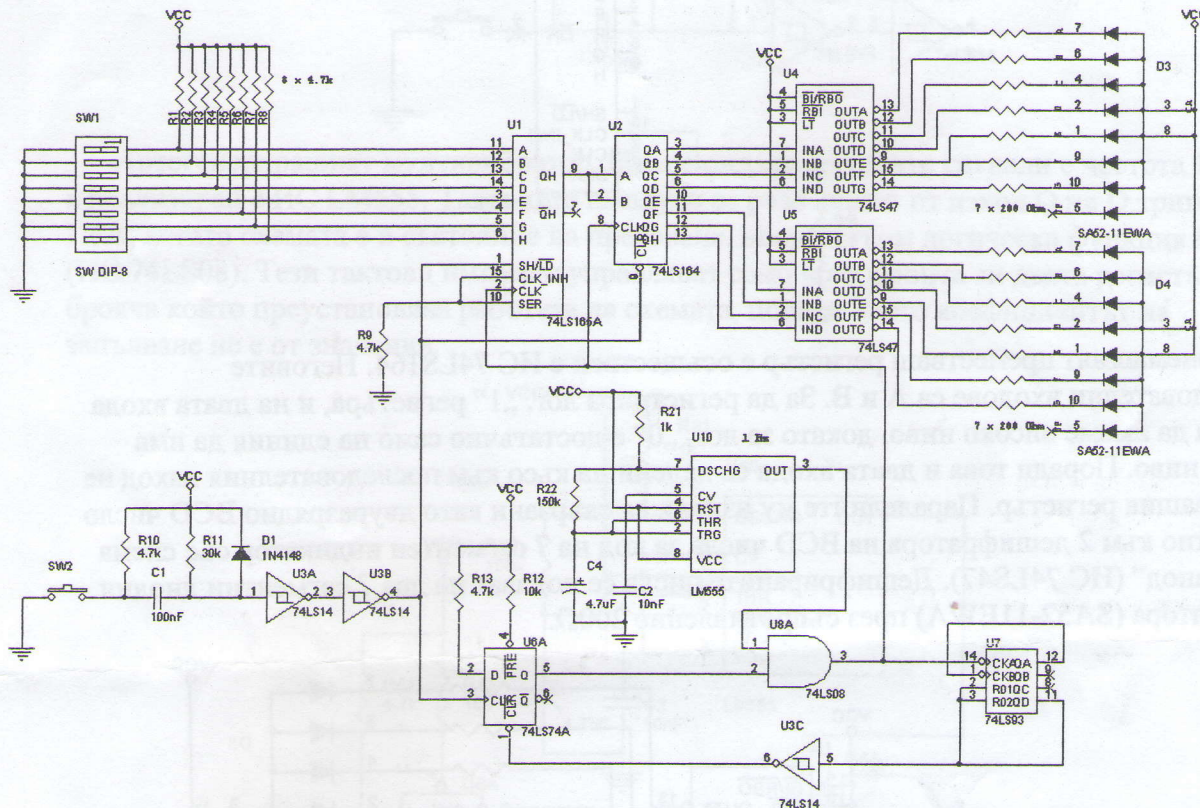


Схемата има две основни състояния – предаване и чакане. При натискане на бутон диференциращата верига произвежда импулс от логическа „0“, като през останалото време нивото е логическа „1“. Този сигнал разрешава паралелното зареждане на предавателния преместващ регистър, и същевременно нулира данните на приемащия регистър. Паралелните входове са реализирани с ключове и задават началните данни на регистъра. След края на импулса положителният му фронт ($0 \rightarrow 1$) превключва схемата в състояние на предаване. Това състояние разрешава или забранява тактовите сигнали генерирани от АМВ. Чрез тях в един и същи момент предаващият и приемащият последователни регистри съответно предават и приемат последователен код с честота $f = 1 \text{ Hz}$.

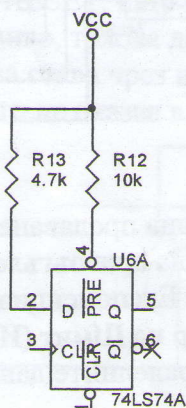
Тъй като предаваните битове са 8 на брой, схемата трябва да преустанови предаването след осмия предаден бит или в частност след осмия тактов импулс. Това става с 4 битов сумиращ брояч, който при достигане на числото 8 в двоичен вид, произвежда ниско ниво, което превключва схемата в състояние на чакане и преустановява работата ѝ.

Независимо от състоянието на схемата, паралелните изходи на приемащия регистър се подават като двуразрядно BCD число на дешифратор, който ги преобразува в код за 7 сегментен индикатор.

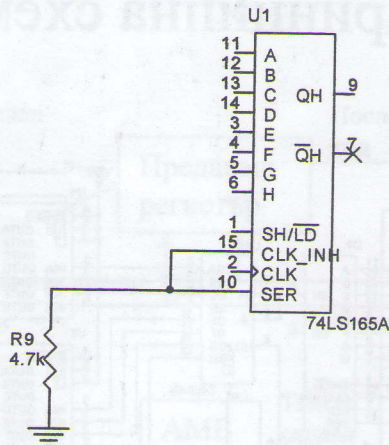
Принципна схема



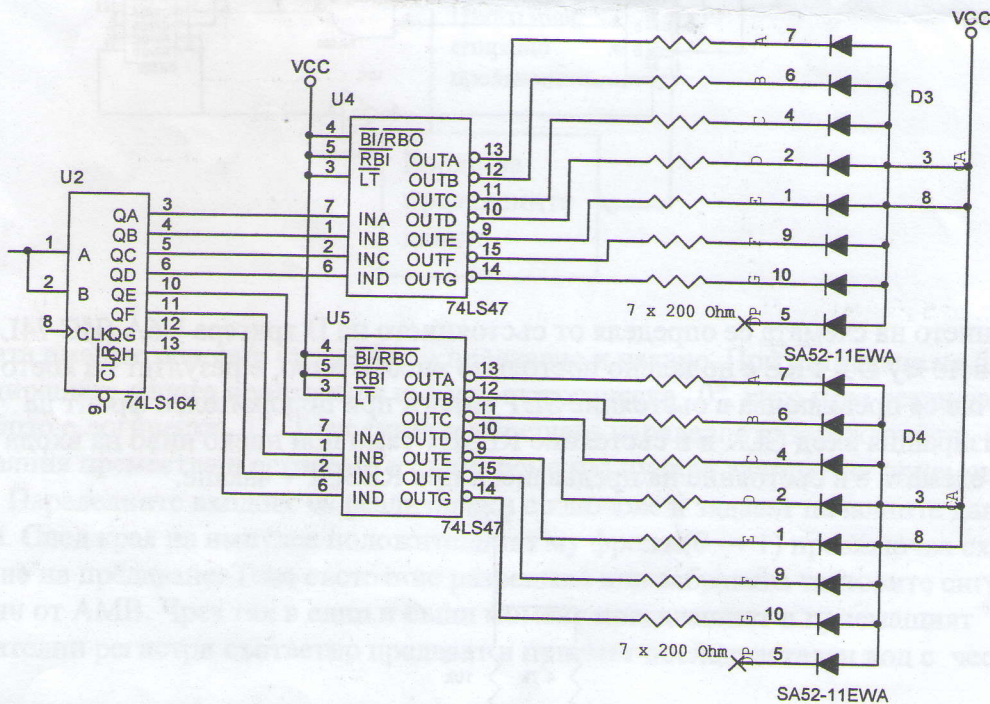
Състоянието на схемата се определя от състоянието на D тригера U6A (ИС 74LS74A). На входовете му D и \overline{PRE} е подадено постоянно високо ниво, в резултат на което тригерът ще се превключва в състояние SET винаги при положителен фронт на синхронизация вход CLK и в състояние RESET само при ниско ниво на входа \overline{CLR} . При SET схемата е в състояние на предаване, а при RESET – чакане.



Предаващият преместващ регистър е реализиран с ИС 74LS165А. При всеки предаден бит, данните на регистъра се преместват една позиция от А към Н като на мястото на А се установява ниво определено от състоянието на входа SER (в случая лог. „0“). QH е последователният му изход.



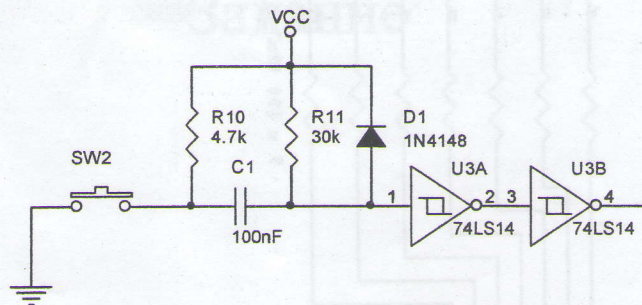
Приемащият преместващ регистър е осъществен с ИС 74LS164. Неговите последователни входове са А и В. За да регистрира лог. „1“ регистъра, и на двата входа трябва да имаме високо ниво, докато за лог. „0“ е достатъчно само на единия да има ниско ниво. Поради това и двата входа са дадени на късо към последователния изход на предаващия регистър. Паралелните му изходи са свързани като двуразрядно BCD число директно към 2 дешифратора на BCD числа за код на 7 сегментен индикатор със схема „общ анод“ (ИС 74LS47). Дешифрираните числа се подават на два 7 сегментни диодни индикатора (SA52-11EWA) през съпротивление 200Ω.



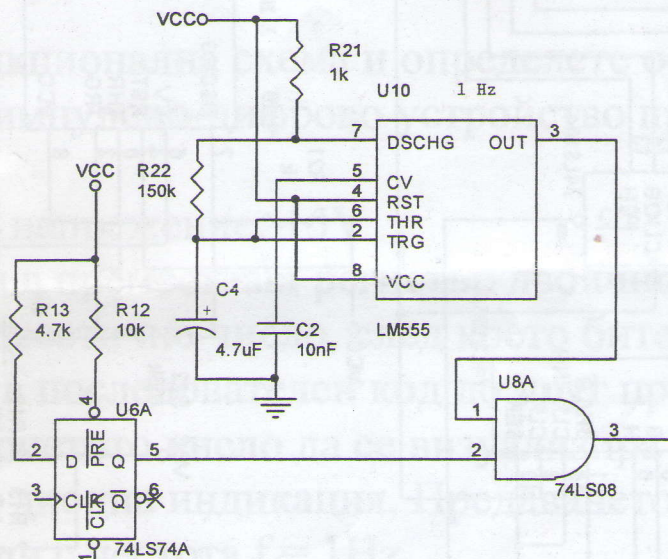
Диференциращата верига разрешаваща предаването се състои от аналогова схема, която при натискане на бутон произвежда правоъгълен отрицателен фронт последван от експоненциален положителен фронт. Експоненциалният фронт се преобразува в правоъгълен чрез два инвертора с тригер на Шмит (ИС 74LS14). Сигналят, произведен от диференциращата верига зарежда паралелните данни в предаващия регистър,

N^o 16

изчиства данните от приемащия регистър и установява схемата в състояние на предаване.



Автогенериращият мултивибратор, произвеждащ тактовите сигнали с честота 1 Hz, е реализиран с ИС LM555. Тактовите импулси се разрешават от изход Q на D тригера U6A, когато схемата е в състояние на предаване, посредством логическа функция И (ИС 74LS08). Тези тактови импулси управляват само чрез фронта си двата регистъра и брояча който преустановява работата на схемата, поради което коефициентът на запълване не е от значение.



За брояча нужен за преустановяване на работата на схемата използваме ИС 74LS93. Броячът вътрешно е съставен от два брояча – еднобитов със синхронизиращ вход СКА и изход А, и трибитов със синхронизиращ вход СКВ и изходи В, С и D. Затова изход А е свързан директно към вход СКВ, като неговия отрицателен фронт инкрементира стойността на трибитовия брояч. Тъй като $8_{(10)} = 1000_{(2)}$ използваме най-старшия му изход, който да установи D тригера в RESET, като го свързваме към входа CLR. Понеже този вход е с активно ниско ниво, трябва да му подадем лог. „0” при високо ниво на старшия изход на брояча. Това става чрез инвертор. Използваме инвертор от пакета 74LS14 с тригер на Шмит, което не оказва влияние върху функционалността.

