

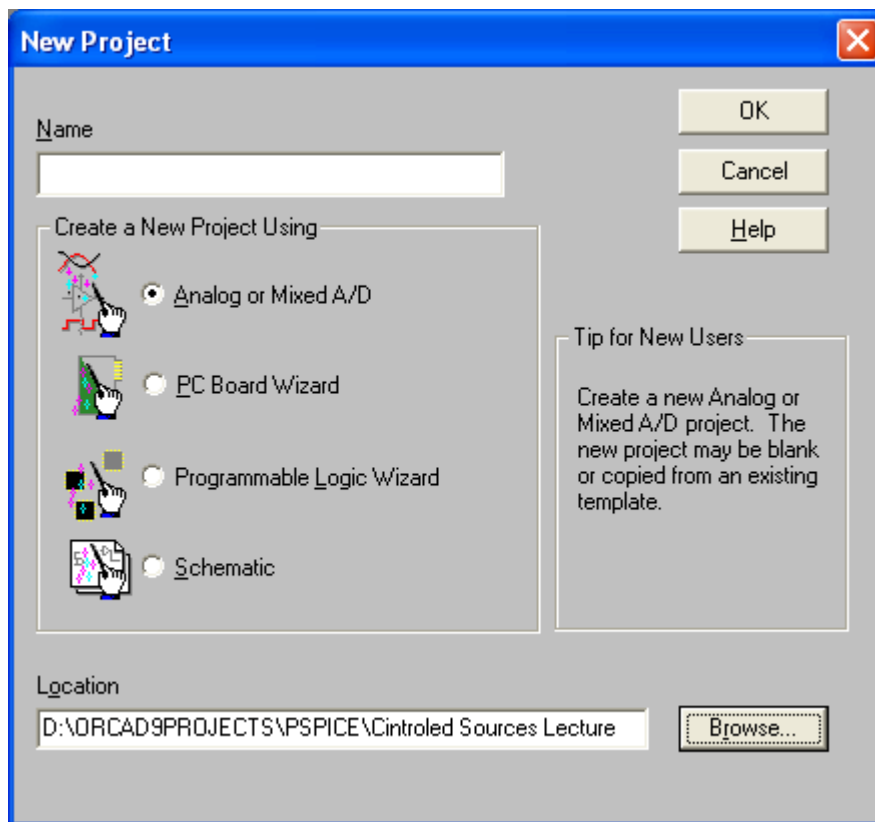
ЛЕКЦИЯ 3

доц. д-р Стела Стефанова

Структура на заданието в PSpice A/D. Видове работни файлове

1. Файлове на задачата в Capture

- **<име>.opj** – файл на задачата;
- **<име>.dsn** – файл на схемния проект;
- **<>.drc** – файл-справка от проверките на основните електротехнически правила при създаването на схемния проект;
- При създаване на нов проект се избира **Analog or Mixed Simulation Circuit Wizard**, както е показано на Фиг. 1, след което се посочва наборът от библиотеки, необходими за симулацията на моделите.



Фиг.1. Диалогов прозорец за създаване на нов схемен проект за симулация

2. Файл на връзките - Netlist file

2.1. Понятие

- **<име>.net;**
- Генерира се в Spice формат;
- ASCII файл.

2.2. Структура на файла на връзките

а) Основни синтактични правила

- Символ ***** в първа позиция – коментарен ред.

- Символ **+** в първа позиция - пренос от предишен ред.
- Символ **.** в първа позиция – команди.

6) Структура

* Заглавие на задачата за симулация
* Коментарни редове

Обръщение към макромоделите на цифровите
устройства и моделите на аналоговите
компоненти

Описание на цифрови стимул сигнали и
аналогови входни въздействия

- **Стимул (Stimulus)** сигнали – всички захранващи, установяващи, управляващи входни въздействия и сигнали.

На Фиг. 2 е показан пример за структурата на файл на връзките на схема с аналогови и цифрови компоненти.

```

*
* Simulation of the timer 555
*
Обръщение към макромоделите на цифровите устройства
X_U11      0 N04535 N04621 N04551 N04455 N04535 N04547 VCC 555B
Обръщение към моделите на аналогови компоненти
C_C1       N04455 0 10n
R_RA       VCC N04547 500
R_RB       N04535 N04547 250
R_R4       N04621 0 2.2k
C_C         N04535 0 1u
Описание на аналогови входни въздействия
V_V5       VCC 0 5V
Описание на цифрови стимул сигнали
U_DSTM1    STIM(1,1)
+ $G_DPWR $G_DGND
+ N04551
+ IO_STM
+ IO_LEVEL=0
+ 0s 0
+ 500n 1

```

Фиг. 2 Структурата на файл на връзките в PSpice формат

3. Библиотечни файлове с модели на компоненти

- **<име>.lib;**
- файлове с модели в ASCII формат;
- библиотеките с модели се намират в папка `..\PSpice\Library;`
- за отваряне, създаване и редактиране на библиотечни файлове се използва специален редактор - PSpice Model Editor;
- на Фиг. 3 е показан макромоделът на цифров компонент 7400 от библиотека 7400.lib;
- на Фиг. 4 е показан моделът на диод D1N4001 от библиотека Diode.lib.

```

* 7400  Quadruple 2-input Positive-Nand Gates
*
* The TTL Data Book, Vol 2, 1985, TI
* tdn  06/23/89 Update interface and model names
*
.subckt 7400  A B Y
+  optional: DPWR=$G_DPWR DGND=$G_DGND
+  params: MNTYMXDLY=0 IO_LEVEL=0
U1 nand(2) DPWR DGND
+  A B Y
+  D_00 IO_STD MNTYMXDLY={MNTYMXDLY} IO_LEVEL={IO_LEVEL}
.ends

```

Фиг. 3. Макромодел на цифров компонент 7400 от библиотека 7400.lib

```

.model D1N4001 D(Is=14.11n N=1.984 Rs=33.89m Ikf=94.81 Xti=3 Eg=1.11
+  Cjo=25.89p M=.44 Vj=.3245 Fc=.5 Bv=75 Ibv=10u Tt=5.7u)
*  Motorola
*  Semiconductor Databook (mid 1970s)
*  03 Jun 91  pwt  creation

```

Фиг. 4. Модел на диод D1N4001 от библиотека Diode.lib

4. Входен файл за симулация - Circuit file

- текстов файл <име>.cir;
- съдържа директиви (команди) за управление на заданието в **PSpice AD**.

а) Основни синтактични правила

- Символ * в първа позиция – коментарен ред;
- Символ + в първа позиция - пренос от предишен ред;
- Символ . в първа позиция – команди

```

*
* Заглавие
* Коментарни редове
*

```

```

Команди на PSpice A/D за управление на
заданието

```

```

.END

```

- Команди:

- **.lib "nom.lib"** - nom.lib е глобална библиотека, съдържаща имената на всички библиотечни файлове, поддържани от PSpice. Зареждането на глобалната библиотека се дефинира в PSpice.ini файла.
- **.STMLIB <име>.stl** – за включване на локални библиотеки, например със стимул сигнали.
- **.TRAN <параметри>** - при цифрови симулации обикновено се работи с времеви/транзиентен анализ, като се задават параметри на анализа;
- **.PROBE** – команда за обръщение към графичния постпроцесор/програмния осцилоскоп на системата;
- **.INC "<име>.net"** – команда за включване на файл на връзките;
- На Фиг. 5 е показана структурата на входния файл (на заданието за симулация).

```

** Profile: "VstDemo-VstDemo"
[ D:\ORCAD\PspiceAD\VSTDEMO\vstdemo-pspicefiles\vstdemo\vstdemo.sim ]

** Creating circuit file "VstDemo.cir"
** WARNING: THIS AUTOMATICALLY GENERATED FILE MAY BE OVERWRITTEN
BY SUBSEQUENT SIMULATIONS

*Libraries:
* Profile Libraries :
* Local Libraries :
* From [PSPICE NETLIST] section of C:\OrCAD\OrCAD_10.3\tools\PSpice\PSpice.ini file:
.lib "nom.lib"

*Analysis directives:
.TRAN/OP 0 1u 0
.PROBE V(*) I(*) W(*) D(*) NOISE(*)
.INC "..\VstDemo.net"

.END

```

Фиг. 5. Структура на входния файл за симулация <име>.cir

5. Файл на съответствията

- текстов файл <име>.als;
- Съдържа съответствието между името на извода на цифровото устройство и номера на възела, в който се включва този извод;
- **Пример:** X_U8D U8D(A=N40805 B=N40805 Y=N35869 VCC=\$G_DPWR GND=\$G_DGND) – извод (вход) A е включен във възел N40805, извод (вход) B е включен във възел N40805, извод (изход) Y е включен във възел N35869 и т.н.;
- На Фиг. 6 е показана структурата на файла на съответствията

.ALIASES

```

X_U6      U6(CLK=CLOCK ENP=N36029 ENT=N36029 CLRbar=$D_HI LOADbar=POR
+A=$D_HI B=$D_LO C=$D_HI D=$D_LO QA=U7D QB=U7C QC=U7B
+QD=U7A RCO=M_UN0001 VCC=$G_DPWR GND=$G_DGND ) CN
+@VSTDEMO.VstDemo(sch_1):I35721@74LS.74LS163A.Normal(chips)

X_U1      U1(CLK=CLOCK ENP=$D_HI ENT=$D_HI CLRbar=POR
+LOADbar=$D_HI A=$D_HI B=$D_HI C=$D_HI D=$D_HI QA=U1QA QB=U1QB QC=U1QC
+QD=U1QD RCO=N35913 VCC=$G_DPWR GND=$G_DGND ) CN
+@VSTDEMO.VstDemo(sch_1):I35725@74LS.74LS163A.Normal(chips)

X_U8D     U8D(A=N36189 B=N36189 Y=N35869 VCC=$G_DPWR GND=$G_DGND ) CN
+@VSTDEMO.VstDemo(sch_1):I35729@74LS.74LS00.Normal(chips)

X_U9A     U9A(CLK=CLOCK PREbar=$D_HI CLRbar=POR J=N36509 K=N36305
+Q=M_UN0002 Qbar=M_UN0003 VCC=$G_DPWR GND=$G_DGND ) CN
+@VSTDEMO.VstDemo(sch_1):I35733@74LS.74LS112A.Normal(chips)

X_U9B     U9B(CLK=CLOCK PREbar=$D_HI CLRbar=POR J=N35869 K=N35873
+Q=N35873 Qbar=M_UN0004 VCC=$G_DPWR GND=$G_DGND ) CN
+@VSTDEMO.VstDemo(sch_1):I35737@74LS.74LS112A.Normal(chips)

U_CLOCK   CLOCK(pin1=CLOCK ) CN
+@VSTDEMO.VstDemo(sch_1):I35741@SOURCE.STIM1.Normal(chips)

U_POR     POR(pin1=POR ) CN
+@VSTDEMO.VstDemo(sch_1):I35745@SOURCE.STIM1.Normal(chips)

U_LOAD    LOAD(pin1=SRLOAD ) CN
+@VSTDEMO.VstDemo(sch_1):I35749@SOURCE.STIM1.Normal(chips)

U_CLK2    CLK2(pin1=SRCLOCK ) CN
+@VSTDEMO.VstDemo(sch_1):I35753@SOURCE.STIM1.Normal(chips)

```

Фиг. 6. Структура на входния файл на съответствията <име>.als

6. Файл със стимул сигнали

- текстов файл **<име>.stl**;
- Съдържа описание на стимул сигнали;
- Създава се и се отваря в редактора на стимул сигналите (Stimulus Editor);
- На Фиг. 7 е показан файл с описание на стимул сигнали.

```
* C:\Program Files\OrCAD\PSpice\SAMPLES\MIXSIM\MOTORDRV\k.stl
* written on Sun Jan 16 23:14:52 2000
* by Stimulus Editor -- Serial Number: -1 -- Version 9.0
```

```
;!Stimulus Get
;! v1 Digital
;!Ok
;!Plot Axis_Settings
;!Xrange 0s 200ms
;!AutoUniverse
;!XminRes 1ns
;!YminRes 1n
;!Ok
```

```
.STIMULUS v1 STIM (1, 1) ;! CLOCKP 50m 5m 0 0
```

```
+ +0s 0
+ +45ms 1
+ Repeat Forever
+ +5ms 0
+ +45ms 1
+ EndRepeat
```

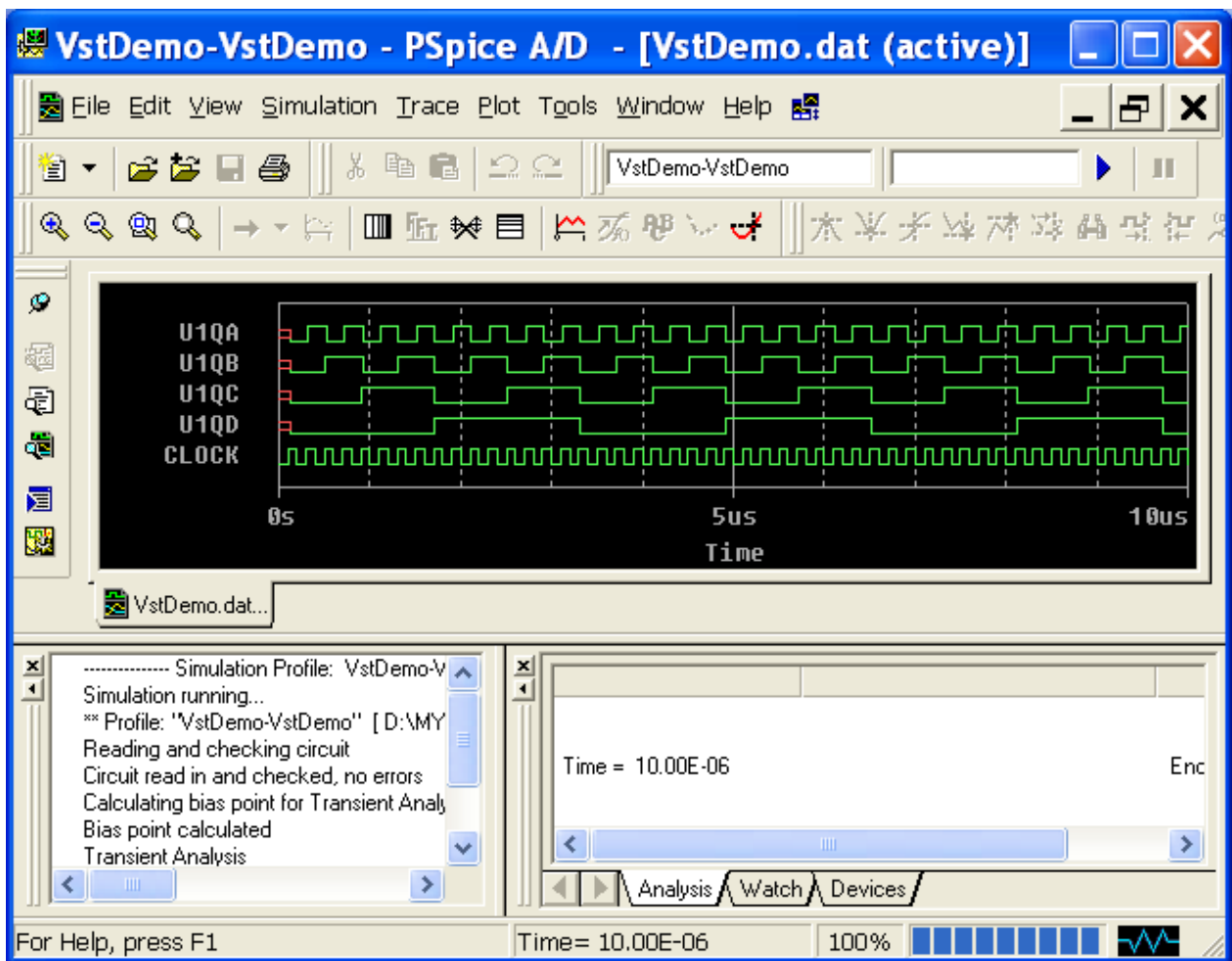
```
clear enable count run brake
```

```
0ns 00001
1us 10001
2us 10101
3us 10001
4us 10101
5us 10001
6us 10101
7us 10001
8us 11101
20ms 11001
21ms 11101
36ms 11001
37ms 11101
47ms 11001
48ms 11101
56ms 11001
57ms 11101
64ms 11001
65ms 11011
200ms 10011
300ms 10010
```

Фиг. 7. Файл с описание на стимул сигнали **<име>.stl**

7. Входен файл на графичния постпроцесор

- **<име>.dat**
- **Програмен осцилоскоп (графичен постпроцесор) PROBE** - служи за представяне на резултатите от симулацията в графичен вид;
- Представява входен файл за графичния постпроцесор (програмен осцилоскоп);
- Изходен файл с резултати от симулацията в двоичен формат;
- На Фиг. 8 е показан работен екран на симулатора PSpice AD със зареден входен файл **<име>.dat** на графичния постпроцесор, където са представени резултати от симулацията в графичен вид.



Фиг. 8. Работен екран на симулатора PSpice AD със зареден входен файл <име>.dat

8. Конфигурационен файл на графичния постпроцесор

- текстов файл <име>.prb;
- Съдържа конфигурационни параметри за графичния постпроцесор – виж Фиг. 9.

```
[DISPLAYS]
BEGIN DISPLAY LAST SESSION
ANALYSIS TRANSIENT_ANALYSIS
SYMBOL NEVER
TRACECOLORSCHEME NORMAL
BEGIN CURSORS
CURSORNUMDIGITS 5
BEGIN CURSOR 1
CURSOR_X 3.11371691425986e-006
DIGPLOT 1
DIGTRACE 0
END CURSOR 1
BEGIN CURSOR 2
CURSOR_X 8.20224719101125e-007
DIGPLOT 1
DIGTRACE 0
END CURSOR 2
END CURSORS
BEGIN ANAPLOT 1
.....
```

Фиг. 9. Конфигурационен файл на графичния постпроцесор <име>.prb

9. Конфигурационен файл на симулацията

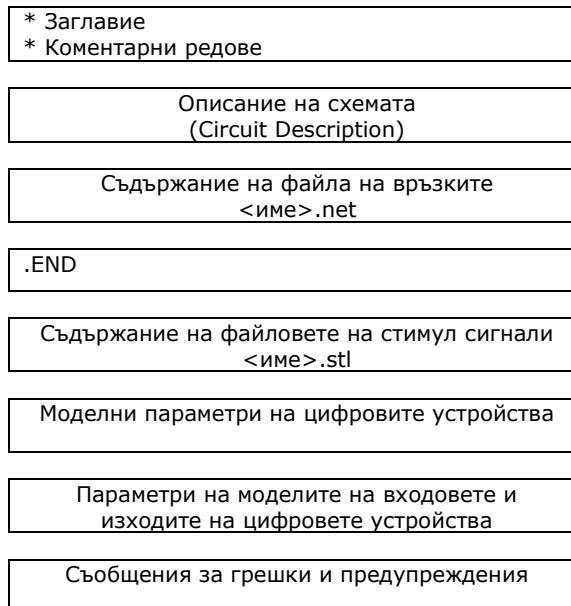
- текстов файл **<име>.sim**;
- Настройките, направени с командата **PSpice=>Edit Simulation Settings**, се записват в конфигурационния файл **<име>.sim**, част от който е показана на Фиг. 10.

```
@OrCAD Simulation Server Version: 1.0
@Settings: 0 1
@General:
ProfileName= "VstDemo"
ProfileFile= "vstdemo-vstdemo-vstdemo.sim"
DesignFile= "vstdemo.dsn" 0
ProjectFile= "VstDemo.opj"
NetlistFile= "vstdemo-vstdemo-vstdemo.sim.cir"
RootSchematics= "VstDemo"
DataFile= "vstdemo-VstDemo-VstDemo.dat"
OutFile= "vstdemo-VstDemo-VstDemo.out"
Notes=
@#$BEGINNOTES
@#$ENDNOTES
@End General
@Analysis: 0 1
+0 0 1
+0 "6u"
+1 "10e-9"
+2 "0"
+3 ""
+4 ""
+5 ""
+6 ""
@End Analysis
.....
```

Фиг. 10. Конфигурационен файл на симулацията **<име>.sim**

10. Изходен файл - Output File

- текстов файл **<име>.out**;
- Изходен файл в текстов формат;
- Структура на изходния файл:



На Фиг. 11 е показана структурата на изходния файл на конкретна симулационна задача.

*** 02/06/08 23:42:22 ***** PSpice 10.3.0 (Jan 2004) ***** ID# 111111111
** Profile: "VstDemo-VstDemo" [D:\ORCAD\PsPiceAD\VSTDEMO\vstdemo-pspicefiles\vstdemo.sim]

**** CIRCUIT DESCRIPTION

** Creating circuit file "VstDemo.cir"
** WARNING: THIS AUTOMATICALLY GENERATED FILE MAY BE OVERWRITTEN BY SUBSEQUENT SIMULATIONS

*Libraries:
* Profile Libraries :
* Local Libraries :
* From [PSPICE NETLIST] section of C:\OrCAD\OrCAD_10.3\tools\PSpice\PSpice.ini file:
.lib "nom.lib"

*Analysis directives:
.TRAN/OP 0 1u 0
.PROBE V(*) I(*) W(*) D(*) NOISE(*)
.INC "..\VstDemo.net"

**** INCLUDING vstdemo-VstDemo.net ****

```
* source VSTDEMO
.EXTERNAL OUTPUT OUT
.EXTERNAL OUTPUT SROutput
X_U6      CLOCK N36029 N36029 $D_HI POR $D_HI $D_LO $D_HI $D_LO U7D U7C U7B
+ U7A M_UN0001 $G_DPWR $G_DGND 74LS163A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U1      CLOCK $D_HI $D_HI POR $D_HI $D_HI $D_HI $D_HI $D_HI U1QA U1QB U1QC
+ U1QD N35913 $G_DPWR $G_DGND 74LS163A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8D     N36189 N36189 N35869 $G_DPWR $G_DGND 74LS00 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U9A     CLOCK $D_HI POR N36509 N36305 M_UN0002 M_UN0003 $G_DPWR $G_DGND
+ 74LS112A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U9B     CLOCK $D_HI POR N35869 N35873 N35873 M_UN0004 $G_DPWR $G_DGND
+ 74LS112A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
U_CLOCK   STIM(1,1)
+ $G_DPWR $G_DGND
+ CLOCK
+ IO_STM
+ IO_LEVEL=0
+ 0s 0
+ Repeat forever
+ 100n 1
+ 200n 0
+ EndRepeat
X_U3      CLOCK N35977 N35977 POR $D_HI $D_HI $D_HI $D_HI $D_HI M_UN0005
+ M_UN0006 M_UN0007 M_UN0008 N35993 $G_DPWR $G_DGND 74LS163A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
U_POR     STIM(1,1)
+ $G_DPWR $G_DGND
+ POR
+ IO_STM
+ IO_LEVEL=0
+ 0s 0
+ 250n 1
U_LOAD    STIM(1,1)
+ $G_DPWR $G_DGND
```



```

+ SRLOAD
+ IO_STM
+ IO_LEVEL=0
+ 0s 1
+ LABEL R
+ 3175n 0
+ 3275n 1
+ 6375 GOTO R -1 TIMES
U_CLK2      STIM(1,1)
+ $G_DPWR $G_DGND
+ SRCLOCK
+ IO_STM
+ IO_LEVEL=0
+ 0s 0
+ 250ns 1
+ Repeat forever
+ 350n 0
+ 450n 1
+ EndRepeat
X_U4      CLOCK N35993 N35993 POR $D_HI $D_HI $D_HI $D_HI $D_HI M_UN0009
+ M_UN0010 M_UN0011 OUT M_UN0012 $G_DPWR $G_DGND 74LS163A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U5      CLOCK N35913 N35913 $D_HI POR $D_HI $D_LO $D_HI $D_LO U7H U7G U7F
+ U7E N36029 $G_DPWR $G_DGND 74LS163A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U2      CLOCK N35913 N35913 POR $D_HI $D_HI $D_HI $D_HI $D_HI M_UN0013
+ M_UN0014 M_UN0015 M_UN0016 N35977 $G_DPWR $G_DGND 74LS163A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U7      SRLOAD $D_LO SRCLOCK $D_LO U7A U7B U7C U7D U7E U7F U7G U7H
+ SROUTPUT M_UN0017 $G_DPWR $G_DGND 74LS165A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8B     U1QC U1QD N36305 $G_DPWR $G_DGND 74LS00 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8A     U1QA U1QB N36509 $G_DPWR $G_DGND 74LS00 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8C     N35913 N35913 N36189 $G_DPWR $G_DGND 74LS00 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

```

```

**** RESUMING vstdemo-vstdemo-vstdemo.sim.cir ****
.END

```

**** Digital Gate MODEL PARAMETERS

	D0_GATE	D_LS00
TPLHMN	0	3.600000E-09
TPLHTY	0	9.000000E-09
TPLHMX	0	15.000000E-09
TPLHMN	0	4.000000E-09
TPLHTY	0	10.000000E-09
TPLHMX	0	15.000000E-09

**** Digital Edge Triggered FF MODEL PARAMETERS

	D0_EFF	D_LS112
TPCLKQLHMN	0	6.000000E-09
TPCLKQLHTY	0	15.000000E-09
TPCLKQLHMX	0	20.000000E-09
TPCLKQHLMN	0	6.000000E-09
TPCLKQHLY	0	15.000000E-09
TPCLKQHLMX	0	20.000000E-09
TTPCQLHMN	0	6.000000E-09
TTPCQLHTY	0	15.000000E-09
TTPCQLHMX	0	20.000000E-09

```

TPPCQHLMN 0 6.000000E-09
TPPCQHLY 0 15.000000E-09
TPPCQHLMX 0 20.000000E-09
TWCLKLMN 0 0
TWCLKLTY 0 0
TWCLKLMX 0 0
TWCLKHMN 0 0
TWCLKHTY 0 20.000000E-09
TWCLKHMX 0 20.000000E-09
TWPCLMN 0 0
TWPCLY 0 25.000000E-09
TWPCLMX 0 25.000000E-09
TSUDCLKMN 0 0
TSUDCLKTY 0 20.000000E-09
TSUDCLKMX 0 20.000000E-09
TSUPCCLKHMN 0 0
TSUPCCLKHTY 0 25.000000E-09
TSUPCCLKHMX 0 25.000000E-09
THDCLKMN 0 0
THDCLKTY 0 0
THDCLKMX 0 0
TSUCECLKMN 0 0
TSUCECLKTY 0 0
TSUCECLKMX 0 0
THCECLKMN 0 0
THCECLKTY 0 0
THCECLKMX 0 0

```

**** Digital IO MODEL PARAMETERS

```

      IO_STM      IO_LS
DRVL 0          157
DRVH 0          108
AtoD1          AtoD_LS
AtoD2          AtoD_LS_NX
AtoD3          AtoD_LS
AtoD4          AtoD_LS_NX

```

```

DtoA1 DtoA_STM  DtoA_LS
DtoA2 DtoA_STM  DtoA_LS
DtoA3 DtoA_STM  DtoA_LS
DtoA4 DtoA_STM  DtoA_LS
TSWHL1          2.724000E-09
TSWHL2          2.724000E-09
TSWHL3          2.724000E-09
TSWHL4          2.724000E-09
TSWLH1          2.104000E-09
TSWLH2          2.104000E-09
TSWLH3          2.104000E-09
TSWLH4          2.104000E-09
TPWRT 100.000000E+03 100.000000E+03

```

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

JOB CONCLUDED

*** JOB STATISTICS SUMMARY

Total job time = .14

Фиг. 11. Структура на изходния файл <име>.out на конкретна симулационна задача