

ЛЕКЦИЯ 10

доц. д-р Стела Стефанова

Средства за допълнителна обработка на OrCAD Capture. Команда Tools на Project manager – Annotate, Design Rule Check, Create Netlist

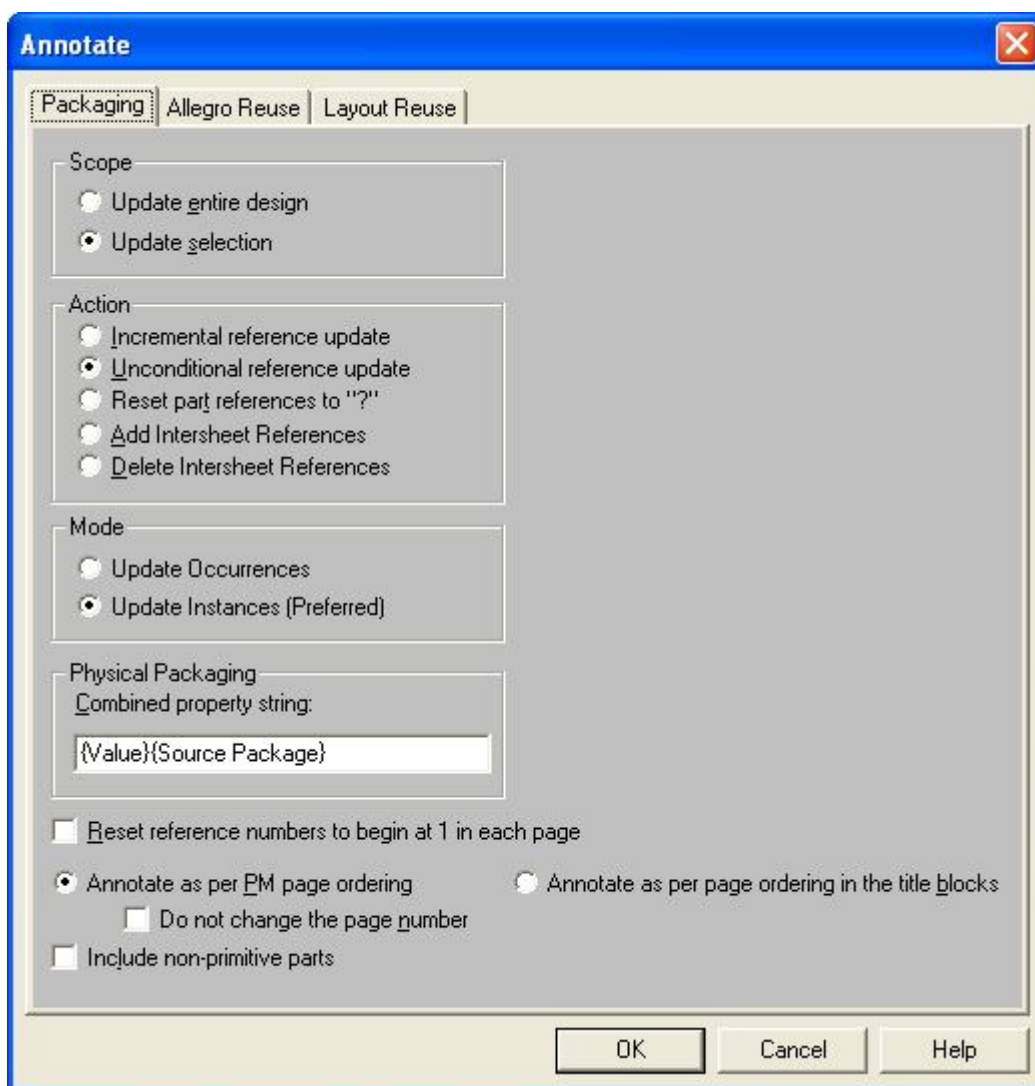
1. Команда Tools=>Annotate

1.1. Предназначение

- За обновяване на означенията (Part references) на елементите в активния проект. Capture автоматично означава елементите в активния проект по реда на тяхното поставяне в схемната страница.
- Основен принцип на означение – номерацията на елементите в схемната страница се извършва от ляво надясно и отгоре надолу.

1.2. Диалогов прозорец Annotate

Диалоговият прозорец на командата **Tools=>Annotate** е показан на фигура 1.



Фиг1. Диалоговият прозорец на командата Tools=>Annotate

Поле Scope

- **Update entire design** – промяна на означенията в целия проект;
- **Update selection** – за промяна на означенията в избраната схемна страница.

Поле Action

- **Incremental references update** – промяна на означенията на елементите, които поради някаква причина са останали без означение (Part reference) т.е. останали са с означение ?. С тази опция не може да се променят означения и информация за пакетите на елементи със съществуващи означения. Номерацията на неозначените елементи става с нарастване от последния съществуващ номер.
- **Unconditional references update** – безусловна промяна на означенията на всички елементи в целия проект или избраната схемна страница. Означенията и информацията за пакетите се обновяват и за елементите със съществуващи означения.
- **Reset part references to "?"** – премахва всички означения и ги установява в "?".
- **Add Intersheet References** – добавяне на междустранични означения
 - **Междустранични означения** – показват схемната страница-източник и схемната страница-получател на сигналите в схемния проект. Извличат се от номерата на страниците в таблицата на схемния проект (title Block). Междустраничните означения на входен сигнал показват всички страници, от които се поражда този сигнал, а междустраничните означения на изходен сигнал показват всички схемни страници, в които влиза този сигнал. Междустраничните означения се използват при обединена (Flat) и проста йерархична (Simple Hierarchy) структури схемни проекти.
 - **Пример:** Изходен йерархичен порт с междустранични означения 1, 16, 32 показва, че този сигнал влиза в страници с номера 1, 16, 32 т.е. тези страници са получатели на сигнала. Входен йерархичен порт с междустранични означения 3, 6, 7 показва, че този сигнал излиза т.е. се поражда от страници с номера 3, 6, 7.
- **Delete Intersheet References** – премахва междустраничните означения.

Поле Mode

- **Update Occurrences** – за промяна на Occurrence-обекти;
- **Update Instances** – за промяна Instance-обекти.

Поле Physical Packaging, Combined property string

– стринг на комбинираните свойства, затворени в {}. Capture комбинира свойствата, по които ще се групират елементите в отделен физически пакет.

Опция Reset references numbers to begin at 1 in each page

- номерацията на елементите да започва от 1 във всяка схемна страница.

Опция Do not change the page number

- да не се променят номерата на страниците.

Опция Include non primitive parts

– да се включат и не примитивните елементи (т.е. тези, към които са присвоени схемни папки със схемни страници).

2. Команда Tools => Design Rules Check

2.1. Предназначение

- Сканира посочените схемни страници за нарушение на правилата за проектиране, посочени в ERC матрицата;
- Генерира файл-справка с <име>.drc за грешки и съобщения за предупреждения, като поставя DRC маркери (зелени кръгчета) в схемната страница за локализиране на проблема.

2.2. Диалогов прозорец на командата Design Rules Check

Диалоговият прозорец на командата **Tools=> Design Rules Check** е показан на фиг. 2.

2.2.1. Бутон Design Rules Check

Поле Scope

- **Check entire design** – проверка на електрическите правила за целия проект;
- **Check selection** – проверка на електрическите правила в избраната схемна страница.

Поле Action

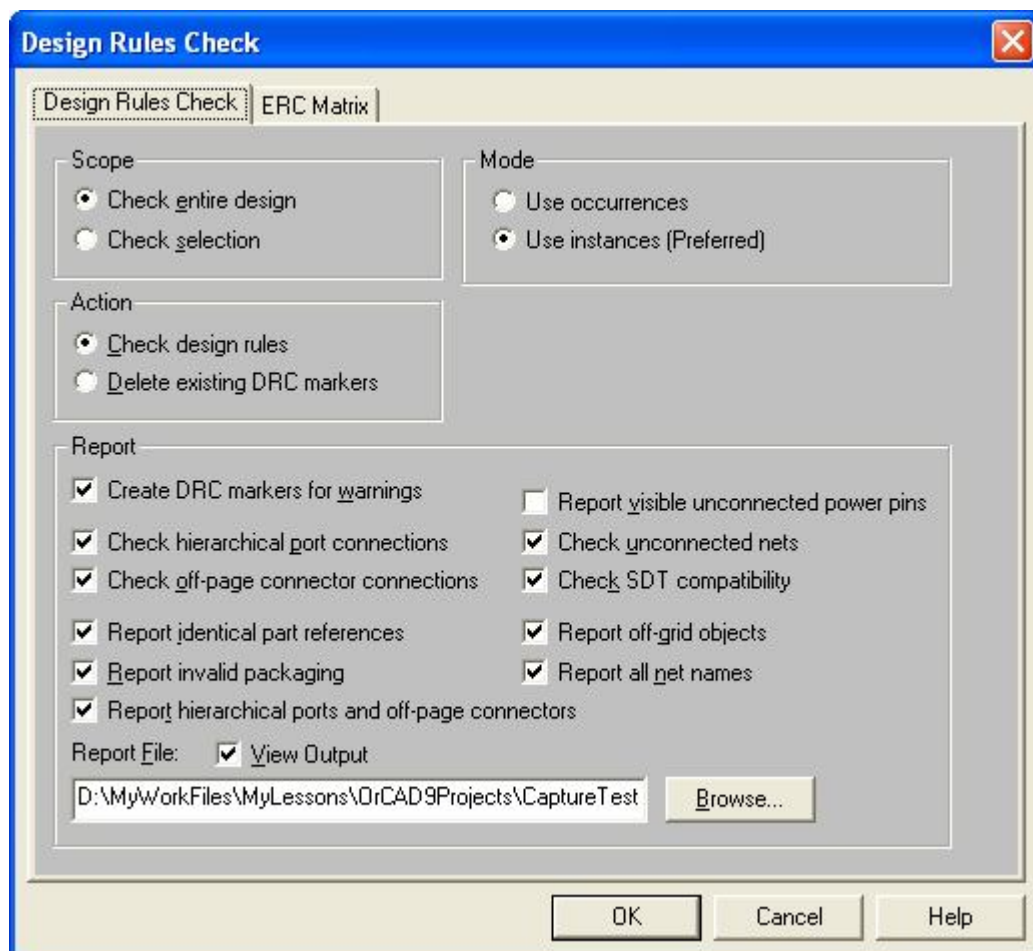
- **Check design rules** – проверка на правилата за проектиране в Capture;
- **Delete existing DRC markers** – изтрива вече поставени наркери за индикация на грешки и предупреждения в схемния проект.

Поле Mode

- **Update Occurrences** – за промяна на occurrence-обекти със специфични свойства;
- **Update Instances** – за промяна instance-обекти

Поле Report – с набор от опции се активират различни проверки на схемния проект или избрана част от него:

- **Опция Create DRC markers for warnings** – поставяне на DRC маркери за предупредителните съобщения;
- **Опция Check hierarchical port connections** – проверява се съответствието на йерархичните изводи в йерархичните блокове с йерархичните портове в дъщерните схемни страници. Генерират се съобщения за грешки, когато:
 - Не съвпада броят на йерархичните изводи и йерархичните портове в родителските и дъщерните схемни папки;
 - Не е идентичен типа на йерархичните изводи и йерархичните портове в родителските и дъщерните схемни папки;
- **Опция Check off-page connections** - проверява се съответствието на съединителите на страници в текущата и останалите схемни страници;
- **Опция Report identical part reference** – извършва проверка и генерира справка за единственост на означенията на елементите;
- **Опция Report invalid packaging** - извършва проверка и генерира справка за невярно означение на поделелементите в пакета;



Фиг. 2. Диалоговият прозорец на командата Tools=> Design Rules Check

- **Опция Report hierarchical port and off-page connections** - генерира във файла-справка списък с имената на йерархичните портове и съединителите на страници;

- **Опция Report Visible unconnected power pins** - генерира във файла-справка списък с несвързаните, дефинирани като видими, изводи захранване на елементите;
- **Опция Check unconnected nets** - извършва проверка и генерира справка за несвързаните мрежи в схемния проект;
- **Опция Check SDT compatibility** – проверка за съвместимост със старите версии на схематиката на OrCAD пакета;
- **Опция Report Off-grid objects** - генерира във файла-справка списък на всички обекти, които не са разположени по точките на мрежата;
- **Опция Report All net names** - генерира във файла-справка списък с имената на всички мрежи в схемния проект;
- **Report file** - указва се път и име **<име>.drc** на файла-справка с резултатите от приложените операции за проверка на схемния проект.
- **Опция View Output** - автоматично отваряне на файла-справка **<име>.drc** след изпълнението на проверките.

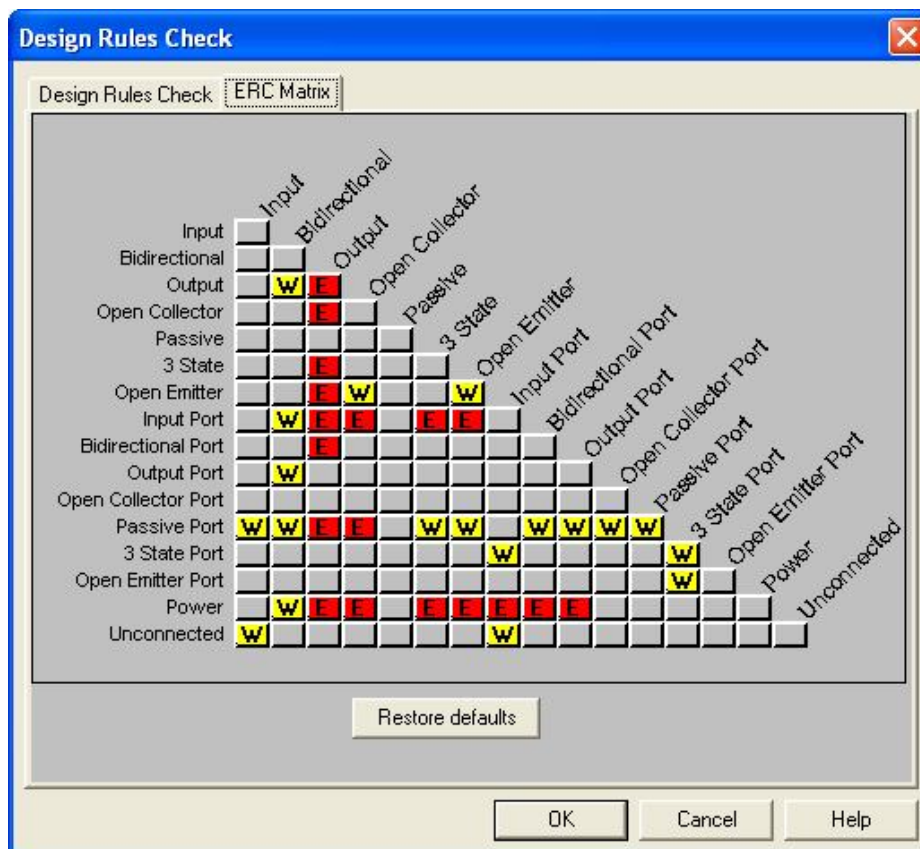
2.2.2. Бутон ERC (Electrical Rules Check) Matrix

Предназначение:

- Дефиниран набор от основни електротехнически правила;
- Определя критериите, по които да се извършва DRC проверките, т.е. при какви случаи да се генерират грешки и предупреждения;
- Бутон **W** – генериране на предупредително съобщение;
- Бутон **E** – генериране на съобщение за грешка.

2.3. Особенности при изпълнение на командата Design Rules Check

- Проверката на схемния проект трябва да се извършва преди създаването на файла на връзките (Netlist file);
- При стартиране на DRC Capture автоматично проверява всички страници в схемната папка;
- При избор за проверка на връзките на йерархичните портове DRC проверява и присъединените схемни папки със съответните схемни страници.



Фиг.3. Матрица с основните електротехнически правила

На Фиг. 4 е показан примерен файл-справка, които представлява изходен резултат от работата на инструментите за проверка на основните електротехнически правила (DRC).

Design Rules Check

Checking Schematic: FULLADD

Checking Electrical Rules

ERROR: [DRC0004] Possible pin type conflict halfadd_A,SUM Output Connected to Bidirectional Port

Checking for Unconnected Wires

Checking Pin to Port Connections

WARNING: [DRC0013] Port has no matching pin in part instance above Z

WARNING: [DRC0013] Port has no matching pin in part instance above Z

Checking for Duplicate References

Checking for Compatibility with SDT

Reporting Ports

X
Y
CARRY_IN
CARRY_OUT
SUM

Reporting Globals

VCC
GND

Reporting Net Names

N00032
N00030
N00028
Y
X
SUM
CARRY_IN
GND
VCC
CARRY_OUT

Checking Schematic: HALFADD

Checking Electrical Rules

ERROR: [DRC0004] Possible pin type conflict U2A,O Output Connected to Input Port

WARNING: [DRC0005] Unconnected pin U2A,I1

Checking for Unconnected Wires

WARNING: [DRC0007] Net has no driving source N00041

WARNING: [DRC0006] Net has fewer than two connections N00041

Checking Pin to Port Connections

Checking for Duplicate References

WARNING: [DRC10] Duplicate reference U2A

Checking for Compatibility with SDT

ERROR: [DRC0025] The comment graphic is not a single dashed line I00042

ERROR: [DRC0025] The comment graphic is not a single dashed line I00052

Reporting Ports

X
Y
Z
CARRY
SUM

Reporting Globals

VCC
GND

Reporting Net Names

Z
N00067

Фиг. 4. Примерен файл-справка на Design Rule Check

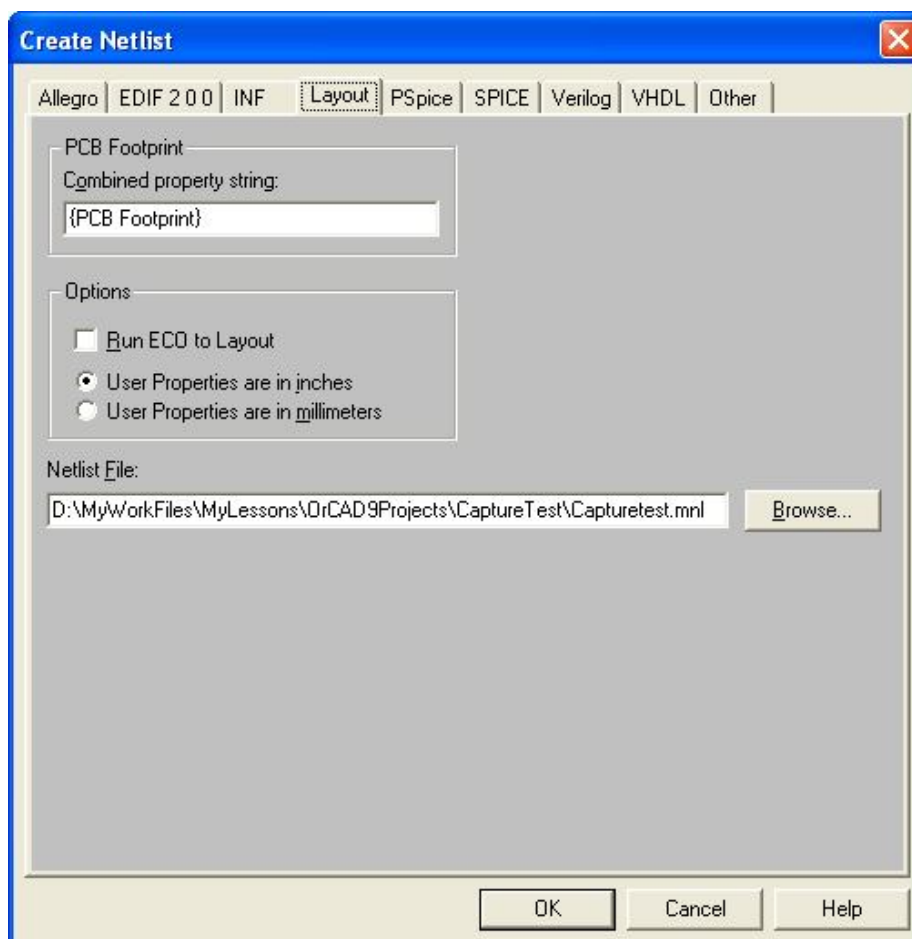
3. Команда Tools =>Create Netlist

3.1. Предназначение

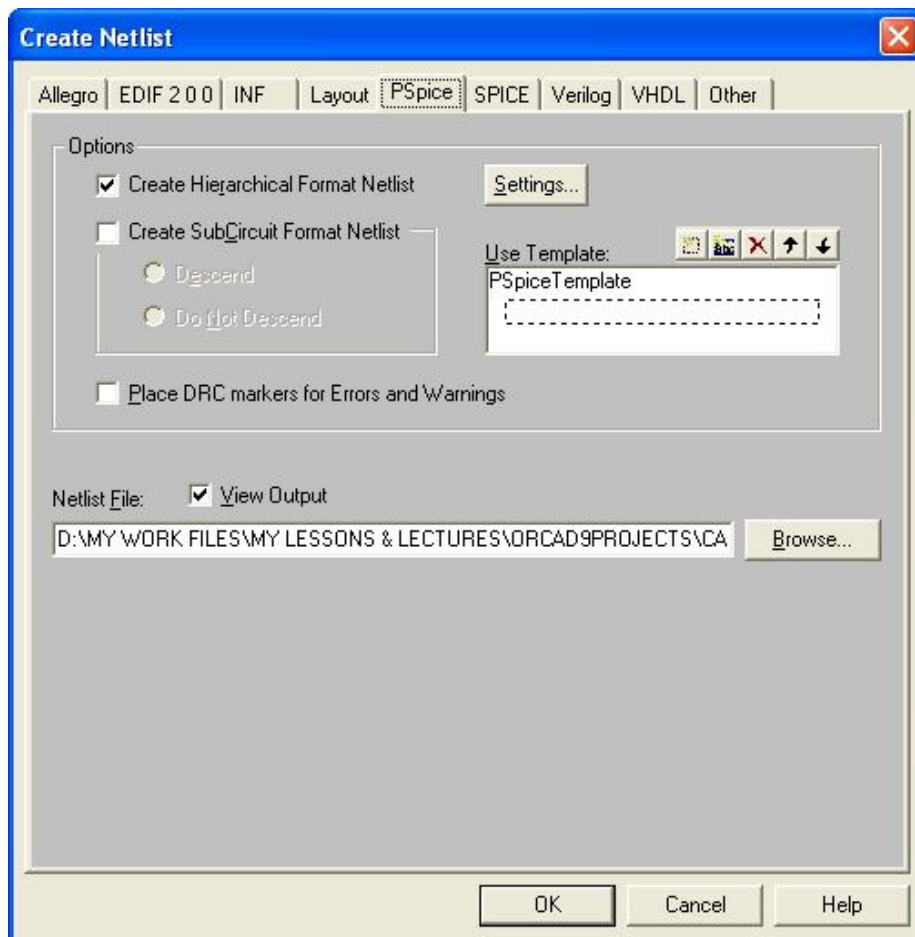
- Генериране на файл на връзките (Netlist file), който се генерира в специфичен формат.

3.2. Файл на връзките -Netlist file

- Файлт на връзките се генерира в специфичен формат в зависимост от типа на схемния проект или CAD системата, за която е предназначен;
- В повечето случаи това е ASCII файл;
- За генериране на файл на връзките за преминаване в конструктивна CAD система OrCAD Capture поддържа около 30 формата за генериране на Netlist файл;
- Файлт на връзките за OrCAD Layout е файл **<име>.mnl** и се генерира в двоичен формат. Създава се на базата на имена на елементи, имена на корпуси на елементи, имена на мрежи и т.н
- Файлт на връзките за OrCAD PSpice е файл **<име>.net** и се генерира в PSpice формат на базата на входния език за описание на компоненти и може да се отваря с ASCII текстов редактор.
- Диалоговите прозорци за генериране на файла на връзките в Layout и PSpice формат са показани съответно на Фиг. 5 и Фиг. 6.



Фиг.5. Диалогов прозорец за генериране на файл на връзките в Layout формат



Фиг.6. Диалогов прозорец за генериране на файл на връзките в PSpice формат